

1

CMOS 模拟集成电路基础

虽然模拟电路在早期主要是基于双极型电路,但随着 CMOS 工艺技术的不断发展,以及对数模混合集成电路需求的日益增长,采用与数字电路兼容的标准 CMOS 工艺实现模拟电路已成为一种必然的趋势。MOS 器件的速度逐渐提高,加之 MOS 工艺本身在成本、功耗及集成度等方面的优势,随着各种更易于集成的新型电路的出现,CMOS 电路在模拟集成电路方面显示出越来越大的发展潜力。

本章从 MOS 器件的基本特性及其模型入手,重点分析 MOS 器件构成的 CMOS 基本放大电路、电流源电路的原理及特性,进而对模拟电路的基本单元,即运算放大器电路的组成及特性,进行较深入的研究,同时对模拟电路中常用的基准电压源电路及模拟开关电路进行简要分析和介绍。

本章内容是 CMOS 模拟集成电路的基础,可帮助读者较容易地进入后续各章内容的学习。

1.1 MOS 器件基础及器件模型

MOS 场效应晶体管是组成 CMOS 集成电路的基本元器件,器件的物理模型和数学模型是合理、准确地设计集成电路的基础。

1.1.1 结构及工作原理

组成 CMOS 电路的有源器件是 N 沟道增强型和 P 沟道增强型 MOS 场效应晶体管,分别简称为 NMOS 管和 PMOS 管。图 1.1.1 显示了一个 NMOS 管的物理结构图及其电路符号。在 P 型衬底上有两个 N 型重掺杂区,称为源区和漏区。源区、漏区之间的硅表层是形成感应沟道的区域,沟道区表面覆盖一层 SiO_2 绝缘层,将其上方的多晶

硅栅极与沟道隔离开来。沟道的长度和宽度分别用 L 和 W 表示。这种场效应管也叫做绝缘栅型场效应管。CMOS 器件的制造工艺过程请参见第 7 章的内容。

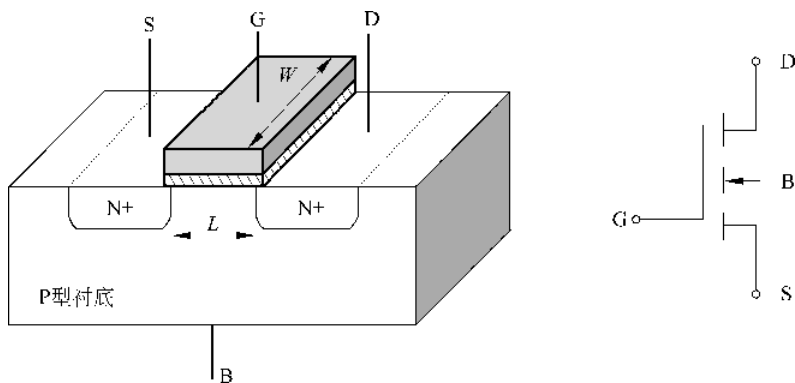


图 1.1.1 NMOS 管的物理结构图及其电路符号

图 1.1.1 所示的 NMOS 管的工作原理如下：

可以看到，栅极与衬底之间通过 SiO_2 绝缘层构成了一个平行板电容器。当栅极与衬底间存在电压时，与栅极相对的衬底表面就会产生感应电荷。考虑源极与衬底连接起来的情况，此时衬底与源极等电位。当栅源电压 $V_{GS} > 0$ 时，P 型衬底中的电子被吸引到表面，首先与表面的空穴复合，形成耗尽层；当 V_{GS} 继续增加，更多的电子聚集到表面，使得该区域内的电子成为多数载流子，表面层由 P 型转变为 N 型，也称为反型层。反型层将源区、漏区连接起来，成为导电沟道。参见图 1.1.2。

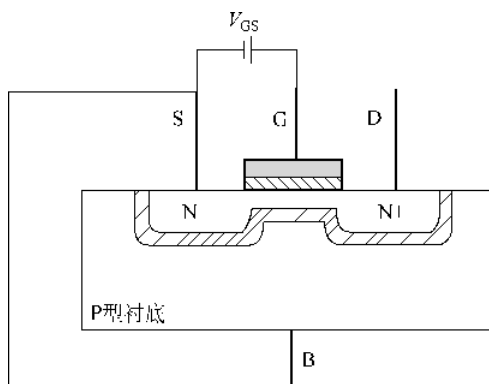
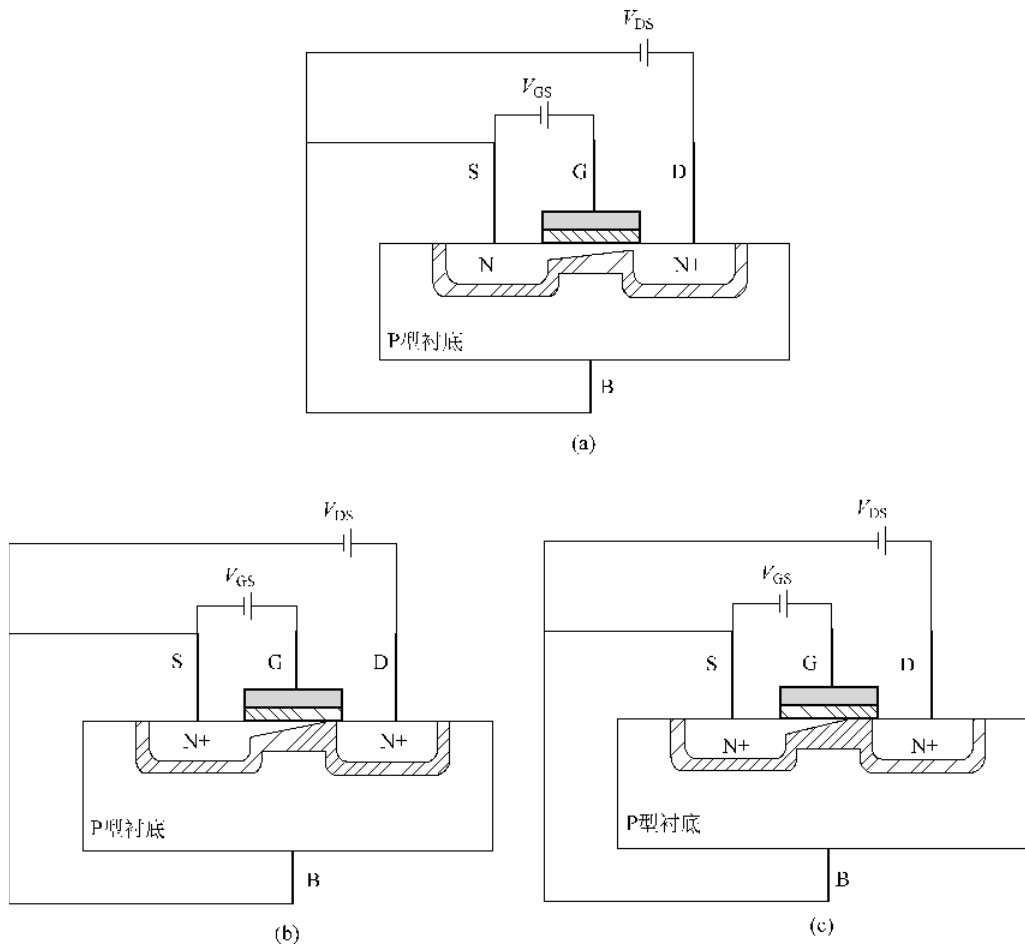


图 1.1.2 沟道的形成

导电沟道开始形成时所对应的栅源电压 V_{GS} 叫做阈值电压或开启电压，记作 V_{TH} 。 V_{GS} 越大，形成的沟道越厚，沟道的电阻越小。在沟道形成之前，即 $V_{GS} < V_{TH}$ ，源漏区之间没有导电通道，因此没有电流流过。

当形成沟道以后，即 $V_{GS} > V_{TH}$ ，只要源漏之间的电压 $V_{DS} > 0$ ，就会有电流从漏极通过导电沟道流向源极，形成漏极电流 I_D 。由于从漏极沿沟道到源极会产生压降，因此沟道上的各点与栅极的电压差不再相等，沟道的厚度也就不再均匀，靠近漏极端的沟道最薄，靠近源极端的沟道最厚，如图 1.1.3(a) 所示。此时 $V_{DS} < V_{GS} - V_{TH}$ ，虽然沟道的形状略有变化，但当 V_{GS} 一定时，沟道电阻基本不变，漏极电流 I_D 随 V_{DS} 线性增加，对应于图 1.1.4

有变化，但当 V_{GS} 一定时，沟道电阻基本不变，漏极电流 I_D 随 V_{DS} 线性增加，对应于图 1.1.4

图 1.1.3 V_{DS} 对沟道的影响

所示输出特性中的可变电阻区,也称为线性区(linear region)或三极管区(triode region)。

随着漏极电压的增加,漏端的沟道越来越薄。当漏端沟道的厚度减为零时,沟道夹断,此时栅极与漏极的电压 $V_{GD} = V_{TH}$,即 $V_{DS} = V_{GS} - V_{TH}$,如图 1.1.3(b)所示。沟道被夹断以后,若 V_{DS} 继续增加,即 $V_{DS} > V_{GS} - V_{TH}$,则沟道的夹断点向源极方向移动,漏极附近出现由耗尽层构成的夹断区,如图 1.1.3(c)所示。由于夹断点与栅极之间的电压始终是 V_{TH} ,因此加在沟道上的电压也不发生变化,增加的压降全部落在夹断区上。此时的漏极电流 I_D 应该保持不变。但随着 V_{DS} 的增加,夹断区增大,沟道的长度减小,沟道电阻略有减小,因此,漏极电流 I_D 随 V_{DS} 的增加也略有增加。这就是沟道长度调制效应。沟道长度 L 越小,沟道长度调制效应越明显; L 越大,恒流特性越好。该区域的输出特性对应

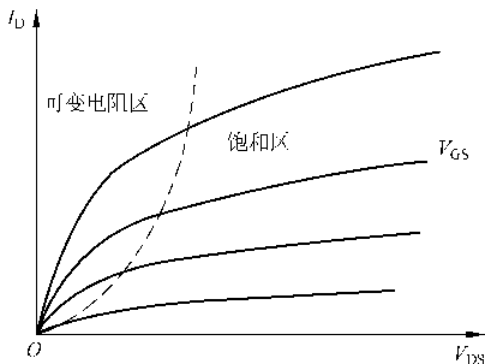


图 1.1.4 NMOS 管输出特性

于图 1.1.4 所示曲线的饱和区 (saturation region), 又称为夹断区 (pinch off region)。通常称 $V_{GS} - V_{TH}$ 为过驱电压 (overdrive), 用 V_{OV} 表示, 有时为方便起见, 在电路分析过程中常用 V_{OV} 代替 $V_{GS} - V_{TH}$ 。

在可变电阻区, 漏极电流 I_D 与 V_{DS} 的关系表示为

$$I_D = \frac{K_N}{2} \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2] \quad (1.1.1)$$

其中 $K_N = \mu_n C_{ox}$, 称为 NMOS 管本征导电因子; μ_n 为沟道电子迁移率; C_{ox} 是栅氧化层的单位面积电容; W/L 是 MOS 管的宽长比。从式 (1.1.1) 可以看出, 当 V_{DS} 较小时, 可不考虑二阶效应, 即忽略其平方项。这时 I_D 与 V_{DS} 近似呈线性关系, 源漏之间的沟道可看作一个线性电阻 R_{on} , 表示为

$$R_{on} = \frac{L}{K_N W (V_{GS} - V_{TH})} \quad (1.1.2)$$

式 (1.1.2) 显示出电阻 R_{on} 随栅源电压 V_{GS} 变化的关系。通过改变 V_{GS} , 可以得到不同的电阻 R_{on} , 这也是可变电阻区的由来。由式 (1.1.1) 得到可变电阻区的跨导

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = K_N \frac{W}{L} V_{DS} \quad (1.1.3)$$

由于可变电阻区的 V_{DS} 较小, 所以跨导 g_m 也较小。

在饱和区, 漏极电流 I_D 可表示为

$$I_D = \frac{K_N}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (1.1.4)$$

其中 λ 是沟道长度调制系数, $\lambda = 1/V_A$, V_A 是厄尔利电压 (Early voltage)。实验表明, λ 与沟道长度 L 近似成反比。

由式 (1.1.4) 可以得到跨导 g_m 和输出电阻 r_{ds} 分别为

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = K_N \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) \quad (1.1.5)$$

$$r_{ds} = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} \quad (1.1.6)$$

若忽略沟道长度调制效应的影响, 即 $\lambda = 0$, 则饱和区的 I_D 可表示为

$$I_D = \frac{K_N}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1.1.7)$$

此时跨导表示为

$$g_m = K_N \frac{W}{L} (V_{GS} - V_{TH}) \quad (1.1.8a)$$

为分析方便,跨导有时也表示成以下两种形式:

$$g_m = \sqrt{2K_N \frac{W}{L} I_D} \quad (1.1.8b)$$

$$g_m = \frac{2I_D}{V_{GS} - V_{TH}} \quad (1.1.8c)$$

可见,当 V_{GS} 一定时,跨导 g_m 与 W/L 成正比,与 I_D 成正比;当 W/L 一定时, g_m 与 $\sqrt{I_D}$ 成正比,与 $V_{GS} - V_{TH}$ 成正比;当 I_D 一定时, g_m 与 $\sqrt{W/L}$ 成正比,与 $V_{GS} - V_{TH}$ 成反比。总之,采用较大的电流 I_D 和 W/L 可以提高跨导值,但前提是要保证器件始终工作在饱和区。

PMOS 管具有与 NMOS 管类似的特性,上述公式对于 PMOS 管同样适用,只是各极的电压极性、电流的方向不同,且公式中的 K_N 改为 K_P , $K_P = \mu_p C_{ox}$, μ_p 为沟道空穴迁移率。图 1.1.5 显示了 PMOS 管的物理结构图及其电路符号。

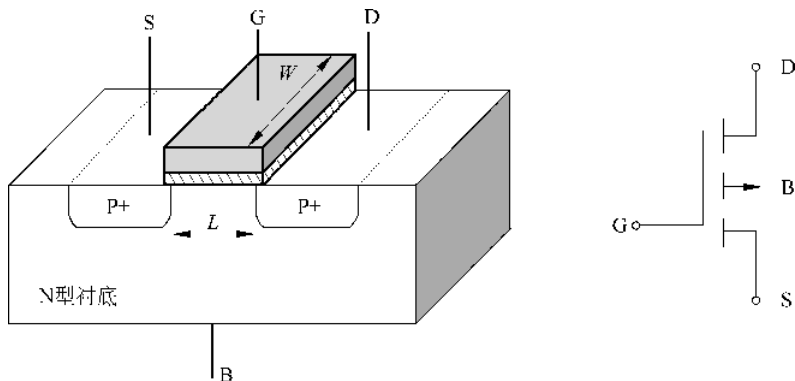


图 1.1.5 PMOS 管的物理结构图及其电路符号

1.1.2 衬底调制效应

衬底调制效应又称体效应或背栅效应。在前节的分析中,是将源极与衬底短接在一起,使 $V_{BS} = 0$ 。当源极与衬底的电位不相等时,会对 MOS 管的性能产生影响。

在 CMOS 集成电路中,为使器件相互之间处于隔离状态,衬底与各管的源漏区之间的 PN 结均应处于反偏。一般将 NMOS 管的 P 型衬底与电路中的最低电位相连,PMOS 管的 N 型衬底与电路的最高电位相连。因此,对于 NMOS 管, $V_{BS} \leq 0$; 对于 PMOS 管, $V_{BS} \geq 0$ 。而在有些情况下,不能保证 $V_{BS} = 0$ 。在一定的 V_{GS} 下,衬底表面所感应的电荷量

是一定的,感应电荷中的一部分用来形成耗尽层,另一部分用来形成沟道。当 NMOS 管的衬底电位变负以后,会使沟道与衬底间的耗尽层变厚。也就是说,在原来的阈值电压下,由于耗尽层消耗了更多的感应电荷,其余的电荷不足以形成沟道,需要更高的栅源电压才能形成沟道,所以阈值电压提高了;对于原来某个 V_{GS} 所形成的沟道,由于耗尽层变厚而导致沟道变窄,使漏极电流 I_D 减小。

考虑衬底调制效应后的阈值电压 V_{TH} 可表示为

$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\phi_F + V_{BS}|} - \sqrt{|2\phi_F|}) \quad (1.1.9)$$

其中 V_{TH0} 是零衬偏开启电压,即 $V_{BS} = 0$ 时的 V_{TH} ; ϕ_F 是体内费米势,且 $\phi_F = -\frac{kT}{q} \ln\left(\frac{N_B}{n_i}\right)$, N_B 是衬底掺杂浓度, n_i 是本征载流子浓度; $\gamma = \frac{\sqrt{2q\epsilon N_B}}{C_{ox}}$ 是衬偏调制系数,其中 ϵ 是硅的介电常数。可见, V_{BS} 的绝对值越大,阈值电压也越大。

衬底与源极之间的电压 V_{BS} 对漏极电流 I_D 的控制作用与栅源电压 V_{GS} 的作用相类似,因此衬底 B 又称为背栅极。常常用背栅跨导 g_{mb} 来描述背栅效应,即

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} \quad (1.1.10)$$

跨导比 η 定义为

$$\eta = \frac{g_{mb}}{g_m} \quad (1.1.11)$$

衬底调制效应会改变阈值电压和漏极电流,这在模拟集成电路设计中需要予以充分的考虑。为避免衬底调制效应,应尽可能地将 MOS 管的源极与衬底相连接。但对于 N 阱工艺来说, NMOS 管的衬底调制效应是不可避免的,因为所有的 NMOS 管只能共用 P 型衬底,不可能将衬底与每一个管的源极相连;而 PMOS 管则可以避免衬底调制效应,因为通过使用不同的 N 阱可实现 PMOS 管衬底间的相互隔离,从而做到零衬偏。

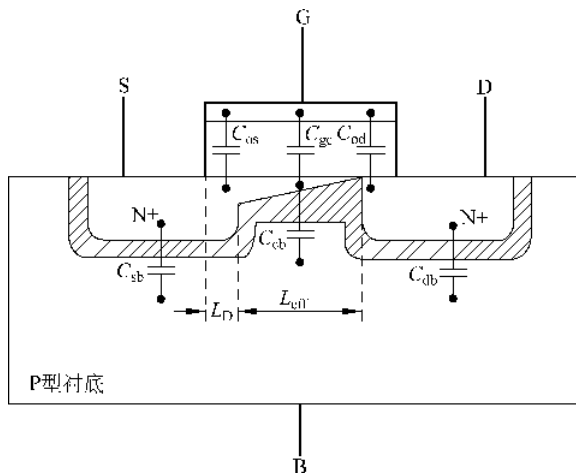
1.1.3 小信号模型

图 1.1.6 是 MOS 管的小信号模型示意图。由于源漏扩散区存在横向扩散,使得栅极与源漏区有交叠部分,从而使实际有效沟道长度 L_{eff} 比设计长度 L 有所减小。设横向扩散深度为 L_D ,则 $L_{eff} = L - 2L_D$ 。当 L_D 相对 L 较小时,也常常对 L 和 L_{eff} 不加区分。从图中可以看到,栅极与沟道之间形成电容 C_{gc} ,栅极与源漏区交叠的部分构成交叠电容,分别表示为 C_{os} 和 C_{od} 。由于源漏区及沟道反型层与衬底之间的 PN 结必须处于反偏状态,因此,它们之间存在 PN 结电容,主要是势垒电容,分别表示为 C_{sb} 、 C_{db} 和 C_{cb} 。

栅与沟道区之间的栅氧化层电容

$$C_{gc} = WLC_{ox} \quad (1.1.12)$$

设单位长度的交叠电容为 C_{oxv} ,则栅源、栅漏交叠电容



由式(1.1.8a)和式(1.1.15)可得在饱和区的特征频率

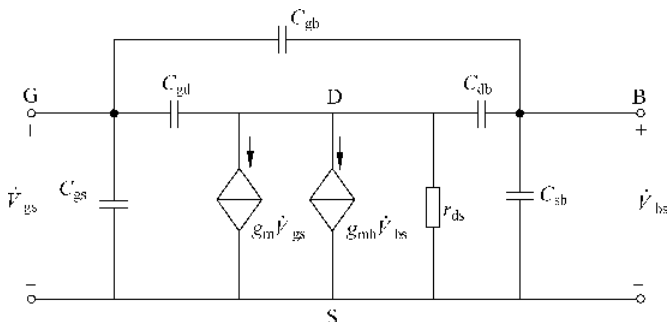


图 1.1.7 MOS 管小信号模型

$$f_T \approx \frac{g_m}{2\pi C_{gs}} = \frac{3\mu_n}{4\pi L^2} (V_{GS} - V_{TH}) \quad (1.1.17)$$

当只考虑中低频特性时,可以得到如图 1.1.9 所示的低频小信号模型,图中忽略了各级之间的寄生电容。

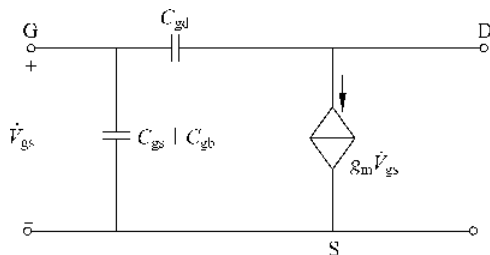
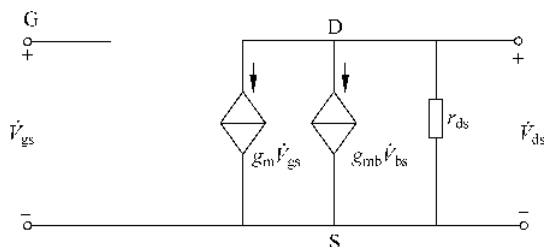

 图 1.1.8 求 f_T 的小信号等效电路


图 1.1.9 MOS 管低频小信号模型

1.1.4 亚阈区效应

在前面的分析中,认为只有当栅源电压 $|V_{GS}|$ 大于阈值电压 $|V_{TH}|$ 时,才出现漏极电流 I_D ,但实际上,在沟道表面处于弱反型时,也就是 $|V_{GS}| < |V_{TH}|$ 时,就已经形成电流了。这个电流称为亚阈区电流,或弱反型电流;这种现象称为亚阈区效应。由于截止特性不理想,导致较大的功耗损失。

亚阈区电流 I_D 与 V_{GS} 呈指数关系,可表示为

$$I_D = I_{D0} e^{\frac{V_{GS}}{nV_T}} \quad (1.1.18)$$

其中 n 是栅氧化层电容 C_{gc} 与沟道区的耗尽层电容 C_{bc} 的分压因子, $C_{gc}/(C_{gc} + C_{bc}) = 1/n$ 。亚阈区的跨导

$$g_m = \frac{I_D}{nV_T} \quad (1.1.19)$$

亚阈区的特性与双极型晶体管类似,可对这一区域加以利用,在低电流下获得较高的增益。

1.1.5 短沟效应

随着半导体工艺水平的提高,器件的尺寸越来越小,目前的沟道最小长度已经小于 90nm,沟道长度为 $0.25\mu\text{m}$ 、 $0.18\mu\text{m}$ 的工艺已经相当普遍。减小器件尺寸可以提高电路的速度和集成度,但同时也给器件的特性带来了影响,通常称为短沟效应。短沟效应主要包括阈值电压的变化、载流子迁移率的下降及速度饱和、热电子效应等。此外,沟道长度调制效应对于短沟器件来说也变得更加明显。这些效应对于模拟电路来说都是十分敏感的。

1. 阈值电压的变化

首先,阈值电压会随着器件尺寸发生变化。当沟道长度 L 减小时,源漏结的耗尽层占据沟道的比例增加明显,使形成反型层所需的栅源电压 V_{GS} 降低。所以,阈值电压 V_{TH} 随沟道长度 L 的减小而降低。

2. 载流子迁移率降低

器件尺寸的减小会影响沟道载流子的迁移率。由于在沟道长度减小的同时,栅氧化层的厚度也不断减小,这就使得沟道内的垂直电场的强度增加,场强的增加导致载流子的温度上升,受到的散射也增强。所以当场强增加到一定程度时,沟道内载流子的迁移率会随之下降,从而使电流 I_{D} 和跨导 g_{m} 下降。受垂直电场影响后的载流子迁移率 μ_{eff} 与没有垂直电场作用的迁移率 μ_{n} 的关系为

$$\mu_{\text{eff}} = \frac{\mu_{\text{n}}}{1 + \theta(V_{\text{GS}} - V_{\text{TH}})} \quad (1.1.20)$$

其中 θ 是与栅氧化层厚度呈反比的系数。由式(1.1.20)可见,栅氧化层越薄, V_{GS} 增加引起的沟道载流子迁移率降低越明显。

3. 载流子速度饱和

载流子速度饱和是另一种重要的短沟效应。由于沟道的缩短,沟道内的横向电场强度 E 增加,增加到一定值后同样会导致迁移率的下降。由于载流子的平均速度 $v = \mu E$,因此它随场强的增加逐渐接近一个饱和值 v_{sat} ,这种现象称为速度饱和。由前面的分析知道,可变电阻区的漏极电流 I_{D} 随 V_{DS} 的增加而增加,但当达到速度饱和时,漏极电流

$$I_{\text{D}} = WC_{\text{ox}} v_{\text{sat}} (V_{\text{GS}} - V_{\text{T}}) \quad (1.1.21)$$

跨导为

$$g_{\text{m}} = WC_{\text{ox}} v_{\text{sat}} \quad (1.1.22)$$

这时的电流和跨导已经达到最大值,与 V_{DS} 无关。对于短沟器件,速度饱和先于沟道夹断

饱和,所以器件的输出特性比非速度饱和情况下的曲线要低。式(1.1.17)表示的 f_T 此时应修正为

$$f_T \approx \frac{v_{sat}}{2\pi L} \quad (1.1.23)$$

4. 热电子效应

热电子效应也是由于器件尺寸减小导致电场强度增加引起的。强电场在使载流子的平均速度达到饱和的同时,使其瞬时速度不断增大,动能也不断增加。具有比热平衡时的能量高得多的能量的电子称为热电子。

热电子与晶格的碰撞,引起碰撞电离,产生电子空穴对,其中的电子流向漏极端,而有些空穴则流向衬底,形成漏极到衬底的电流,称为衬底电流。若热电子注入栅极,就会产生栅电流。这两种电流都是模拟电路设计中所不希望的。

衬底电流的大小不仅与工艺参数有关,而且与加在漏极耗尽区上的电压以及漏极电流 I_D 有关。这个电流的作用相当于漏极到衬底的一个电阻,当 V_{DS} 较大时,衬底电流会对输出电阻产生不可忽视的影响。在高输出电阻的电路中,衬底电流往往成为一个制约因素。PMOS 管的衬底电流相对于 NMOS 管来说要小一些。

因此,随着器件尺寸的缩小,要求电源电压也必须降低,以避免热电子的产生。

考虑到短沟效应的影响,需要对 MOS 器件的模型进行必要的修正。在亚微米工艺中,对于模拟电路来说,MOS 管的栅长在很多情况下并不采用最小尺寸进行设计。

1.1.6 SPICE 模型

对模拟电路器件级的仿真离不开 SPICE 模型。建立有效而精确的器件模型不仅是为了减少设计时间和制造成本,同时也是保证电路可靠性能的必要条件。

对器件模型的要求主要是精确度、可扩展性和高效性。要能够适用于电路的整个工作范围,保证其各种参数的精确度并能够预测器件的性能。效率高的模型还应具有较好的收敛性和连续性,以减少计算时间。

随着工艺尺寸的不断缩小,也随着人们对工艺及器件特性研究的不断深入,MOS 器件模型也在不断地更新换代,以适应更高的要求。

Level 1~Level 3 模型均开发于 20 世纪 70 年代。最初的 Level 1 是一个一阶模型,又称为 Shichman-Hodges 模型,该模型仅考虑了源漏区的横向扩散、沟道长度调制效应和衬底调制效应,没有考虑亚阈区效应和短沟效应,只适合于精度要求不高的长沟道 ($10\mu\text{m}$) 器件。

随后出现的 Level 2 是一个二维解析模型,在 Level 1 的基础上,考虑了沟道长度及沟道宽度分别对阈值电压 V_{TH} 的影响,迁移率随表面电场的变化,沟道夹断点对沟道长度调制效应的影响,载流子速度饱和对电流 I_D 的影响,并考虑了亚阈区效应。该模型适用