

总线扩展技术

智能仪器的核心部件是微处理器。在构建智能仪器时通常会尽可能选择片内资源能满足需求的微处理器。但是,微处理器的片内资源毕竟是有限的,很多时候都无法满足应用系统的要求,这时就必须在片外连接相应的外围芯片以满足应用系统的要求。不同的智能仪器会使用到不同的外围器件,它们的功能各不相同,和微处理器的连接也有各自不同的要求,但是,通常的扩展方法无外乎并行和串行两种方式。并行的连接方式使用较多的连接线,速度较快;而串行连接方式占用 I/O 口数目少,相应速度较慢。在实际应用中,需要根据实际情况正确地选用扩展方法。

3.1 并行扩展

并行扩展方式通常有两种:总线扩展方式和 I/O 扩展方式。

3.1.1 并行总线扩展方式

并行总线扩展方式连接外围器件通常需要数据总线、地址总线和控制总线,从而实现对所选择的器件的相应操作。地址总线主要用于确定操作对象,即对哪个芯片操作以及对芯片内部的哪个地址进行操作。数据总线则用于微处理器给外围器件提供数据或者从外围器件读取数据。

1. 外部总线的扩展

8051 受到引脚的限制,没有对外专用的地址和数据总线,那么在进行对外扩展存储器或 I/O 接口时,需要首先扩展对外总线(局部系统总线)。

8051 提供了引脚 ALE,在 ALE 为有效高电平期间,P0 口上输出 A7~A0。另外,P2 口可用于输出地址高 8 位 A15~A8,所以对外 16 位地址总线 AB15~AB0 由 P2 口和 P0 口锁存器构成,P0 口兼作 8 位数据总线 DB7~DB0。数据总线用于传送指令和数据信息。

8051 引脚中的输出控制线($\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{PSEN}}$ 、 $\overline{\text{ALE}}$)以及输入控制信号线($\overline{\text{EA}}$ 、 $\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{RST}}$ 、 $\overline{\text{T0}}$ 、 $\overline{\text{T1}}$)构成了外部控制总线(CB)。

8051 扩展的外部三总线示意图如图 3-1 所示。

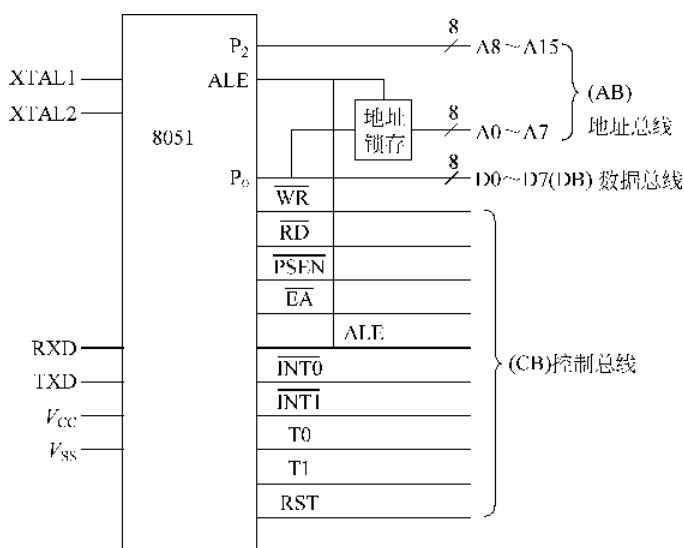


图 3-1 8051 扩展的外部三总线示意图

通常用作单片机的地址锁存器的芯片有 74LS373、8282、74LS273 等。图 3-2 的(a)、(b)和(c)分别给出了 74LS373、8282 和 74LS273 的引脚以及它们用作地址锁存器时的接法。

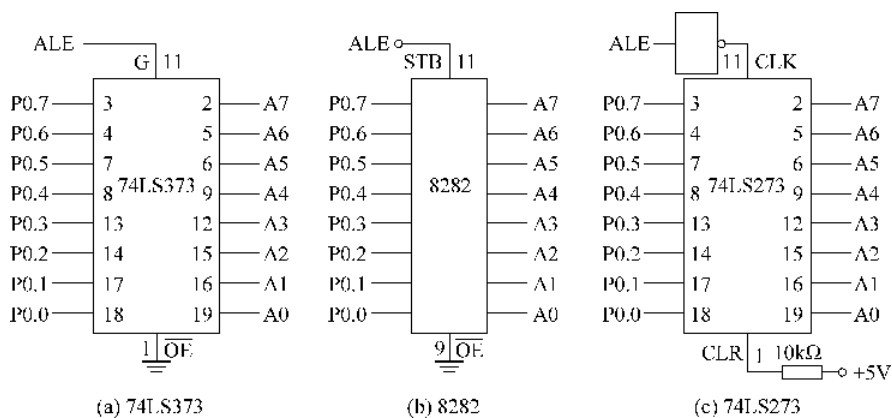


图 3-2 地址锁存器的引脚和接口

74LS373 和 8282 是带三态输出的 8 位锁存器，它们的结构和用法类似。以 74LS373 为例，它共有 8 个输入端(D1~D8)及 8 个输出端(Q1~Q8)。当三态端 $\overline{\text{OE}}$ 为有效低电平时，74LS373 的 G 端为输入选通端。使能端 G 为有效高电平时，输出跟随输入变化，即当 $G=1$ 时，锁存器处于透明工作状态，锁存器的输出状态随数据端的变化而变化，即 $Q_i = D_i (i=1, 2, \dots, 8)$ 。当 G 端由 1 变 0 时，数据被锁存起来，此时输出端 Q_i 不再随输入端的变化而变化，而一直保持锁存前的值不变。G 端 (或 STB 端) 可直接与单片机的锁存控制信号端 ALE 相连，在 ALE 的下降沿进行地址锁存。

2. 程序存储器的扩展

MCS-51 单片机程序存储器的寻址空间为 64KB, 对于 8051/8751 片内程序存储器为 4KB 的 ROM 或 EPROM, 在单片机的应用系统中, 片内的存储容量往往不够, 特别是 8031, 片内没有程序存储器, 必须外扩程序存储器。MCS-51 外扩程序存储器结构如图 3-3 所示。

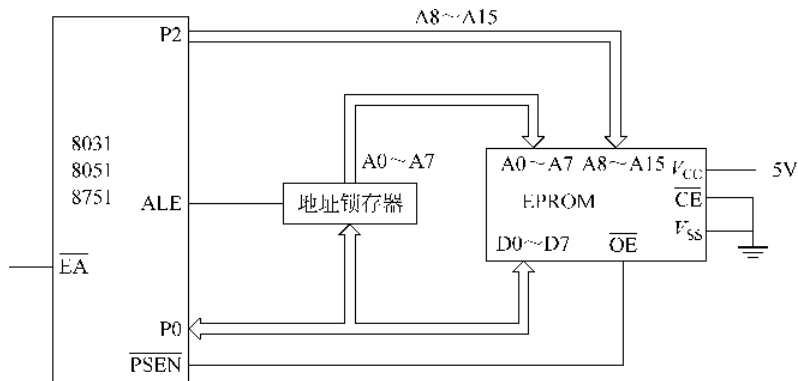


图 3-3 MCS-51 外扩程序存储器结构图

3. 外部数据存储器的扩展

MCS-51 芯片内部具有 128 字节的 RAM 存储器, 它们可以作为寄存器、堆栈、数据缓冲器。CPU 对其内部 RAM 有丰富的操作指令, 因此这个 RAM 是十分珍贵的资源。在许多系统中, 仅仅片内的 RAM 存储器往往不够, 在这种情况下, 可以扩展外部数据存储器。在扩展时, 外接电路除了随机存储器 RAM 之外, 还有地址锁存器、地址译码器等电路, 外接最大容量不超过 64KB。

图 3-4 给出了单片机扩展 RAM 的电路结构。图中 P0 口分时传送 RAM 的低 8 位地址和数据, P2 口为高 8 位地址线, 用于对 RAM 进行页寻址。在外部 RAM 读/写周期, CPU 产生 RD/WR 信号。P2 口输出外部 RAM 单元的高 8 位地址, P0 口分时传送低 8 位地址及数据。当地址锁存允许信号 ALE 为高电平时, P0 口输出的地址信息有效, ALE 的下降沿将此地址打入外部地址锁存器; 接着 P0 口变为输入方式, 读信号 RD 有效, 选通外部 RAM, 相应存储单元的内容出现在 P0 口, 由 CPU 读入累加器。写操作时,

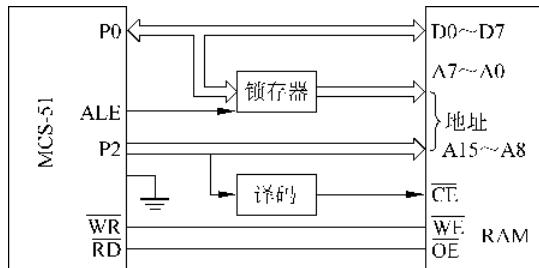


图 3-4 单片机扩展 RAM 的电路结构

在 ALE 下降为低电平以后, WR 信号才有效, P0 口上出现的数据写入相应的 RAM 单元。

4. 简单的输入/输出接口扩展

只要根据“输入三态, 输出锁存”的原则, 选择 74 系列的 TTL 电路或 MOS 电路就能组成简单的扩展电路, 如 74LS244、74LS273、74LS373、74LS377 等芯片都能组成输入/输出接口。对于 8051 单片机, 外部 I/O 接口和外部 RAM 是统一编址的, 也就是说它们共用 64KB 存储空间。每个扩展 I/O 接口相当于一个扩展的外部单元, 因此, 访问外部接口就如同访问外部 RAM 一样, 用的都是 MOVX 指令。

图 3-5 给出了一个用 8 位三态缓冲器 74LS244 作为输入口和 8 位 D 锁存器 74LS273 作为输出口组成的简单 I/O 口扩展电路。图 3-5 中, 输出电路控制采用 P2.6 和 $\overline{\text{WR}}$ 的组合信号。当 P2.6 和 $\overline{\text{WR}}$ 都为 0 时, 或门输出为 0, 将 P0 口数据锁存到 74LS273, 其 Q 端控制发光二极管 LED。当某个 Q 端为 0 时, 与其相连的发光二极管被点亮。

3.1.2 并行 I/O 扩展方式

并行 I/O 扩展方式则是使用普通的 I/O 口操作方式来实现对外围芯片的操作。

在智能仪器中可以直接利用单片机的 I/O 口来对外围芯片进行操作, 但是往往会发生单片机的 I/O 口资源不够的情况, 在这种情况下有必要对单片机的 I/O 口进行扩展, 以提供足够的资源。

并行总线扩展时常用的芯片是可编程外围并行接口芯片 8255。

8255 有 3 个 8 位的并行口, 端口既可以编程为普通的 I/O 口, 也可以编程为选通 I/O 口和双向传输口。

8255 被广泛应用于实际工程中, 例如与 A/D、D/A 配合构成数据采集系统, 通过 8255A 连接的两个或多个系统构成相互之间的通信, 系统与外设之间通过 8255A 交换信息等, 所有这些系统都将 8255A 用作并行接口。

1. 8255 的结构和引脚

8255A 的原理结构图如图 3-6 所示。它采用 40 脚的 DIP 封装, 其引脚定义如表 3-1 所示。

8255A 为一可编程的通用接口芯片, 它有 3 个数据端口 A、B、C, 每个端口为 8 位, 并均可设成输入和输出方式, 但各个端口仍有差异。

(1) 端口 A(PA7~PA0): 8 位数据输出锁存/缓冲器, 8 位数据输入锁存器。

(2) 端口 B(PB7~PB0): 8 位数据 I/O 锁存/缓冲器, 8 位数据输入缓冲器。

(3) 端口 C(PC7~PC0): 8 位输出锁存/缓冲器, 8 位输入缓冲器(输入时没有锁存); 在模式控制下这个端口又可以分成两个 4 位的端口, 它们可单独用作输出控制和状态输入。

端口 A、B、C 又可组成两组端口(12 位): A 组和 B 组, 如图 3-6 所示。在每组中, 端口 A 和端口 B 用作数据端口, 端口 C 用作控制和状态联络线。

在 8255A 中, 除了这 3 个端口外, 还有一个控制寄存器, 用于控制 8255A 的工作方式。因此 8255A 共有 4 个端口寄存器, 分别用控制线 A1、A0 指定。

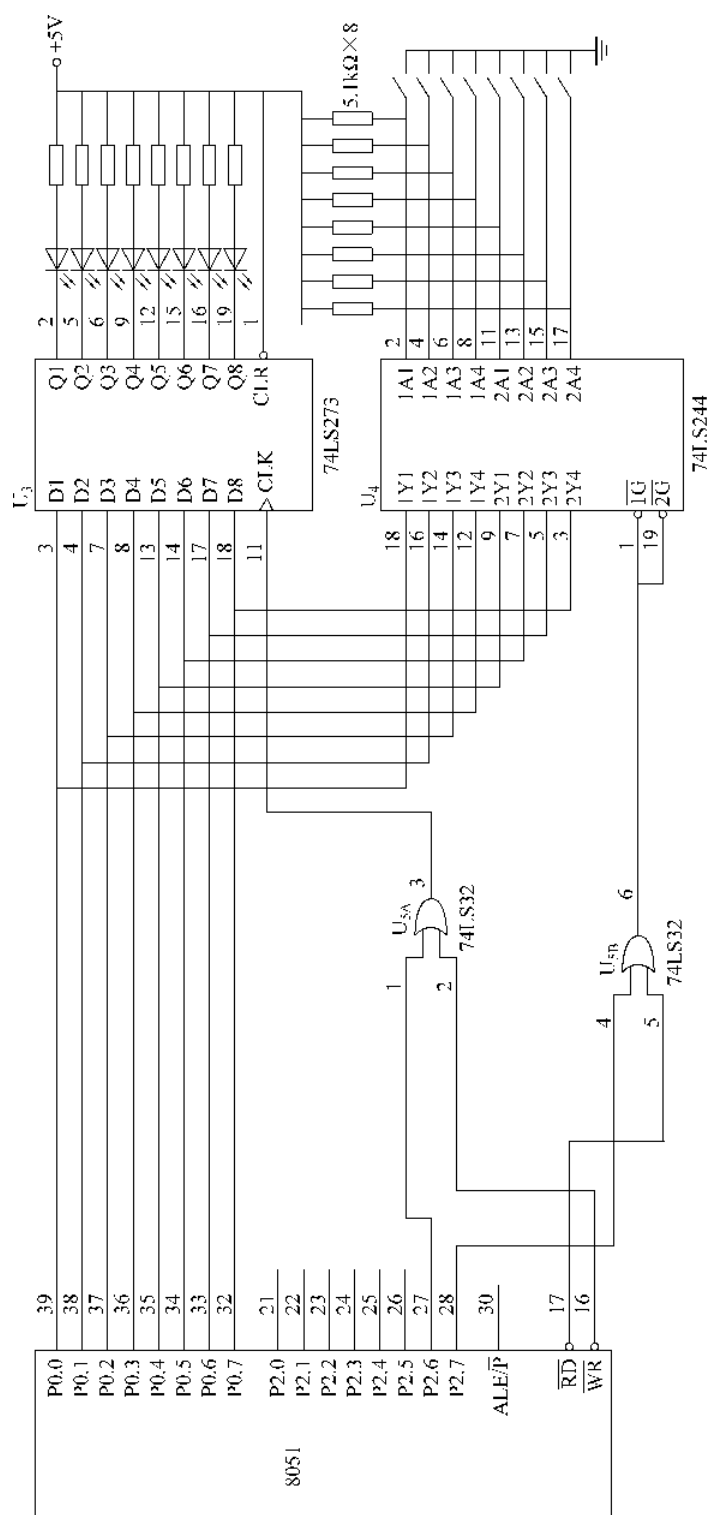


图 3-5 简单 I/O 口扩展电路

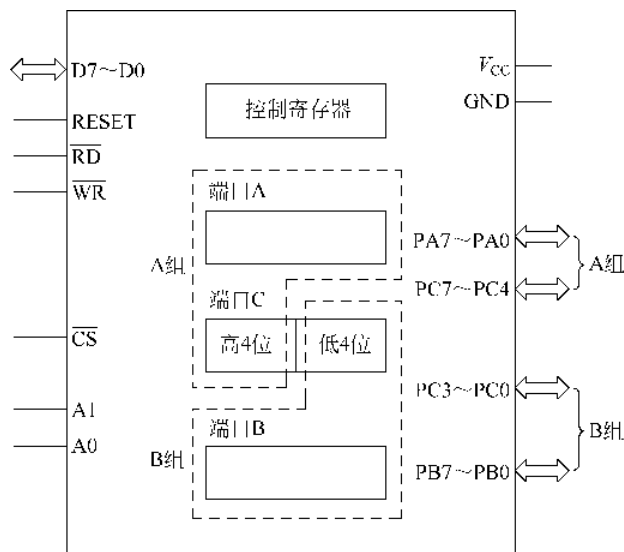


图 3-6 8255A 的原理结构图

表 3-1 8255A 的引脚定义

引脚名	功 能	连接去向
D7~D0	数据总线(双向)	CPU
RESET	复位输入	CPU
CS	片选信号	译码电路
RD	读信号	CPU
WR	写信号	CPU
A1、A0	端口地址	CPU
PA7~PA0	端口 A	外设
PB7~PB0	端口 B	外设
PC7~PC0	端口 C	外设
V _{cc}	电源(+5V)	
GND	地	

- (1) A1=0, A0=0, 表示访问端口 A。
- (2) A1=0, A0=1, 表示访问端口 B。
- (3) A1=1, A0=0, 表示访问端口 C。
- (4) A1=1, A0=1, 表示访问控制寄存器。

2. 8255 的命令字

8255A 有两个命令字：方式控制字和口 C 置位/复位命令字。它们的编程状态决定 8255A 各端口的工作方式。这两个命令字占用同一地址，由各自的标志位区别。

8255A 有 3 种基本工作方式。方式 0：基本的输入/输出。方式 1：有联络信号的输入/输出。方式 2：双向传送。

(1) 方式控制字

A 组可采用方式 0~2,而 B 组只能采用方式 0 和方式 1,这由 8255A 的方式控制字控制。当向 8255A 的端口寄存器(即控制寄存器)发送 A1=1,A0=1,D7=1 的控制字时,其作用为方式控制字,各个位的含义如图 3-7 所示。

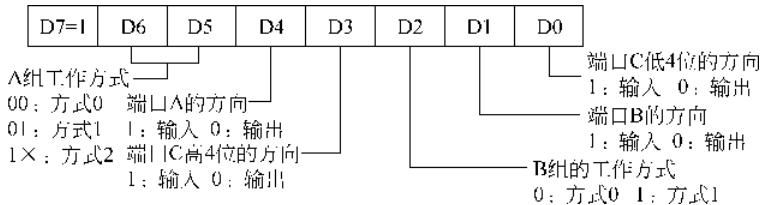


图 3-7 方式控制字

(2) 口 C 置位/复位命令字

当向 8255A 的端口寄存器(即控制寄存器)发送 A1=1、A0=1 的控制字时,其作用为口 C 置位/复位命令字,各个位的含义如图 3-8 所示。

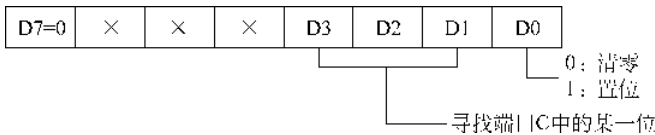


图 3-8 口 C 置位/复位命令字

(3) 8255 的工作方式

方式 0: 基本的输入/输出方式。它将端口信号线分成 4 组,分别由方式控制字的 D4、D3、D1、D0 位控制其传送方向,当某位为 1 时,相应的端口数据线设置成输入方式;当某位为 0 时,相应的端口数据线设置成输出方式。

例如,当方式控制字设置成 1000 1010 时,端口 A 与端口 C 的低 4 位数据线设置成输出方式,端口 B 与端口 C 的高 4 位数据线设置成输入方式。

特别注意,当将 C 口的低 4 位设置成同一传送方向时,端口 C 可用作独立的端口,因此,8255A 提供了 3 个独立的 8 位端口。

方式 1: 有联络信号的输入/输出方式。3 个端口的信号分成 A、B 两组,PC7~PC4 用作 A 组的联络信号,PC3~PC0 用作 B 组的联络信号。但 PC3、PC0 固定用作 A 组和 B 组向 CPU 发送的中断请求信号。为对中断请求信号进行管理,8255A 中专门设置了中断屏蔽触发器 INTEA 和 INTEB,它们是通过端口 C 某一位的置位控制字进行控制的,如表 3-2 所示。

表 3-2 8255A 的中断管理

分组	中断屏蔽触发器	输入/输出方式	端口 C 中的控制位
A 组	INTEA	输入	PC4
A 组	INTEA	输出	PC6
B 组	INTEB	输入/输出	PC2

通过置位控制字,当对 INTE 对应的端口 C 的位置位时,INTE=1,允许产生中断请求信号;当对 INTE 对应的端口 C 的位清零时,INTE=0,不允许(屏蔽)产生中断请求信号。

方式 2: 双向传送方式。这种方式只适用于 A 组,PC7 和 PC6 用作输出的联络信号,PC5 和 PC4 用作输入的联络信号,PC3 仍用作中断请求信号。

当将 A 组设置成方式 1 时,B 组仍可设置成方式 0 或方式 1。

当 A 组设置成方式 2 时,端口 A 的数据总线为双向:一方面 CPU 通过 8255A 将数据转发给外设;另一方面,外设也通过 8255A 将数据提交给 CPU。中断请求信号的产生由两个中断屏蔽触发器(INTE1 和 INTE2)控制,它们置位与清零操作可分别通过对 PC6 和 PC4 的置位与清零来完成。当 CPU 响应该中断请求时,应设法确定是发送请求还是接收请求。在方式 0 下,端口 C 用作独立的数据端口;在方式 1 和方式 2 下,端口 C 用作联络信号。因此当读取端口 C 的内容时,可以获取某些联络信号线的状态,据此可了解 8255A 的工作状态。

3. 8255 芯片的应用实例

图 3-9 所示是 8051 扩展 8255A 与打印机接口的电路。8255A 的片选线为 P0.7,打印机与 8051A 采用查询方式交换数据。打印机的状态信号输入给 PC7,打印机忙时 BUSY=1。微型打印机的数据输入采用选通控制,当 $\overline{\text{STB}}$ 上负跳变时数据被打入。8255A 采用方式 0,由 PC0 模拟产生 STB 信号。

按照接口电路,口 A 地址=7CH,口 B 地址=7DH,命令口地址=7FH; PC7~PC4 为输入,PC3~PC0 为输出;方式控制命令字=8EH。

向打印机输出字符串“WELCOME”的程序 print.c 如下。

```
#include<absacc.h>
#include<reg51.h>

#define uchar unsigned char

#define COM8255 XBYTE[0x007f] //命令口地址
#define PA8255 XBYTE[0x007c] //口 A 地址
#define PC8255 XBYTE[0x007e] //口 C 地址

void toprn(uchar * p)
{
    while( * p!='\0')
    {
        while((0x80&PC8255)!=0); //查询等待打印机的 BUSY 状态
        PA8255= * p; //输出字符
        COM8255=0x00; //模拟 STB 脉冲
        COM8255=0x01;
        p++;
    }
}
```

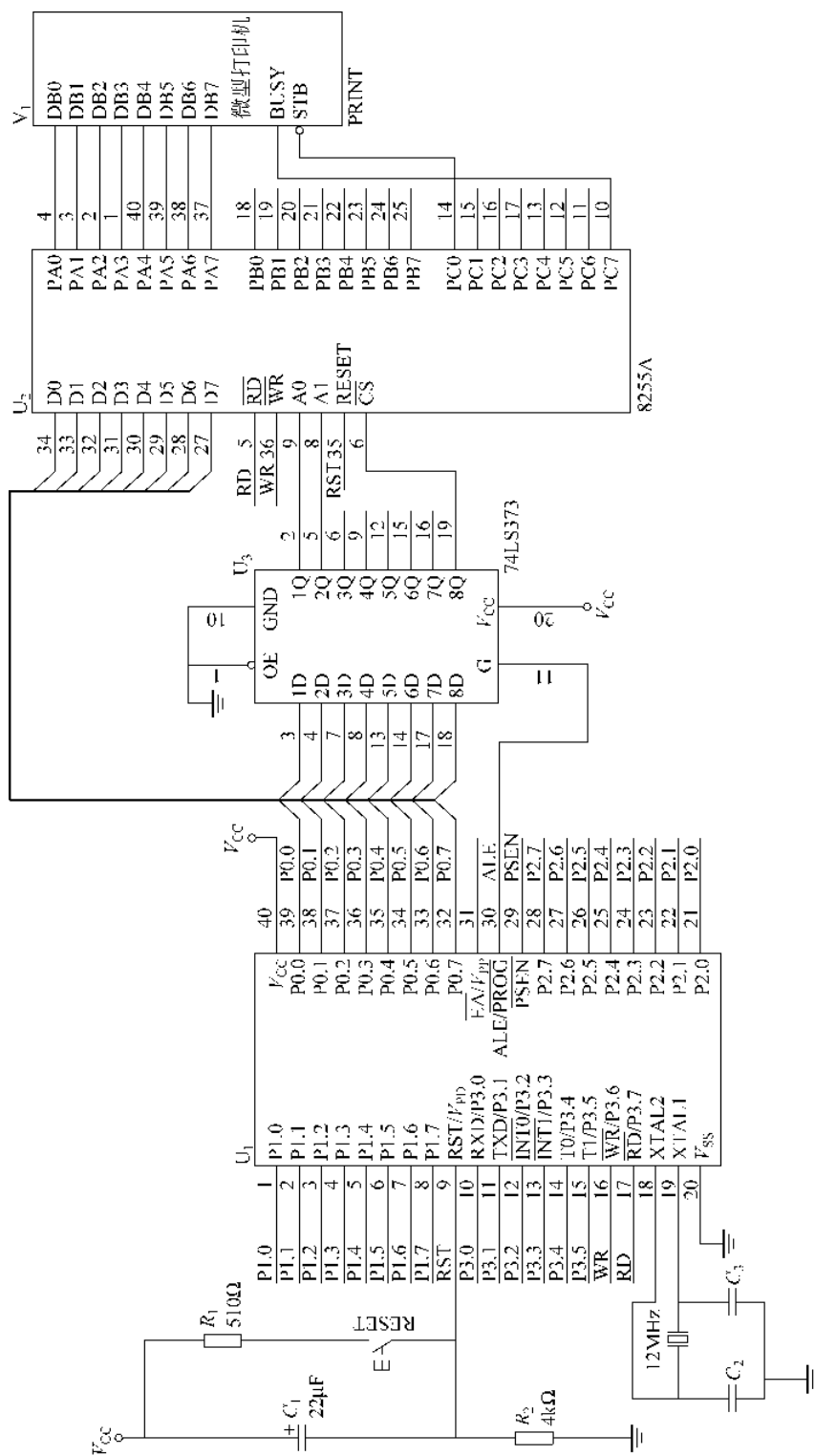



图 3-9 8051 扩展 8255A 与打印机接口的电路

```

void main(void)
{
    uchar idata prn[]="WELCOME";    //设一测试字符串
    COM8255=0x8e;                  //输出方式选择命令字
    topn(prn);                      //打印字符串
}

```

3.2 串行总线扩展

目前常用的微机与外设之间进行数据传输的串行总线主要有 I²C 总线、SPI 总线和单总线。其中 I²C 总线以同步串行 2 线方式(一条时钟线,一条数据线)进行通信,SPI 总线则以同步串行 3 线方式(一条时钟线,一条数据输入线,一条数据输出线)进行通信,单总线采用单条信号线,既可传输时钟,又能传输数据,而且数据传输是双向的。需要注意的是,这几种串行总线连接方式都是应用于单主机系统的。

3.2.1 SPI 总线介绍及应用

1. SPI 总线介绍

串行外围设备接口 SPI(Serial Peripheral Interface)总线技术是 Motorola 公司推出的一种同步串行接口。Motorola 公司生产的绝大多数 MCU(微控制器)都配有 SPI 硬件接口,如 68 系列 MCU。SPI 用于 CPU 与各种外围器件进行全双工、同步串行通信。SPI 可以同时发出和接收串行数据。它只需 4 条线就可以完成 MCU 与各种外围器件的通信,这 4 条线是: 串行时钟(SCK)线、主机输入/从机输出(MISO)数据线、主机输出/从机输入(MOSI)数据线、低电平有效从机选择(CS)线。这些外围器件可以是简单的 TTL 移位寄存器,复杂的 LCD 显示驱动器,A/D、D/A 转换子系统或其他的 MCU。当 SPI 工作时,在移位寄存器中的数据逐位从输出引脚(MOSI)输出(高位在前),同时从输入引脚(MISO)接收的数据逐位移到移位寄存器(高位在前)。发送一个字节后,从另一个外围器件接收的字节数据进入移位寄存器中。主 SPI 的时钟信号(SCK)使传输同步。其典型系统框图如图 3-10 所示。

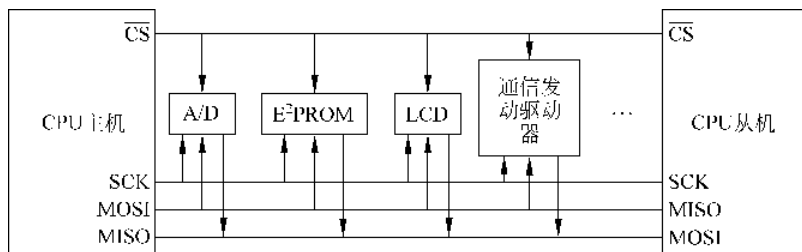


图 3-10 SPI 总线应用典型系统框图

(1) SPI 主要特点有以下几点。

- ① 可以同时发出和接收串行数据。
- ② 可以当作主机或从机工作。

- ③ 提供频率可编程时钟。
- ④ 能发送结束中断标志。
- ⑤ 可以写冲突保护。
- ⑥ 有总线竞争保护。

(2) SPI 总线接口及时序。图 3-11 所示为 SPI 总线工作的 4 种方式,其中使用最为广泛的是 SPI0 和 SPI3 方式(实线表示)。

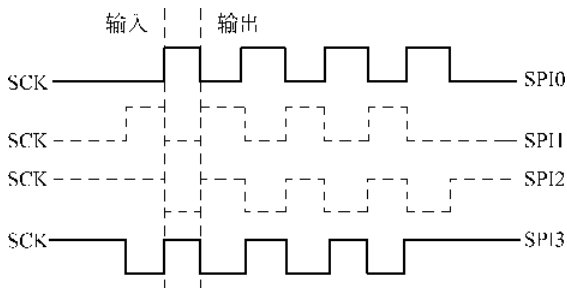


图 3-11 SPI 总线的 4 种工作方式

SPI 模块为了和外设进行数据交换,根据外设工作要求,其输出串行同步时钟极性和相位可以进行配置,时钟极性(CPOL)对传输协议没有重大的影响。如果 CPOL=0,串行同步时钟的空闲状态为低电平;如果 CPOL=1,串行同步时钟的空闲状态为高电平。时钟相位(CPHA)能够用于选择两种不同的传输协议进行数据传输。如果 CPHA=0,在串行同步时钟的第一个跳变沿(上升或下降)数据被采样;如果 CPHA=1,在串行同步时钟的第二个跳变沿(上升或下降)数据被采样。SPI 主模块和与之通信的外设时钟的相位和极性应该一致。SPI 总线接口时序如图 3-12 所示。

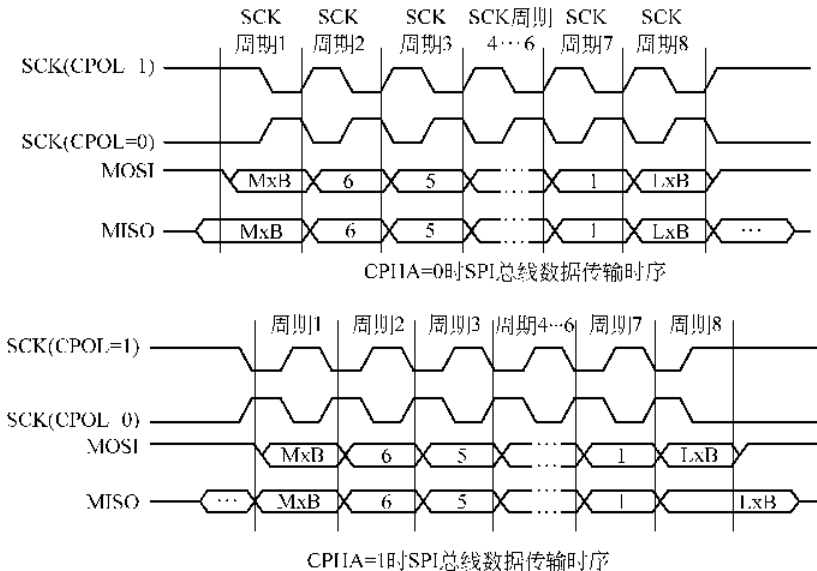


图 3-12 SPI 总线的接口时序