

第 3 章

KL25 简介与硬件最小系统

本章导读：本章给出 Kinetis L 系列微控制器概述与 KL25 硬件最小系统。主要内容有：①Kinetis 全系列微控制器产品分类及应用领域；②KL 系列 MCU 的型号标识、共性 & 体系结构；③KL25 微控制器的存储器映像结构、引脚功能、硬件最小系统电路；④苏州大学飞思卡尔嵌入式中心开发的 SD-FSL-KL25-EVB 开发板。本章通过介绍 Kinetis L 系列 MCU 与最小硬件系统，结合开发板，使读者能够对基于 ARM Cortex-M0+ 内核的微控制器有更进一步了解，更快速入门学习嵌入式开发技术。

3.1 飞思卡尔 Kinetis 系列微控制器简介

飞思卡尔在 2010 年飞思卡尔技术论坛 (FTF2010) 美国站推出了 Kinetis 系列微控制器，这是基于新 ARM Cortex-M4 处理器的 90nm 32 位 MCU，开创了其微控制器领先地位的新纪元。Kinetis 补充了飞思卡尔近年推出的 90nm ColdFire+ MCU 系列，它基于低功率混合信号 ARM Cortex-M4 处理器，是业内扩展能力最强的 MCU 系列之一。面向领域不同，Kinetis 系列基于 ARM Cortex-M 内核陆续推出了 Kinetis K 系列、L 系列、M 系列、W 系列。

1. Kinetis K 系列

飞思卡尔的 Kinetis K 系列产品组合有超过 200 种基于 ARM Cortex-M4 结构的低功耗、高性能、可兼容的微控制器。这个系列产品集成度高，它包含多种快速 16 位 ADC、DAC 和可编程增益放大器以及强大、经济有效的信号转换器。目标应用领域是便携式医疗设备、仪器仪表、工业控制及测量设备等。

2. Kinetis L 系列

飞思卡尔的 Kinetis L 系列 MCU 不仅汲取了新型 ARM Cortex-M0+ 处理器的卓越能效和易用性、功耗更低、价格更低、效率更高，而且体现了 Kinetis 产品优质的性能、多元化的外设、广泛的支持和可扩展性。目标应用领域是 8/16 位 MCU 应用领域的升级换代，适用于价格敏感、能效比相对较高的领域，如手持设备、智能终端等。

3. Kinetis M 系列

飞思卡尔的 Kinetis M 系列也是基于 32 位 ARM Cortex-M0+ 内核的 MCU。所有 Kinetis M 系列 MCU 都包含一个模拟前端，使 CPU 的电源计算可以达到 0.1% 的精确度。它包含 4 个 24 位 $\Sigma\Delta$ 模数转换器、两个低噪声可编程增益放大器，温度漂移范围小，并具有相对补偿的精密参考电压，以简化精确的功率计算。目标应用领域是经济高效的单相或两相电表设计中。

4. Kinetis W 系列

飞思卡尔的 Kinetis W 系列 MCU 扩展了 Kinetis K 系列基于 ARM Cortex-M4 的成功之处。Kinetis KW20 无线 MCU 集成了领先的 RF 收发器和 ARM Cortex-M4 内核,并且支持一个强大的、安全的、可靠的和低功耗的 IEEE 802.15.4 的无线解决方案。Kinetis W 系列是一个性能优越的无线 MCU 选择方案,可以提供良好的混合性能、集成、连通性和安全性。Kinetis KW01 超低功耗无线 MCU 是基于 ARM Cortex-M0+内核的智能无线解决方案,旨在解决低于 1GHz(290~1020MHz)的无线连接应用。目标应用领域是智能电表、传感器控制网络、工业控制、数据采集等。

3.2 KL 系列 MCU 概述与体系结构

3.2.1 KL 系列 MCU 概述

飞思卡尔的 Kinetis L 系列 MCU 于 2012 年 6 月提供样片,2013 年正式上市。该系列 MCU 是业内首款基于 ARM Cortex-M0+内核的 MCU,具有超低功耗、应用设计方便、扩展性好、系列品种齐全等特点。目标市场是传统 8 位 MCU 应用领域的 32 位升级换代。Kinetis L 系列 MCU 面向家用电器、便携式医疗系统、智能电表、照明、电源、电机控制及工业控制系统等,对稳定性、功耗、成本和易用性等方面有较严格要求的市场。该系列的设计充分考虑了应用的简约性,使得应用工程师可以像使用 8 位机一样进行 32 位机的应用开发。同时,Kinetis L 系列 MCU 和基于 ARM Cortex-M4 内核的 Kinetis K 系列 MCU 完全兼容,包括引脚。为提高性能、扩大闪存和未来集成提供了扩展途径,也使得软件、硬件的可复用性与可移植性得到了较宽的延伸。

基于 ARM Cortex-M0+内核 Kinetis L 系列 MCU 采用 90nm LP(Low Power)工艺制造,核心面积仅 0.04mm^2 ,每 MHz 单位频率功耗的电流为 $9\mu\text{A}$ 、功耗为 $11\mu\text{W}$,性能则达到了 1.77CoreMark/MHz 、 0.93DMIPS/MHz 。Kinetis L 系列 MCU 具有多个低功率操作模式,包括新的门控时钟,该模式在要求最低功耗时通过关闭总线、系统时钟减少动态功耗,外设仍可在一个可选异步时钟源下继续运作;在未唤醒内核情况下,UART、SPI、I²C、ADC、DAC、TPM、LPT 和 DMA 等可支持低功耗模式。Kinetis L 系列 MCU 简明特点如下。

(1) 内核单周期访问内存速度可达 1.77CoreMark/MHz ^①。单周期访问 I/O、关键外设速度比标准 I/O 最大提高 50%;允许位带操作、软件协议仿真以减少外部事件响应时间;2 级流水线设计减少了指令周期数(CPI),提高了跳转指令和执行 ISR 中断服务例程的速度;与 8 位、16 位 MCU 相比具有更精简的代码密度,减少了 Flash 空间、系统资源及功耗;更精简的指令系统优化访问程序存储空间,完全兼容 ARM Cortex-M0,兼容 Cortex-M3/M4 指令集子集。

(2) 执行跟踪缓冲区:实现轻量级追踪解决方案,更快定位修正 bug。

(3) BME(Bit Manipulation Engine):位带操作引擎技术支持对外围寄存器的操作,与传统的读、修改、写技术相比,减轻了代码量和周期数。

^① CoreMark 是一项基准测试,目的是为了衡量在嵌入式系统中使用的中央处理单元(CPU)的性能。

- (4) 对外设和内存,最多提供 4 通道 DMA 请求服务,同时最大化减轻 CPU 介入。
- (5) CPU 工作频率最大可支持 48MHz。

1. Kinetis L 系列 MCU 的型号标识

飞思卡尔 Kinetis 系列 MCU 的型号众多,但同一子系列的 CPU 核是相同的,多种型号只是为了适用于不同的应用场合。为了方便选型或订购,飞思卡尔给出了 MCU 型号标识。Kinetis L 系列命名格式为: Q KL# # A FFF R T PP CC (N),其中,各字段说明如表 3-1 所示,本书使用的芯片命名为: MKL25Z128VLK4。

表 3-1 Kinetis L 系列芯片命令字段说明

字段	说 明	取 值
Q	质量状态	M=正式发布芯片; P=工程测试芯片
KL# #	Kinetis 系列号	KL25
A	内核属性	Z=Cortex-M0+
FFF	程序 Flash 大小	32=32KB; 64=64KB; 128=128KB; 256=256KB
R	硅材料版本	(空)=主要使用的版本; A=主要使用版本的更新
T	运行温度范围	V=-40~105℃
PP	封装类型	FM=32QFN(5mm×5mm); FT=48QFN(7mm×7mm); LH=64LQFP(10mm×10mm); LK=80LQFP(12mm×12mm)
CC	CPU 最高频率	4=48MHz
N	包装类型	R=卷包装; (空)=盒包装

2. Kinetis L 系列 MCU 的共性

Kinetis L 系列 MCU 由 5 个子系列组成,分别是 KL0x、KL1x、KL2x、KL3x、KL4x,表 3-2 给出了 Kinetis L 系列芯片的简明资源。所有 Kinetis L 系列 MCU 均具有低功耗与丰富的混合信号控制外设,提供了不同的闪存容量和引脚数量,供实际应用选型。从应用的角度而言,KL0x 属于入门级芯片,KL1x 属于通用型芯片,而 KL2x、KL3x、KL4x 则更具针对性,KL2x 系列具有 USB OTG 技术,KL3x 系列支持段式 LCD,KL4x 系列为 KL 的旗舰系列,支持功能也最丰富。

表 3-2 Kinetis L 系列芯片的简明资源

系列	Flash 大小	引脚数量	低功耗	模拟信号	USB	段式 LCD	备注
KL4x	128~256KB	64~121	√	√	√	√	
KL3x	64~256KB	64~121	√	√		√	
KL2x	32~256KB	32~121	√	√	√		本书选用
KL1x	32~256KB	32~80	√	√			
KL0x	8~32KB	16~48	√	√			

Kinetis L 系列 MCU 在内核、低功耗、存储器、模拟信号、人机接口、安全性、定时器及系统特性等方面具有一些共同特点,简要总结如表 3-3 所示。

表 3-3 Kinetis L 系列 MCU 的共性

项 目	特 点
超级低功耗 内存	32 位 ARM Cortex-M0+ 内核具有超级低功耗 可扩展内存：8KB Flash/1KB SRAM 至 128KB Flash/16KB SRAM；内含 64B 高速 缓冲存储区，可优化总线宽度和 Flash 的执行性能（KL02 系列除外）
模拟信号	快速、高精度 16/12 位 ADC；12 位 DAC；高速比较器
人机接口	低功耗触摸感应界面
通信	所有 UART 支持 DMA 传输，总线检测到数据也能触发传输；UART0 支持 4~32 倍 的采样速率；在 STOP/VLPS 模式，也能运行异步传输和接收操作；最大支持两路 SPI；最大支持两路 I ² C；支持全速 USB OTG 片内传输控制设备
可靠性、安全性	内部看门狗监控
定时控制器	强大的定时模块支持通用/PWM/电机控制功能；可用于 RTOS 任务调度、ADC 转换 或定时的周期中断定时器
系统特性	GPIO 支持引脚中断；宽泛的工作电压：1.71~ 3.6V；Flash 编程电压、模拟外设电 压低至 1.71V；运行温度范围：-40~105℃

3. KL25 子系列 MCU 简介

本书以 KL25 子系列为蓝本阐述嵌入式技术基础，至本书出版时，该系列共有 12 个具体芯片型号。共同特点有：CPU 工作频率为 48MHz；工作电压为 1.71~3.6V；运行温度范围为-40~105℃；具有 64B 的 cache；具有 USB OTG、定时器、DMA、UART、SPI、IIC、TSI、16 位 ADC、12 位 DAC 等模块。在 Flash 容量、RAM 容量、I/O 引脚数及封装形式等有差异，如表 3-4 所示，具体应用时，需查询芯片的数据手册。

表 3-4 KL25 子系列 MCU 简明资源

型号标识	引脚数	封装	Flash	SRAM	备注
MKL25Z32VFM4(R)	32	QFN	32KB	4KB	
MKL25Z64VFM4(R)	32	QFN	64KB	8KB	
MKL25Z128VFM4(R)	32	QFN	128KB	16KB	
MKL25Z32VFT4(R)	48	QFN	32KB	4KB	
MKL25Z64VFT4(R)	48	QFN	64KB	8KB	
MKL25Z128VFT4(R)	48	QFN	128KB	16KB	
MKL25Z32VLH4(R)	64	LQFP	32KB	4KB	
MKL25Z64VLH4(R)	64	LQFP	64KB	8KB	
MKL25Z128VLH4(R)	64	LQFP	128KB	16KB	
MKL25Z32VLK4(R)	80	LQFP	32KB	4KB	
MKL25Z64VLK4(R)	80	LQFP	64KB	8KB	
MKL25Z128VLK4(R)	80	LQFP	128KB	16KB	本书选用

3.2.2 KL 系列 MCU 体系结构

KL 系列 MCU 是以 AMBA 总线规范为架构 SOC(System On Chip)，如图 3-1 所示。一般来说，AMBA 架构包含高性能系统总线（Advanced High Performace Bus, AHB）和低

速、低功耗的外设总线(Advanced PeriPheral Bus, APB)。系统总线是负责连接 ARM 内核、DMA 控制器、片内存储器或其他需要高带宽的模块。而外设总线则是用来连接系统的外围慢速模块,其协议规则相对系统总线来说较为简单,它与系统总线之间则通过总线桥(Bus Bridge)相连,期望能减少系统总线的负载。

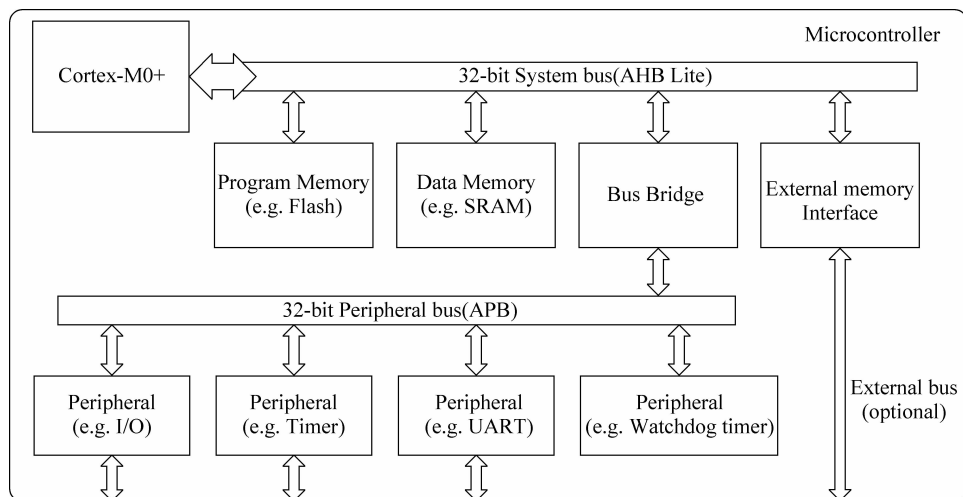


图 3-1 32 位 MCU 系统、外围总线模块图

1. AMBA 总线规范

ARM 公司定义了 AMBA (Advanced Microcontroller Bus Architecture) 总线规范,它是一组针对基于 ARM 内核、片内系统之间通信而设计的标准协议。在 AMBA 总线规范中,定义了 AHB、APB、ASB 这 3 种总线。最初的 AMBA 总线是 ASB 和 APB。在它的第二个版本中,ARM 引入了 AHB。

(1) AHB: 用于高性能系统模块的连接,支持突发模式数据传输和事务分割;

(2) ASB: Advanced System Bus,也用于高性能系统模块的连接,支持突发模式数据传输,这是较老的系统总线格式,后来由 AHB 总线替代;

(3) APB: 用于较低性能外设的简单连接,一般是接在 AHB 或 ASB 系统总线上的第二级总线。

2. 总线桥

总线桥,在 KL25 参考手册中也被称为外设桥(Peripheral Bridge),给外设桥的名字是 AIPS-Lite,即图 3-1 中的 Bus Bridge。外设桥的作用是把交叉开关(Crossbar Switch)接口协议,转换成私有外设总线协议(IPS/APB)。本书中 KL25 MCU 外设桥以外设槽(Slot)形式,最多可连接 128 个外设,给每个外设分配 4KB 的寄存器映像空间。外设桥为每个外设槽提供了独立时钟,以便更好地支持低速外设。

3. 交叉开关

交叉开关将总线主机与总线从机相连,该结构允许多达 4 路主机同时访问不同总线从机。所谓总线主机是指其可在总线上产生与控制所有时序。当总线主机试图通过交叉开关访问从机端口时,若该端口处于空闲状态,则执行访问,访问速度最大可达单周期或零等待;若从机端口处于忙状态或被其他总线主机占用,总线主机插入查询等待状态,直到目的从机

响应服务主机请求。响应服务延迟时间取决于每个主机各自的优先级以及访问目的从机的时间。但若同时访问相同从机时,交叉开关提供仲裁机制确定访问顺序,仲裁机制包括优先级固定算法和优先级轮转算法。

3.3 KL25 系列存储映像

KL25 把 M0+内核之外的模块,用类似存储器编址的方式,统一分配地址。在 4G 的存储映射空间内,片内 Flash、SRAM、系统配置寄存器,以及其他外设如 GPIO,被分配给独立的地址,以便 M0+内核进行访问。表 3-5 给出了本书使用的 KL25(MKL25Z128VLK4)存储映射表。

表 3-5 KL25(MKL25Z128VLK4)系统存储映射

32 位地址范围	目的从机	说 明
0x0000_0000~0x07FF_FFFF	可编程 Flash 和只读数据	128KB (0x0000_0000~0x0001_FFFF)
0x0800_0000~0x1FFF_EFFF	保留	—
0x1FFF_F000~0x1FFF_FFFF	SRAM_L; Lower SRAM	16KB RAM 区
0x2000_0000~0x2000_2FFF	SRAM_U; Upper SRAM	
0x2000_3000~0x3FFF_FFFF	保留	—
0x4000_0000~0x4007_FFFF	AIPS 外围设备	串口、定时器、模块配置等
0x4008_0000~0x400F_EFFF	保留	—
0x400F_F000~0x400F_FFFF	通用输入/输出	GPIO 模块
0x4010_0000~0x43FF_FFFF	保留	—
0x4400_0000~0x5FFF_FFFF	BME 访问外设槽 0~127	只能对特定的区域位操作
0x6000_0000~0xDFFF_FFFF	保留	—
0xE000_0000~0xE00F_FFFF	私有外设	系统时钟、中断控制器、调试接口
0xE010_0000~0xEFFF_FFFF	保留	—
0xF000_0000~0xF000_0FFF	MTB(微型跟踪缓存)寄存器	—
0xF000_1000~0xF000_1FFF	MTB 数据查看和跟踪寄存器	—
0xF000_2000~0xF000_2FFF	ROM 表	存放存储映射信息
0xF000_3000~0xF000_3FFF	杂项控制模块	—
0xF000_4000~0xF7FF_FFFF	保留	—
0xF800_0000~0xFFFF_FFFF	IOPORT; GPIO(单周期访问)	可被内核直接访问

1. ROM 区存储映像

片内 ROM 区(0x0000_0000~0x1FFF_FFFF),被用来存储程序代码、中断向量表、只读数据等,总计 512MB。在 KL25 中,实际上只使用了一块 128KB(0x0000_0000 ~ 0x0001_FFFF)作为该芯片 Flash 区,只占用了该区域一小部分空间。

2. RAM 区存储映像

片内 RAM 区被用来存储数据,包括堆栈,也能用来存储程序代码。在 M0+中,该区域划分为 0x2000_0000 ~0x3FFF_FFFF,但芯片制造商可以重新调整。飞思卡尔公司给出了

KL25 芯片的 RAM 区划分计算方法,片内 RAM 被划分为 SRAM_L 和 SRAM_U 两个部分,设 SRAM 空间的大小为 N 字节,其地址范围计算公式如下:

SRAM_L 地址范围 = $[0x2000_0000 - (N/4)] \sim 0x1FFF_FFFF$

SRAM_U 地址范围 = $0x2000_0000 \sim [0x2000_0000 + (3N/4) - 1]$

KL25 中,SRAM 的大小为 16KB,分为 SRAM_L: $0x1FFF_F000 \sim 0x1FFF_FFFF$ (4KB); SRAM_H: $0x2000_0000 \sim 0x2000_2FFF$ (12KB)。

3. 外设区存储映像

通过 AHB 总线和 APB 总线所连接的外设的地址都被划分在此段中 ($0x4000_0000 \sim 0x5FFF_FFFF$)。

1) BME(位带操作)存储映像

支持位带操作存储区地址位于 $0x4400_0000 \sim 0x5FFF_FFFF$ 。位带操作技术由硬件支持,可使用 Cortex-M 指令集中最基本的加载、存储指令完成对外设地址空间内存的读、改、写操作。

2) AIPS-Lite(外设桥)存储映像

KL25 芯片分配给外设桥地址空间 1024KB ($0x4000_0000 \sim 0x400F_FFFF$),划分成三个区域:128KB 存储区给片内外设;384KB 存储空间给片外外设;最后 4KB 存储区的外设槽用于访问 GPIO 模块。外设桥连接的片内外设有 DMA 控制器、GPIO 控制器;片外外设设有 Flash 存储器、DMA 通道复用器 0、PIT、TPM、ADC0、RTC、DAC0、LPTMR、TSI、MCG、OSC、I²C、UART 等外设模块。

4. 私有外设总线存储映像

PPB(Private Peripheral Bus)私有外设总线是 ARM 总线体系结构的一部分,这条基于 APB 总线协议的 32 位总线,负责访问位于 $0xE000_0000 \sim 0xE00F_FFFF$ 区间的私有外设。

5. 系统保留段存储映像

从 $0xE010_0000 \sim 0xFFFF_FFFF$ 的区域为系统保留区域,包括跟踪调试单元、杂项控制单元、ROM 表以及 IOPORT 模块等。

其中,ROM 表位于 $0xF000_2000$ 处,它只是一个简单的查找表,记录每个模块的入口地址,提供存储器映射信息,这些信息中包括了多种系统设备和调试组件。当调试系统定位各调试组件时,它需要找出相关寄存器在存储器的地址(如 NVIC)和各个调试功能块的地址,调试系统自动检测在 KL25 芯片中包含了哪些调试组件。在检测到了调试组件后,调试器可以接下来查看它们的 ID 寄存器,从而判定系统中哪些组件是可用的。

3.4 KL25 的引脚功能

本书以 80 引脚 LQFP 封装的 MKL25Z128VLK4 芯片为例阐述 ARM Cortex-M0+ 架构的 Kinetis MCU 的编程和应用。若没有特殊说明,本书的 KL25 均指 MKL25Z128VLK4 芯片。图 3-2 给出的是 80 引脚 LQFP 封装的 MKL25Z128VLK4 的引脚图。每个引脚都可能有多重复用功能,有的引脚有两个复用功能,有的有 4 个复用功能,在实际嵌入式产品的

硬件系统设计时必须注意只能使用其中的一个功能。进行硬件最小系统设计时,一般以引脚的第一功能作为引脚名进行原理图设计,若实际使用的是其另一功能,可以用括号加以标注,这样设计的硬件最小系统就比较通用。

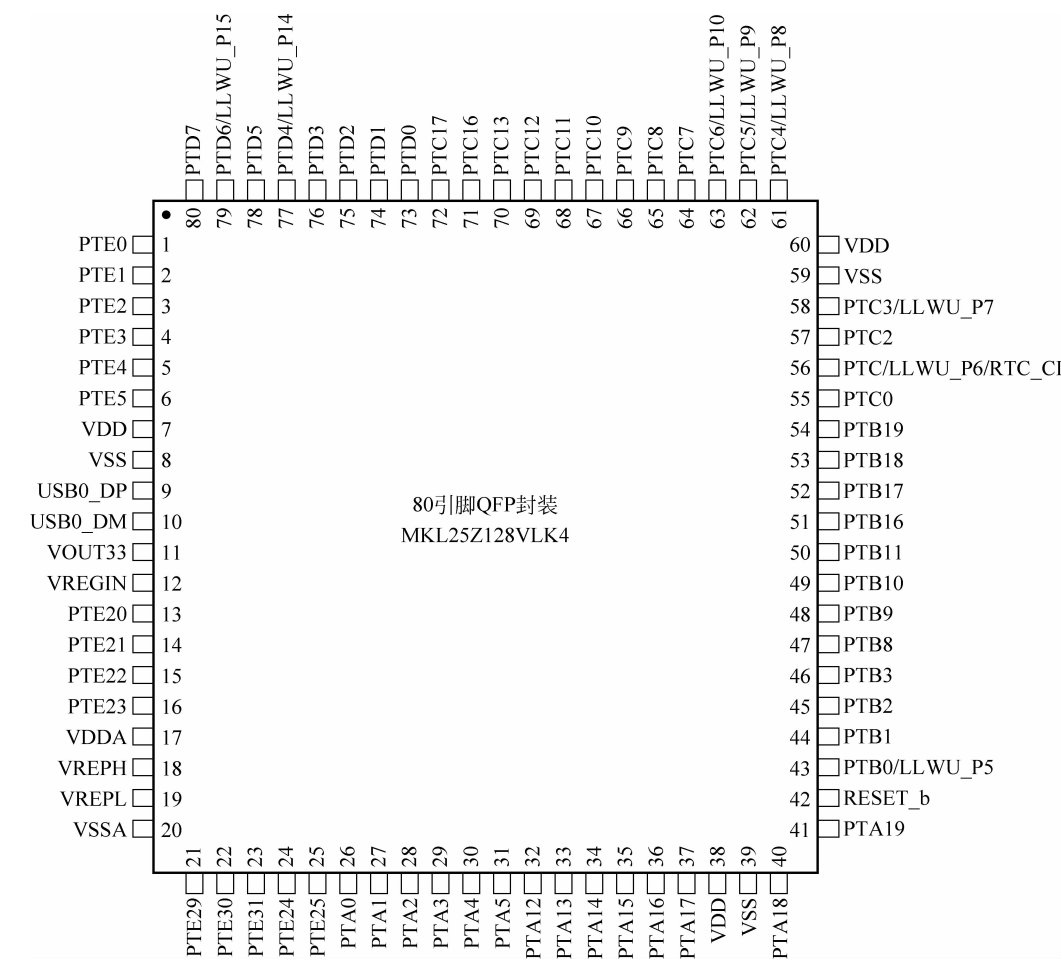


图 3-2 80 引脚 LQFP 封装 MKL25Z128VLK4 引脚图

下面从需求与供给的角度把 MCU 的引脚分为硬件最小系统引脚与 I/O 端口资源类引脚两大类。

1. 硬件最小系统引脚

KL25 硬件最小系统引脚包括电源类引脚、复位引脚、晶振引脚等,如表 3-6 所示。KL25 芯片电源类引脚,LQFP 封装 12 个。芯片使用多组电源引脚,分别为内部电压调节器、I/O 引脚驱动、A/D 转换电路等电路供电,内部电压调节器为内核和振荡器等供电。为了提供稳定的电源,MCU 内部包含多组电源电路,同时给出多处电源引出脚,便于外接滤波电容。为了电源平衡,MCU 提供了内部有共同接地点的多处电源引脚,供电路设计使用。

表 3-6 KL25 硬件最小系统引脚表

分 类	引 脚 名		引脚号	典 型 值	功 能 描 述
			LQFP		
电 源	电源输入	VDD	7、38、60	3.3V	电源
		VSS	8、39、59	0V	地
		VDDA、VSSA	17、20	3.3V、0V	A/D 模块的输入电源
		VREFH、VREFL	18、19	3.3V、0V	A/D 模块的参考电压
		VREGIN	12	5V	USB 模块的参考电压
	电源输出	VOUT33	11	3.3V	USB 模块电源稳压器输出的电压
复位	RESET		42	复位引脚(双向),作为输入,拉低可使芯片复位;作为输出,上电复位期间有低脉冲输出,输出脉宽最小约 100ns,芯片完成复位。常态下,引脚拉高,可通过复位按键拉低复位	
晶振	EXTAL、XTAL		40、41	分别为无源晶振输入、输出引脚	
SWD	SWD_CLK		26	SWD 时钟信号线	
接口	SWD_DIO		29	SWD 数据信号线	
引脚个数统计			LQFP 封装 17 个		

2. I/O 端口资源类引脚

除去需要服务的引脚外,其他引脚可以为实际系统提供 I/O 服务。芯片提供服务的引脚也可称为 I/O 端口资源类引脚。KL25(80 引脚 LQFP 封装)具有 61 个 I/O 引脚。如表 3-7 所示,其中 A 口 10 个,B 口 12 个,C 口 16 个,D 口 8 个,E 口 15 个,每个引脚均具有多个功能。这些引脚在复位后,立即被配置为高阻状态,且为通用输入引脚,没有内部上拉电阻。Kinetis 系列引脚上电后处于 disabled 状态,未用引脚推荐悬空。

表 3-7 KL25 I/O 端口资源类引脚表

端口名	引脚数	引 脚 名	功 能 描 述
A	10	PTA[1~2,4~5],PTA[12~17]	SWD/TPM/UART/TSI/I ² C/USB/SPI/EXTAL/XTAL/RESET/LPTMR/GPIO
B	12	PTB[0~3],PTB[8~11],PTB[16~19]	UART/EXTRG/LLWU/ADC/SPI/TSI/TPM/I ² C/GPIO
C	16	PTC[0~13],PTC[16~17]	LPTMR/SPI/CLK_OUT/UART/RTC/LLWU/TPM/EXTRG/ADC/I ² C/TSI/CMP/GPIO
D	8	PTD[0~7]	LLWU/ADC/UART/TPM/SPI/GPIO
E	15	PTE[0~5],PTE[20~25],PTE[29~31]	DAC/CMP/RTC/ADC/TPM/UART/SPI/I ² C/GPIO
其他	2	USB0_DM,USB0_DP	USB 模块的 D-和 D+ 信号线
引脚个数统计及说明		LQFP 封装 63 个。这里统计的 I/O 引脚不包括已被最小系统使用的引脚。I/O 端口引脚最大输入电压为 0.7 * VDD;最大输出电压为 VDD,最大输出总电流为 100mA。具体技术指标参见《KL25 数据手册》	

3.5 KL25 硬件最小系统原理图

MCU 的硬件最小系统是指可以使内部程序运行所必须的最低规模的外围电路,也可以包括写入器接口电路。使用一个芯片,必须完全理解其硬件最小系统。当 MCU 工作不正常时,首先就要查找最小系统中可能出错的元件。一般情况下,MCU 的硬件最小系统由电源、晶振及复位等电路组成。芯片要能工作,必须有电源与工作时钟;至于复位电路则提供不掉电情况下 MCU 重新启动的手段。随着 Flash 存储器制造技术的发展,大部分芯片提供了在板或在线系统(On System)的写入程序功能,即把空白芯片焊接到电路板上后,再通过写入器把程序下载到芯片中。这样,硬件最小系统应该把写入器的接口电路也包含在其中。基于这个思路,KL25 芯片的硬件最小系统包括电源电路、复位电路、晶振电路及与写入器相连的 SWD 接口电路。具体见附录 B。

1. 电源及其滤波电路

电路中需要大量的电源类引脚用来提供足够的电流容量,同时保持芯片电流平衡,所有的电源引脚必须外接适当的滤波电容以抑制高频噪声。附录 B 给出了 KL25 硬件最小系统的电源和地连接图。

电源(VDDx)与地(VSSx)包括很多引脚,如 VDDA、VSSA、VDD1~VDD3、VSS1~VSS3、VREFH、VREFL 和 VREGIN 等。至于外接电容,是由于集成电路制造技术所限,无法在 IC 内部通过光刻的方法制造这些电容。去耦是指对电源采取进一步的滤波措施,去除两级间信号通过电源互相干扰的影响。附录 B 中,电源滤波电路用于改善系统的电磁兼容性,降低电源波动对系统的影响,增强电路工作的稳定性。为标识系统通电与否,可以增加一个电源指示灯。

2. 复位电路及复位功能

复位电路见附录 B。复位,意味着 MCU 一切重新开始。复位引脚为 T_RST。若 T_RST 信号有效(低电平)则会引起 MCU 复位。复位电路原理如下:正常工作时复位输入引脚 T_RST 通过一个 10k Ω 的电阻接到电源正极,所以应为高电平。若按下复位按钮,则 T_RST 引脚接地为低电平,导致芯片复位。KL25 的复位引脚是双向引脚,作为输入引脚,拉低可使芯片复位,作为输出引脚,上电复位期间有低脉冲输出,表示芯片已经复位完成。

从引起 MCU 复位的内部与外部因素来区分,复位可分为外部复位和内部复位两种。外部复位有上电复位、按下“复位”按钮复位。内部复位有看门狗定时器复位、低电压复位、低漏唤醒(LLWU)复位、软件复位等。

从复位时芯片是否处于上电状态来区分,复位可分为冷复位和热复位。芯片从无电状态到上电状态的复位属于冷复位,芯片处于带电状态时的复位叫热复位。冷复位后,MCU 内部 RAM 的内容是随机的。而热复位后,MCU 内部 RAM 的内容会保持复位前的内容,即热复位并不会引起 RAM 中内容的丢失。

从 CPU 响应快慢来区分,复位还可分为异步复位与同步复位。异步复位源的复位请求一般表示一种紧要的事件,因此复位控制逻辑不等到当前总线周期结束,复位立即有效。异步复位源有上电、低电压复位等。同步复位的处理方法与异步复位不同:当一个同步复位源给出复位请求时,复位控制器并不使之立即起作用,而是等到当前总线周期结束之后,

这是为了保护数据的完整性。在该总线周期结束后的下一个系统时钟的上升沿时,复位才有效。同步复位源有看门狗定时器、软件等。

3. 晶振电路

晶振电路为芯片提供了准确的工作时钟。作为振荡源的晶体振荡器分为无源晶振(Crystal)和有源晶振(Oscillator)两种类型。有源晶振需要外接电源。无源晶振有两个引脚,由于无极性元件自身无法起振,因此需要借助辅助电路才能产生振荡信号。

KL25 内部集成了多用途时钟产生器(Multipurpose Clock Generator, MCG)模块,用于将晶振输入时钟倍频至系统所需时钟。苏州大学飞思卡尔嵌入式中心开发的 SD-FSL-KL25-EVB,其主晶振采用 8MHz 无源晶振。在硬件布线时需要注意晶振元件附近不要走高频信号,晶振应该尽量靠近芯片的晶振输入引脚。晶振一旦不能正常工作,芯片将无法启动,实际上晶振可以被比喻成负责给芯片提供“心跳”的器件。

4. SWD 接口电路

KL25 芯片的调试接口 SWD 是基于 ARM CoreSight 架构的,该架构在限制输出引脚和其他可用资源情况下,提供了最大的灵活性。CoreSight 是 ARM 定义的一个开放体系结构,以使 SOC 设计人员能够将其他 IP 内核的调试和跟踪功能添加到 CoreSight 基础结构中。通过 SWD 接口可以实现程序下载和调试功能。SWD 接口只需两根线,数据输入/输出线 SWD_DIO 和时钟线 SWD_CLK。附录 B 最小硬件系统原理图中,给出了 SWD 调试接口电路,连接 KL25 的 PTA0、PTA3 两个引脚,可根据实际需要增加地、电源以及复位信号线。

3.6 实践硬件: SD-FSL-KL25-EVB

3.6.1 SD-FSL-KL25-EVB 硬件系统简介

苏州大学飞思卡尔嵌入式中心开发的 SD-FSL-KL25-EVB 开发板将 USBDM 写入器与 MKL25Z128VLK4 最小系统集成在同一块 PCB 板上,芯片的所有 I/O 引脚引出,可以完成 KL25 基本评估。该板按工业级标准设计,可以用于实际工业控制项目开发。SD-FSL-KL25-EVB 实物图如图 3-3 所示,其资源简表如表 3-8 所示。

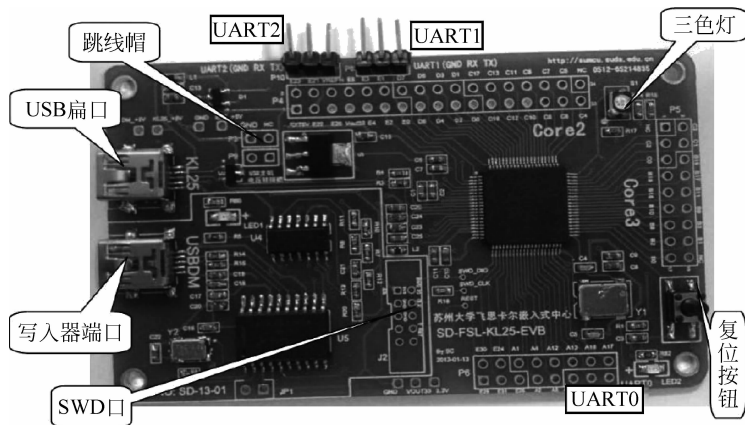


图 3-3 SD-FSL-KL25-EVB 实物图

表 3-8 SD-FSL-KL25-EVB 资源简表

资 源	简 要 说 明
硬件资源	(1) 核心芯片 MKL25Z128VLK4, 工业级芯片, 运行温度范围: $-40\sim 105^{\circ}\text{C}$; (2) 可用 USB 线取电; (3) 板载写入器(SWD 接口); (4) 三色(RGB)指示灯; (5) 三个 UART 串口(TTL 电平), 配 TTL 转 USB 可实现与 PC 串口通信编程; (6) USB 接口, 可完成 USB 从机编程; 配主从口转换线可完成 USB 主机编程; (7) 引出所有 I/O 口, 包括输入捕捉、输出比较、PWM、ADC、DAC、CMP、SPI、TSI、I ² C; (8) 其他内部硬件资源: SysTick、LPTMR、PIT、PIC、TPM、Flash; (9) 其他外部资源: 还可与苏州大学飞思卡尔嵌入式中心的 SD-ExtBoard-D 型扩展板对接, 完成 LED 数码管、液晶、键盘、继电器、温度采集、光线采集、Zigbee 等实验。
软件工具	(1) USBDM(写入器)驱动: ..\KL25-Tools\USBDM(driver); (2) USB 从机驱动: ..\KL25-Tools\SoochowUniversity-USBDevice; (3) TTL-USB 串口驱动: ..\KL25-Tools\TTL-USB 串口驱动; (4) 开发环境: CW10.3
程序资源	(1) 底层驱动构件: ..\KL25-Component; (2) 构件测试实例: ..\KL25-Program; (3) 综合测试实例: ..\KL25-Program\KL25-Test; (4) PC 源程序(C# 2010): 在 UART、AD、Timer、Flash、USB 等文件夹中
文档资源	..\KL25-Documnet 文件夹中含有 SD-FSL-KL25-EVB 用户手册、开发环境、芯片手册等有关资料
下载网址	http://sumcu.suda.edu.cn →“教学与培训”→ARM Cortex-M0+

3.6.2 硬件系统的测试

SD-FSL-KL25-EVB 开发板的测试可以通过观察三色灯变化、串口通信和 USB 口通信三个实验来测试。目标板的测试程序在网上光盘的..\KL25-Test 文件夹下, 这部分程序在 SD-FSL-KL25-EVB 开发板出厂时已写入, 在测试时不需要对开发板下载程序, 只需在 PC 端安装 USB 转串口的驱动程序和 USB 设备驱动程序。具体操作如下。

1. 驱动程序的安装

PC 端 USB 转串口的驱动程序和 USB 设备驱动程序的详细安装过程, 可参照《SD-FSL-KL25-EVB 用户手册》软件安装部分。

2. 观察三色灯变化

(1) 将 USB 线的迷你 USB 口端接入开发板的 USB 扁口, 将 USB 线的另一端 USB 扁口接入 PC 的 USB 口, 给开发板供电;

(2) 观察到的现象: 开发板上的三色灯颜色不停变换, 则 KL25 芯片运行正常。若不运行, 可按一下开发板上的“复位”按钮, 再试一下。

3. 测试串口通信

(1) 将 TTL-USB 串口线与评估板上的串口连接(3 根,蓝线接 RX,白线接 TX,黑线接 GND),串口线的 USB 端口接 PC 的 USB 口;

(2) 在 PC 上运行串口调试工具,设定格式“9600、无校验”,选择正确串口号,测试串口不停换行显示 HELLO WORLD。以串口 1 为例,按主板上的“复位”按钮,串口测试窗口显示 This is UART1 INT Test!,说明主板串口发送正常。单击串口调试工具“发送”按钮,若输入框的内容 abcdefg1234567h,回显在串口测试窗口上,说明主板串口收发正常。

4. USB 口通信测试

将 USB 线的“迷你 USB 口”端接入开发板的 USB 扁口(注意不要接到评估板的写入器端口),另一端 USB 扁口接入 PC 的 USB 口。在网上光盘.\KL25-Tools 文件夹下,找到并运行 USBTest.exe 测试程序。在发送框中写入任意数字或字母,单击“发送”按钮,在接受框内显示每个数字加 1 的值,或字母的下一个字符,例如,输入 123456,接收框中收到的是 23456。若发送和接收正常,说明开发板的 USB 通信功能正常。

3.7 本章小结

本章内容对于嵌入式初学者学习 kinetis L 系列控制器提供了基本硬件知识概貌。

(1) 介绍 Kinetis 全系列 MCU,包括子系列特性以及应用领域,让读者对飞思卡尔 Kinetis 产品有更深认识,更全面了解嵌入式微控制器应用领域;分析 Kinetis L 系列 MCU,阐述 Kinetis L 全系列 MCU 基本知识、实现架构,目的使读者能够熟悉任意一款 KL 系列 MCU 基本性能、基本参数和应用领域,方便开发者根据开发需要选择合适的 MCU 产品。

(2) 介绍了 KL25(MKL25Z128VLK4)微控制器的存储映像、引脚功能和硬件最小系统。KL25 存储器采用统一编址的方式,在 4G 的存储映射空间内,存放片内 Flash、SRAM、系统配置寄存器,以及其他外设如 GPIO、UART 模块;在 KL25 中,128KB 的 Flash 存储器地址范围是:0x0000_0000~0x0001_FFFF,16KB 的 SRAM 地址范围是:0x1FFF_F000~0x2000_2FFF。

(3) 本章从实际需求与供给角度,把 MCU 引脚分为硬件最小系统引脚和 I/O 端口资源类引脚两大类。硬件最小系统引脚提供了运行 MCU 内部程序所必须的最低规模外围电路;I/O 端口资源类引脚提供给开发者支配,引脚功能可通过软件编程选择复用。

(4) 苏州大学飞思卡尔嵌入式中心开发的 KL25 工业级开发板 SD-FSL-KL25-EVB,板载写入器,方便小巧,方便开发者使用。本章简要介绍了开发板规格、板内资源、测试步骤等,具体使用说明可参见 SD-FSL-KL25-EVB 用户手册。

(5) 本章阅读资料:3.2.2 节 AMBA 总线规范总结出《CM0 权威指南》第 2 章;交叉开关、外设桥相关资料总结出《KL25 参考手册》第 20 章和 21 章;3.3 节 KL25 系列存储映像总结出《KL25 参考手册》第 4 章、《CM0 权威指南》第 2 章、《Cortex-M3 权威指南》第 5 章和第 6 章;3.4 节 KL25 的引脚功能总结出《KL25 参考手册》10.3 节。

习 题 3

1. 简述 ARM Cortex-M0+ Kinetis L 系列 MCU 的型号标识。
2. 简要阐述硬件电路中滤波电路、耦合电路的具体作用。
3. 解释最小系统概念,并结合 KL25 开发板,归纳实现最小系统需要的引脚资源。
4. 给出 KL25 的 Flash 及 RAM 的大小、地址范围。
5. KL25 开发板 SD-FSL-KL25-EVB 中使用什么标准调试接口,具体如何实现?
6. 给出 KL25 芯片的 RAM、Flash 的地址范围,说明堆栈空间、全局变量、常量、程序分别存放于 RAM 中还是 Flash 中。
7. KL25 开发板 SD-FSL-KL25-EVB 中具有哪些功能接口,如何进行测试?
8. 分析 KL25 最小系统原理图中各部分的基本原理。