第 3 章　实验平台电路结构

3.1　LM3S8962 接口特性

LM3S8962 微控制器包括下列产品特性。

1. 32 位 RISC 性能

(1) 采用为小封装应用方案而优化的 32 位 ARM® Cortex™-M3 v7M 架构。

(2) 提供系统时钟，包括一个简单的 24 位写清零、递减、自装载计数器 SysTick，同时具有灵活的控制机制。

(3) 仅采用与 Thumb®兼容的 Thumb-2 指令集以获取更高的代码密度。

(4) 工作频率为 50MHz。

(5) 硬件除法和单周期乘法。

(6) 集成嵌套向量中断控制器(NVIC)，使中断的处理更为简捷。

(7) 36 中断具有 8 个优先等级。

(8) 带存储器保护单元(MPU)，提供特权模式来保护操作系统的功能。

(9) 非对齐式数据访问，使数据能够更为有效地安置到存储器中。

(10) 精确的位操作(bit-banding)，不仅最大限度地利用了存储器空间而且还改良了对外设的控制。

2. 内部存储器

(1) 256KB 单周期 Flash。

① 可由用户管理 对 Flash 块的保护，以 2KB 为单位。

② 可由用户管理对 Flash 的编程。

③ 可由用户定义和管理的 Flash 保护块。

(2) 64KB 单周期访问的 SRAM。

3. 通用定时器

(1) 4 个通用定时器模块(GPTM)，每个提供两个 16 位定时器。每个 GPTM 可被独立配置进行操作。

① 作为一个 32 位定时器。

② 作为一个 32 位的实时时钟(RTC)来捕获事件。

③ 用于脉宽调解器(PWM)。

④ 触发模数转换。

(2) 32 位定时器模式。

① 可编程单次触发定时器。

② 可编程周期定时器。

③ 当接入 32.768kHz 外部时钟输入时可作为实时时钟使用。

④ 在调试期间，当控制器发出 CPU 暂停标志时，在周期和单次触发模式中用户可以使能中止。

⑤ 作为 ADC 事件触发器。

(3) 16 位定时器模式。

① 通用定时器功能，并带一个 8 位的预分频器。

② 可编程单次触发定时器。

③ 可编程周期定时器。

④ 在调试的时候，当控制器发出 CPU 暂停标志时，用户可设定暂停周期或者单次模式下的计数。

⑤ 作为 ADC 事件触发器。

(4) 16 位输入捕获模式。

① 提供输入边沿计数捕获功能。

② 提供输入边沿时间捕获功能。

(5) 16 位 PWM 模式。简单的 PWM 模式，对 PWM 信号输出的取反可由软件编程决定

4. 兼容 ARM FiRM 的看门狗定时器

(1) 32 位向下计数器，带可编程的装载寄存器。

(2) 带使能功能的独立看门狗时钟。

(3) 带中断屏蔽功能的可编程中断产生逻辑。

(4) 软件跑飞时可锁定寄存器以提供保护。

(5) 带使能/禁能的复位产生逻辑。

(6) 在调试的时候，当控制器发出 CPU 暂停标志时，用户可以设定暂停定时器的周期。

5. 现场总线 CAN 控制器

(1) 支持 CAN 协议版本 2.0 part A/B。

(2) 传输位速率可达 1Mb/s。

(3) 32 个消息对象，每个都带有独立的标识符屏蔽。

(4) 可屏蔽的中断。

(5) 可禁止 TTCAN 的自动重发模式。

(6) 可编程设定的自循环自检操作。

6. 10/100 以太网控制器

(1) 符合 IEEE 802.3—2002 规范。

(2) 遵循 IEEE 1588—2002 精确时间协议(PTP)。

(3) 在 100Mb/s 和 10Mb/s 速率运作下支持全双工和半双工的运作方式

(4) 集成 10/100Mb/s 收发器(物理层)。

(5) 自动 MDI/MDI-X 交叉校验。

(6) 可编程 MAC 地址。

(7) 节能和断电模式。

7. 同步串行接口

(1) 主机或者从机方式运作。

(2) 可编程控制的时钟位速率和预分频。

(3) 独立发送和接收 FIFO,8×16 位宽的深度。

(4) 可编程控制的接口,可与 Freescale 的 SPI,MicroWire 或者 TI 器件的同步串行接口相连。

(5) 可编程决定数据帧大小,范围为 4～16 位。

(6) 内部循环自检模式可用于诊断/调试。

8. 异步串口通信 UART

(1) 两个完全可编程的 16C550 类型 UART,支持 IrDA。

(2) 带有独立的 16×8 发送(TX)以及 16×12 接收(RX)FIFO,可减轻 CPU 中断服务的负担。

(3) 可编程的波特率产生器,并带有分频器。

(4) 可编程设置 FIFO 长度,包括 1Byte 深度的操作,以提供传统的双缓冲接口。

(5) FIFO 触发水平可设为 1/8,1/4,1/2,3/4 和 7/8。

(6) 标准异步通信位：开始位、停止位、奇偶位。

(7) 无效起始位检测。

(8) 行中止的产生和检测。

9. ADC 采样转换

(1) 独立和差分输入配置。

(2) 用做单端输入时有 4 个 10 位的通道(输入)。

(3) 采样速率为 500 000 次/秒。

(4) 灵活、可配置的模数转换。

(5) 4 个可编程的采样转换序列,1～8 个入口长度,每个序列均带有相应的转换结果 FIFO。

(6) 每个序列都可以由软件或者内部事件(定时器,模拟比较器,PWM 或 GPIO(PB4))触发。

(7) 集成片上温度传感器。

10. 模拟比较器

(1) 一个集成的模拟比较器。

(2) 可以把输出配置为：驱动输出管脚、产生中断或启动 ADC 采样序列。

(3) 比较两个外部管脚输入或者将外部管脚输入与内部可编程参考电压相比较。

11. 互联 IC 总线

(1) 在标准模式下主机和从机接收和发送操作的速度可达 100kb/s,在快速模式下可达 400kb/s。

(2) 中断的产生。

(3) 主机带有仲裁和时钟同步功能、支持多个主机、以及 7 位寻址模式。

12. 脉宽调制器 PWM

(1) 三个 PWM 信号发生模块，每个模块都带有一个 16 位的计数器、两个比较器，一个 PWM 信号发生器，以及一个死区发生器。

(2) 一个 16 位的计数器。

① 运行在递减或递增/递减模式。

② 输出频率由一个 16 位的装载值控制。

③ 可同步更新装载值。

④ 当计数器的值到达零或者装载值的时候生成输出信号。

(3) 两个 PWM 比较器

① 比较器值的更新可以同步。

② 在匹配的时候产生输出信号。

(4) PWM 信号发生器。

① 根据计数器和 PWM 比较器的输出信号来产生 PWM 输出信号。

② 可产生两个独立的 PWM 信号。

(5) 死区发生器。

① 产生两个带有可编程死区延时的 PWM 信号，适合驱动半 H 桥(half-H bridge)。

② 可以被旁路，不修改输入 PWM 信号。

(6) 灵活的输出控制模块，每个 PWM 信号都具有 PWM 输出使能。

① 每个 PWM 信号都具有 PWM 输出使能。

② 每个 PWM 信号都可以选择将输出反相(极性控制)。

③ 每个 PWM 信号都可以选择进行故障处理。

④ PWM 发生器模块的定时器同步。

⑤ PWM 发生器模块的定时器/比较器更新同步。

⑥ PWM 发生器模块中断状态被汇总。

(7) 可启动一个 ADC 采样序列。

13. QEI

(1) 两个 QEI 模块。

(2) 硬件位置积分器追踪编码器的位置。

(3) 使用内置的定时器进行速率捕获。

(4) 在出现索引脉冲、速度定时器时间到、方向改变以及检测到正交错误时产生中断。

14. GPIO

(1) 高达 5～42 个 GPIO，具体数目取决于配置。

(2) 输入/输出可承受 5V。

(3) 中断产生可编程为边沿触发或电平检测。

(4) 在读和写操作中通过地址线进行位屏蔽。

(5) 可启动一个 ADC 采样序列。

(6) GPIO 端口配置的可编程控制。

① 弱上拉或下拉电阻。

② 2mA、4mA 和 8mA 端口驱动。

③ 8mA 驱动的斜率控制。

④ 开漏使能。

⑤ 数字输入使能。

15. 功率

(1) 片内低压差(LDO)稳压器，具有可编程的输出电压，用户可调节的范围为 2.25～2.75V。

(2) 休眠模块处理 3.3V 通电/断电序列，并控制内核的数字逻辑和模拟电路。

(3) 控制器的低功耗模式：睡眠模式和深度睡眠模式。

(4) 外设的低功耗模式：软件控制单个外设的关断。

(5) LDO 带有检测不可调整电压和自动复位的功能，可由用户控制使能。

(6) 3.3V 电源掉电检测，可通过中断或复位来报告。

16. 灵活的复位源

(1) 上电复位。

(2) 复位管脚有效。

(3) 掉电(BOR)检测器向系统发出电源下降的警报。

(4) 软件复位。

(5) 看门狗定时器复位- 内部低压差(LDO)稳压器输出变为不可调整。

17. 其他特性

(1) 6 个复位源。

(2) 可编程的时钟源控制。

(3) 可对单个外设的时钟进行选通以节省功耗。

(4) 遵循 IEEE 1149.1—1990 标准的测试访问端口(TAP)控制器。

(5) 通过 JTAG 和串行线接口进行调试访问。

(6) 完整的 JTAG 边界扫描。

18. 工业范围内遵循 RoHS 标准的 100 脚 LQFP 封装

3.2 LM3S8962 结构图

如图 3-1 所示为 LM3S8962 处理器结构简图。如图 3-2 所示为 LM3S8962 外形图。

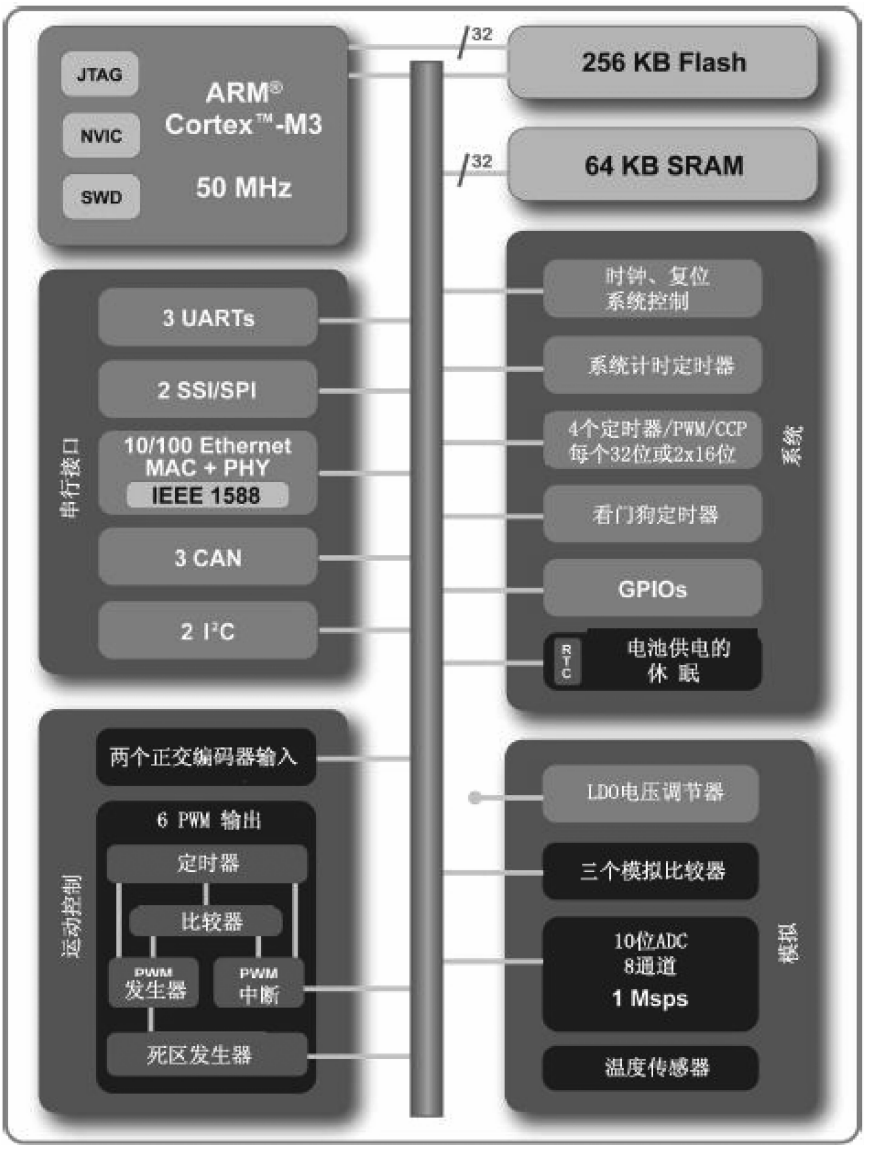

图 3-1　LM3S8962 处理器结构简图

图 3-2　处理器 LM3S8962 外形图

3.3　LM3S8962 处理器引脚描述

如图 3-3 所示为 LM3S8962 器件封装及引脚。如表 3-1 所示为 LM3S8962 处理器的引脚描述。

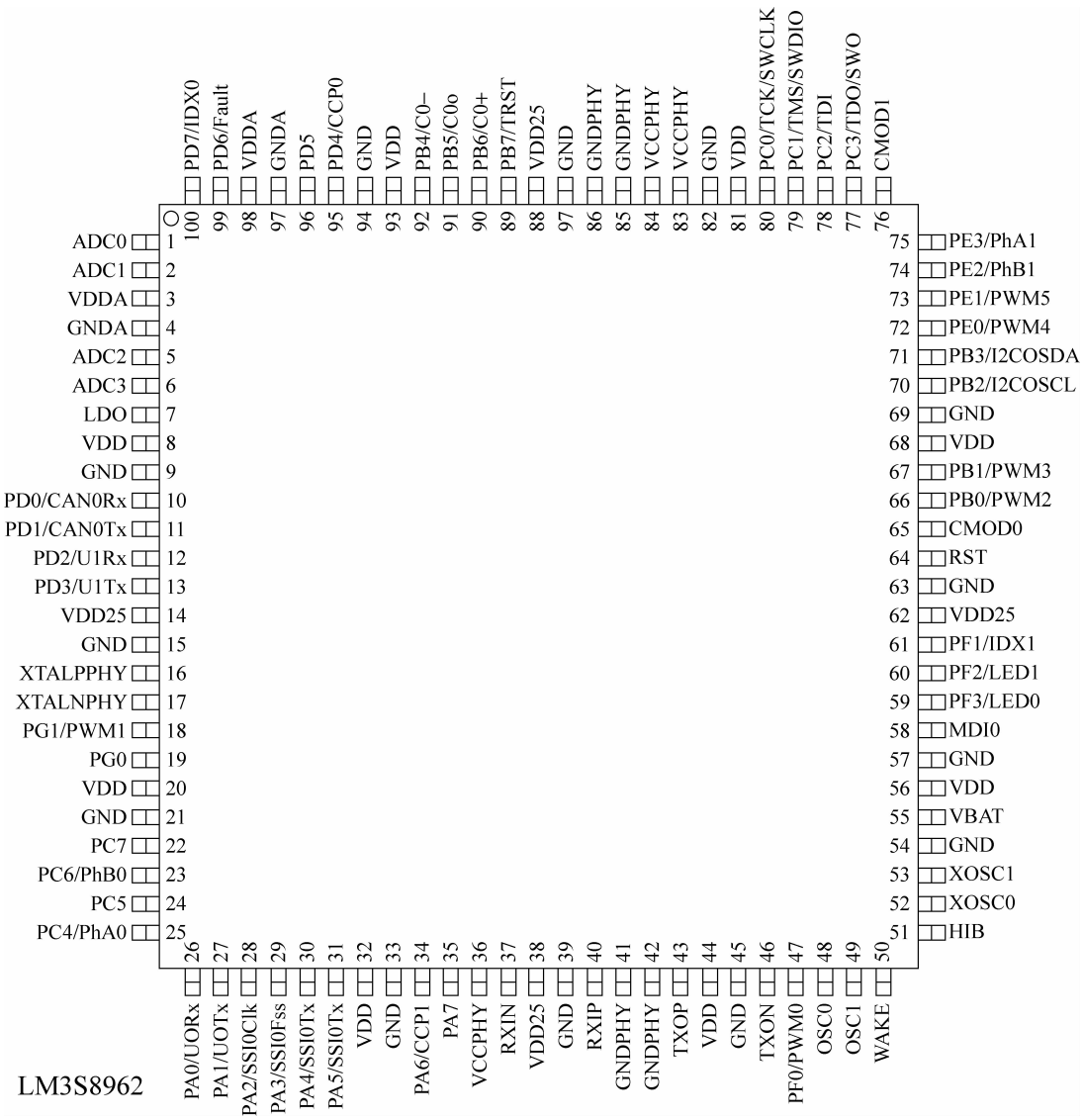

图 3-3　LM3S8962 器件封装及引脚

表 3-1　LM3S8962 引脚描述

功能模块	功能名称	GPIO	编号	缓冲区类型	描　　述
ADC	ADC0		1	模拟量	模数转换输入 0
	ADC1		2	模拟量	模数转换输入 1
	ADC2		5	模拟量	模数转换输入 2
	ADC3		6	模拟量	模数转换输入 3
IIC	IIC0SCL	PB2	70	OD	IIC0 模块时钟
	IIC0SDA	PB3	71	OD	IIC0 模块数据
JTAG、SWD、SWO	SWCLK	PC0	80	TTL	JTAG/SWD
	SDDIO	PC1	79	TTL	JTAG
	SWO	PC3	77	TTL	JTAG
	TCK	PC0	80	TTL	JTAG
	TDI	PC2	78	TTL	JTAG
	TDO	PC3	77	TTL	JTAG
	TMS	PC1	79	TTL	JTAG
PWM	PWM0	PF0	47	TTL	PWM0
	PWM1	PG1	18	TTL	PWM1
	PWM2	PB0	66	TTL	PWM2
	PWM3	PB1	67	TTL	PWM3
	PWM4	PE0	72	TTL	PWM4
	PWM5	PE1	73	TTL	PWM5
	Fault	PD6	99	TTL	PWM 错误
QEI	IDX0	PD7	100	TTL	QEI 模块 0 索引
	IDX1	PF1	61	TTL	QEI 模块 1 索引
	PhA0	PC4	25	TTL	QEI 模块 0 相位 A
	PhA1	PE3	75	TTL	QEI 模块 1 相位 A
	PhB0	PC6	23	TTL	QEI 模块 0 相位 B
	PhB1	PE2	74	TTL	QEI 模块 1 相位 B
SSI	SSI0CLK	PA2	28	TTL	SSI 模块 0 时钟
	SSI0Fss	PA3	29	TTL	SSI 模块 0 帧
	SSI0Rx	PA4	30	TTL	SSI 模块 0 接收
	SSI0Tx	PA5	31	TTL	SSI 模块 0 发送

续表

功能模块	功能名称	GPIO	编号	缓冲区类型	描　　述
UART	U0Rx	PA0	26	TTL	UART 模块 0 接收。在 IrDA 模式下，该信号具有 IrDA 调制
	U0Tx	PA1	27	TTL	UART 模块 1 发送。在 IrDA 模式下，该信号具有 IrDA 调制
	U1Rx	PD2	12	TTL	UART 模块 1 接收。在 IrDA 模式下，该信号具有 IrDA 调制
	U1Tx	PD3	13	TTL	UART 模块 1 发送。在 IrDA 模式下，该信号具有 IrDA 调制
CAN	CAN0Rx	PD0	10	TTL	CAN 模块 0 接收
	CAN0Tx	PD1	11	TTL	CAN 模块 0 发送
以太网 PHY	GNDPHY		41、42、85、86	TTL	以太网 PHY 的 GND
	LED0	PF3	59	TTL	MII LED0
	LED1	PF2	60	TTL	MII LED1
	MDIO		58	TTL	以太网 PHY 的 MDIO
	RXIN		37	模拟量	以太网 PHY 的 RXIN
	RXIP		40	模拟量	以太网 PHY 的 RXIP
	TXON		46	模拟量	以太网 PHY 的 RXON
	TXOP		43	模拟量	以太网 PHY 的 RXOP
	VCCPHY		36、83、84	TTL	以太网 PHY 的 VCC
	XTALNPHY		17	TTL	以太网 PHY 的 XTALN
	XTALPPHY		16	TTL	以太网 PHY 的 XTALP
模拟比较器	C0＋	PB6	90	模拟量	模拟比较器 0 正极输入
	C0－	PB4	92	模拟量	模拟比较器 0 负极输入
	C0O	PB5	91	TTL	模拟比较器 0 输出
电源	GND		9、15、21、33、39、45、54、57、63、69、82、87、94、	电源	逻辑和 I/O 管脚的地参考
	GNDA		4、97	电源	模拟电路（ADC、模拟比较器等）的地参考。这些电源与 GND 独立，以最大限度减少 VDD 上的电气噪声，使其不影响模拟功能
	HIB		51	TTL	该输出表示处理器在水面模式下
	LDO		7	电源	低压差稳压器输出电压。这个管脚在管脚和 GND 之间需要一个 1μF 或更大的外部电容。当使用片内 DO 给逻辑电路提供电源时，除了去耦电容外，LDO 管脚还必须连接到板极的 VDD25 管脚

续表

功能模块	功能名称	GPIO	编号	缓冲区类型	描　　述
电源	VBAT		55	电源	休眠模块的电源供应源。它通常连接到电池的正极端并用做备用电池/休眠模块电源供应的电源
	VDD		8、20、32、44、56、68、81、93	电源	I/O 和某些逻辑的正极电源
	VDD25		14、38、62、88、	电源	大多数逻辑功能(包括处理器内核和大部分外设)的电源正极
	VDDA		3、98	电源	模拟电路(ADC、模拟比较器等)的电源正极(3.3V)。这些电源与 VDD 独立,以最大限度地减少 VDD 上的电气噪声,使其不影响模拟功能
	nWAKE		50	OD	当有效时外部输入将处理器从休眠模式中唤醒
系统控制 & 时钟控制	CMOD0		65	TTL	CPU 模式位 0。输入必须设为逻辑 0(地);其他编码保留
	CMOD1		76	TTL	CPU 模式位 1。输入必须设为逻辑 0(地);其他编码保留
	OSC0		48	模拟	主振荡器晶体输入或外部时钟参考输入
	OSC1		49	模拟	主振荡器晶体输出
	RST		64	TTL	系统复位输入
	TRST	PB7	89	TTL	JTAG TRSTn
	XOSC0		52	模拟	休眠模块振荡器晶体输入或外部时钟参考输入。注意这是用于休眠模块 RTC 的 4.19MHz 晶体或 32.768kHz 振荡器
	XOSC1		53	模拟	休眠模块振荡器晶体输出
通用定时器	CCP0	PD4	95	TTL	捕获/比较/PWM 0
	CCP1	PA6	34	TTL	捕获/比较/PWM 1

3.4　LM3S8962 最小系统电路图

如图 3-4 所示为 LM3S8962 最小系统电路图,图 3-5 为 LM3S8962 休眠模块最小系统。

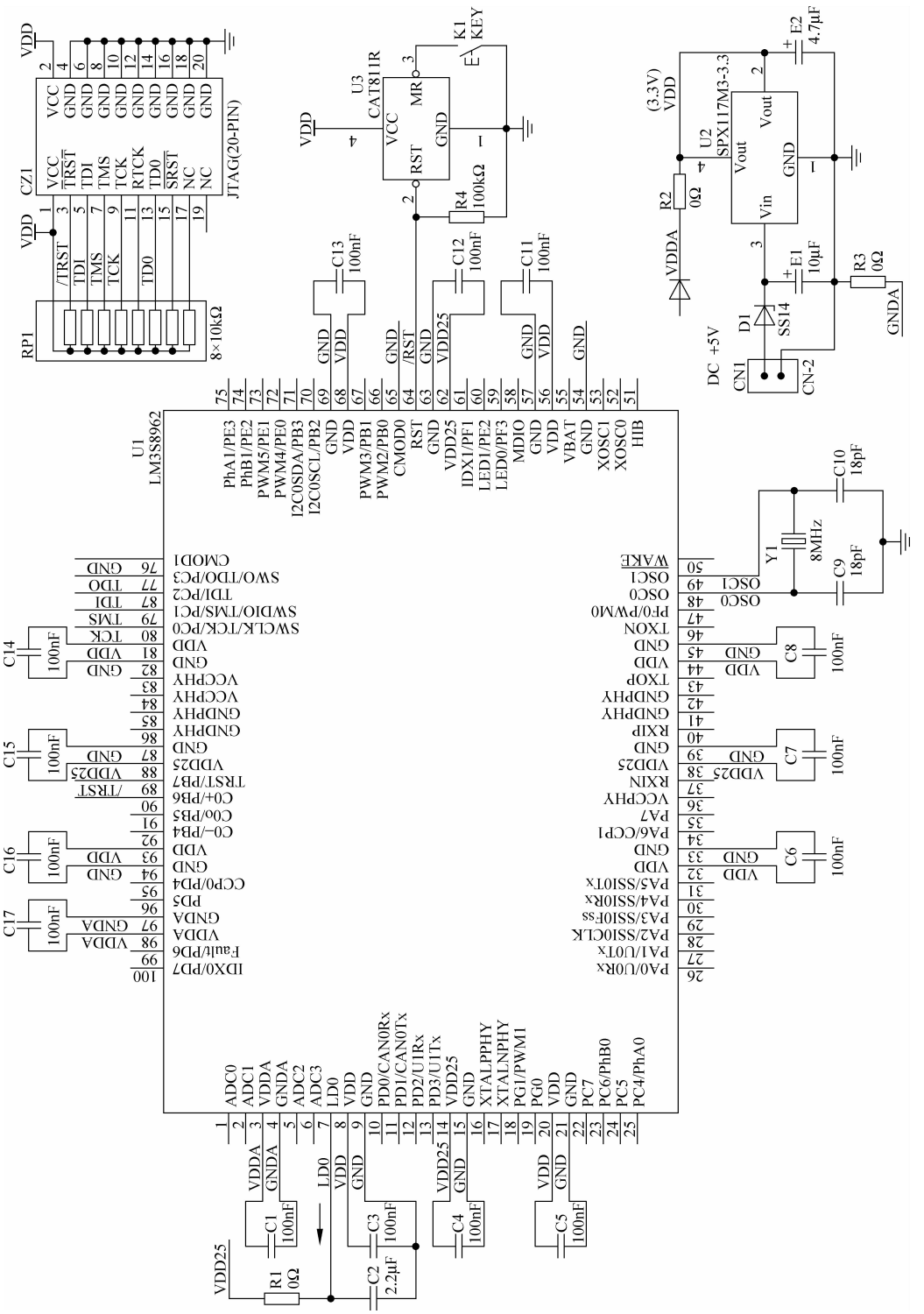

图 3-4　LM3S8962 最小系统电路图

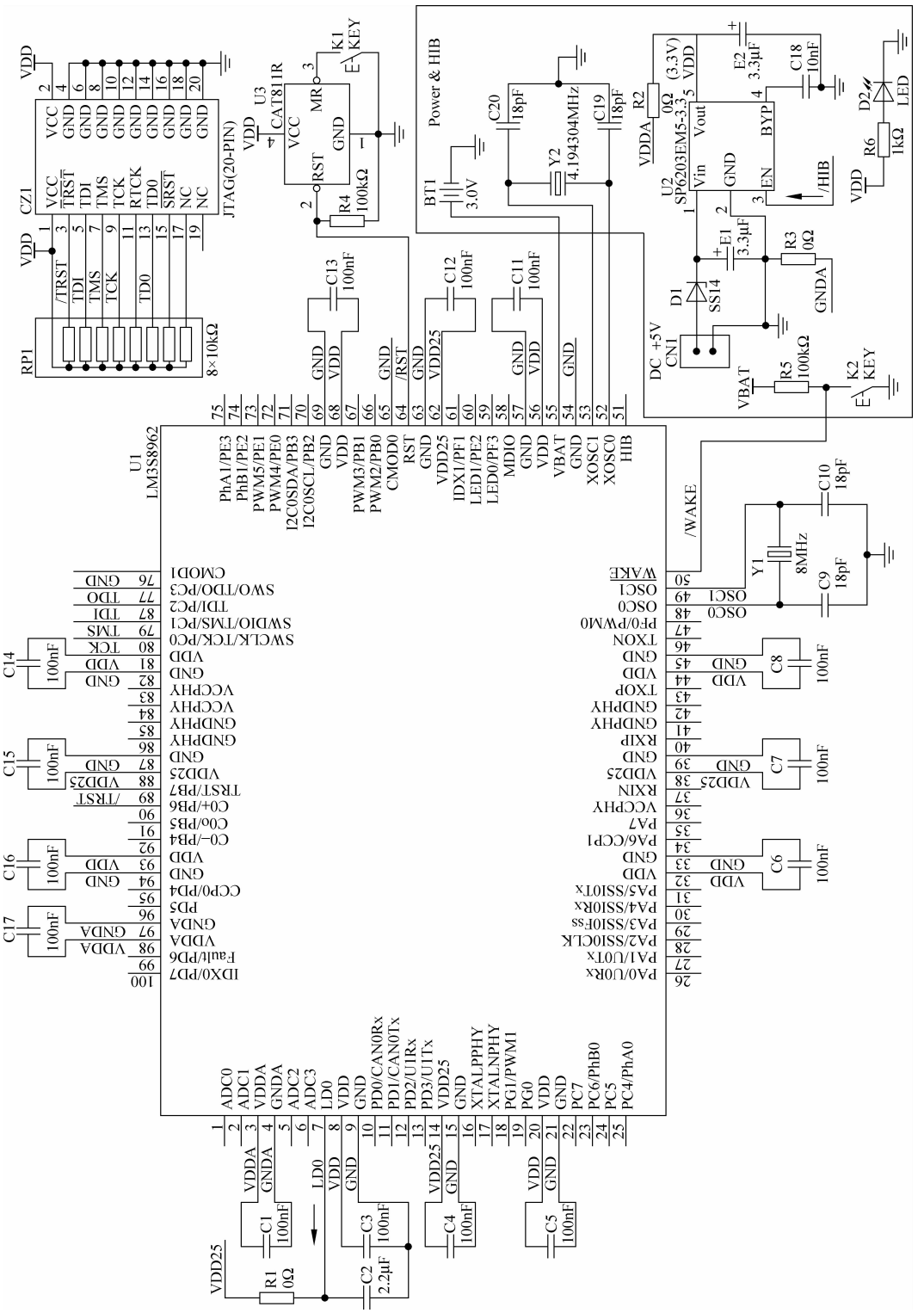

图 3-5　LM3S8962 休眠模块最小系统

3.5　实验开发平台电路分析

3.5.1　主处理器电路

图 3-6 为主处理器电路，处理器为 LM3S8962 芯片，其中外部供电有 DC2.5V 和 DC3.3V 两种。CPU 共接了 8 组数字电源，用于多点输入和多点接地，这样就提高了 CPU 的抗干扰能力。

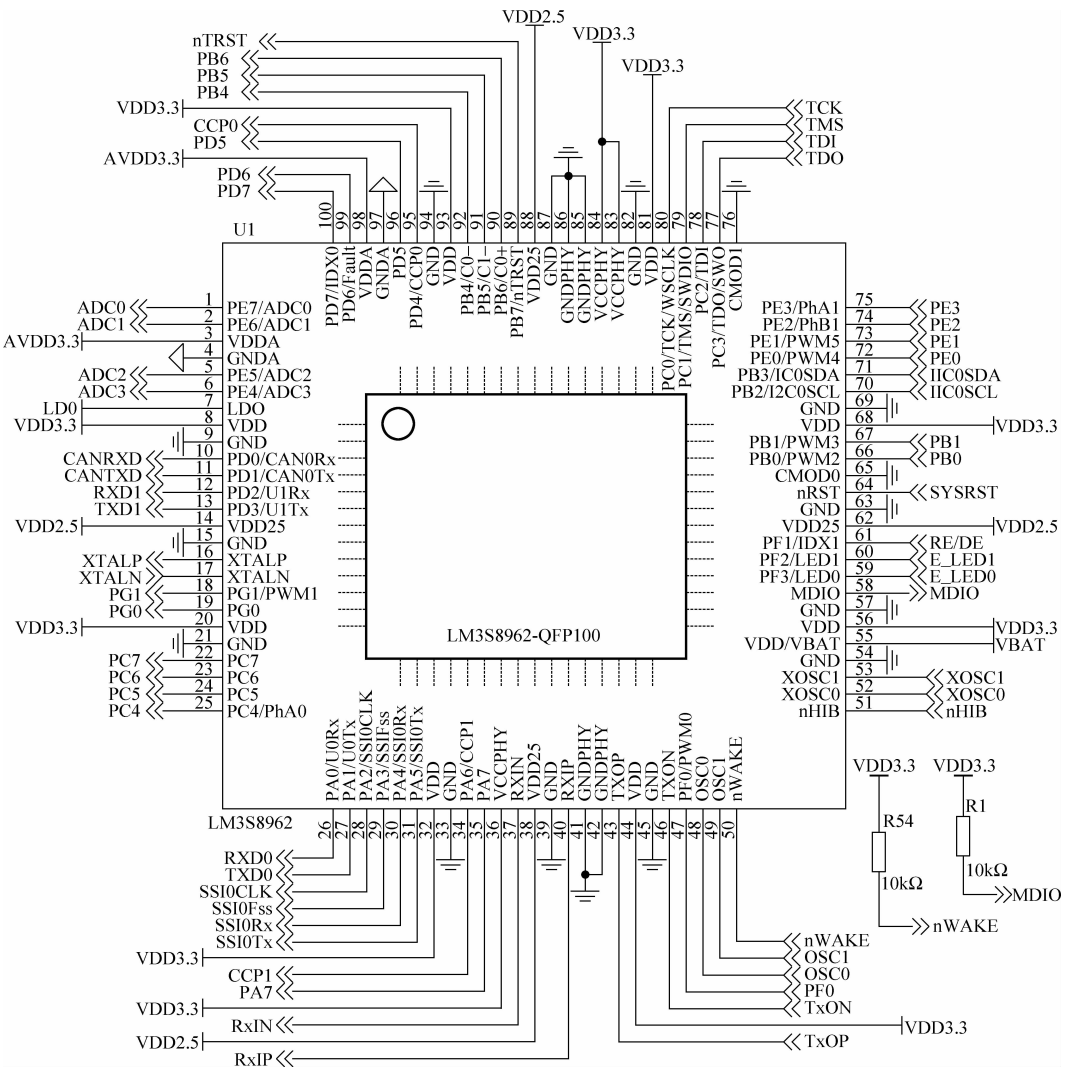

图 3-6　主处理器电路

3.5.2　处理器滤波电路

如图 3-7 所示为处理器滤波电路。

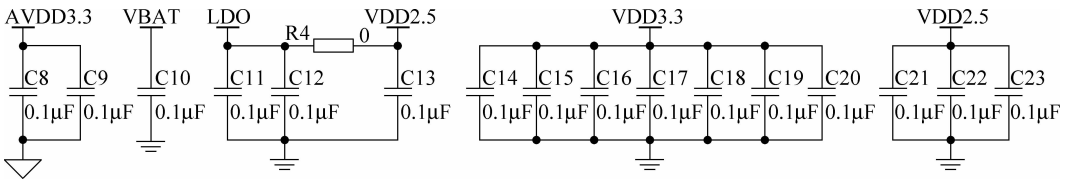

图 3-7　处理器滤波电路

对于每一组输入电源都接了 0.1μF 的高频电容，起到高频旁路作用。LDO 输入引脚连接一个 0.1μF 高频旁路电容和 1μF 的滤波电容，可输出稳定的 2.25～2.75V，LDO 连接到 VDD2.5 端给内核供电。晶振配置 6MHz 的石英晶体作为主振荡器，4.194 304MHz 的石英振荡器是休眠模式下使用的晶振，以太网标有 25MHz 的晶振。

注意：LDO 引脚必须连接滤波电容，否则 CPU 可能没有办法正常运行；晶体振荡器的输入引脚 OSC1 不可用手触摸。在设计 PCB 时，OSC1 与晶振引脚走线应尽量短。

3.5.3　复位接口电路

图 3-8 所示为复位接口电路图，采用了阻容复位电路。

3.5.4　主处理器时钟接口

如图 3-9 所示为晶振时钟电路，主处理器使用的晶振为无源晶体，频率为 6MHz。

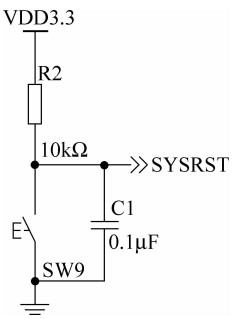

图 3-8　复位电路

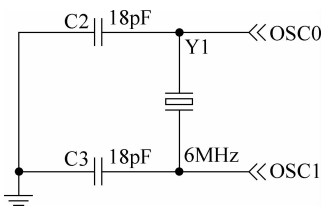

图 3-9　晶振时钟电路

3.5.5　以太网接口

如图 3-10 所示为以太网接口电路，如图 3-11 为以太网晶振电路，以太网晶振使用的频率为 25MHz。

3.5.6　实时时钟及供电电路

如图 3-12 所示为实时时钟及供电电路。

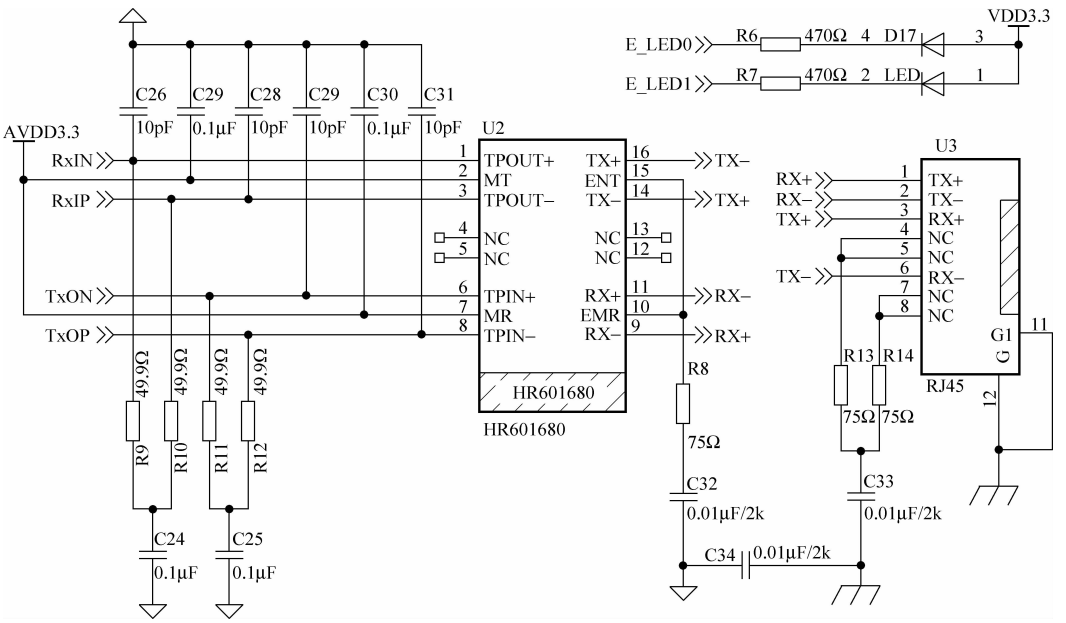

图 3-10　以太网接口电路

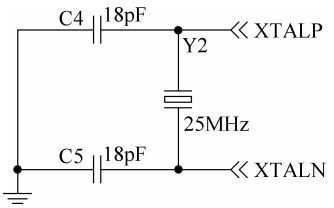

图 3-11　以太网晶振电路

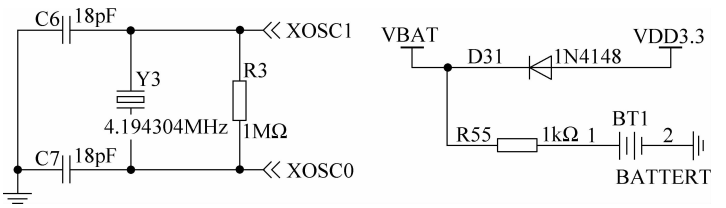

图 3-12　实时时钟及供电电路

3.5.7　IIC 存储器 EEPROM 电路

如图 3-13 所示为 IIC 接口存储电路。

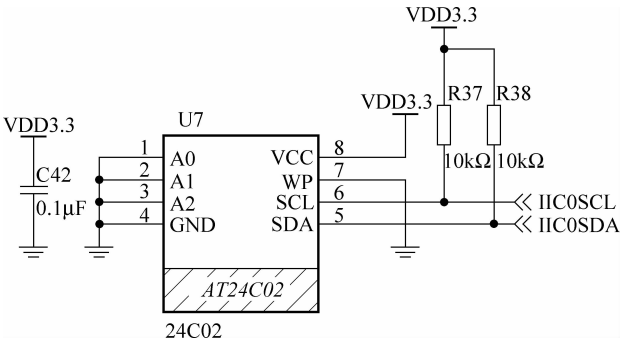

图 3-13　IIC 接口存储电路

3.5.8　IIC 数字温度采集接口

如图 3-14 所示为 IIC 温度传感器电路。

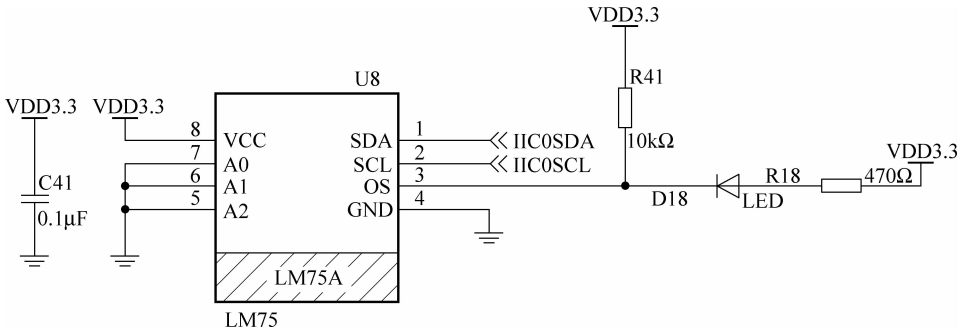

图 3-14　IIC 温度传感器电路

3.5.9　IIC 扩展开关量输入电路

如图 3-15 所示为 IIC 扩展开关量输入电路。

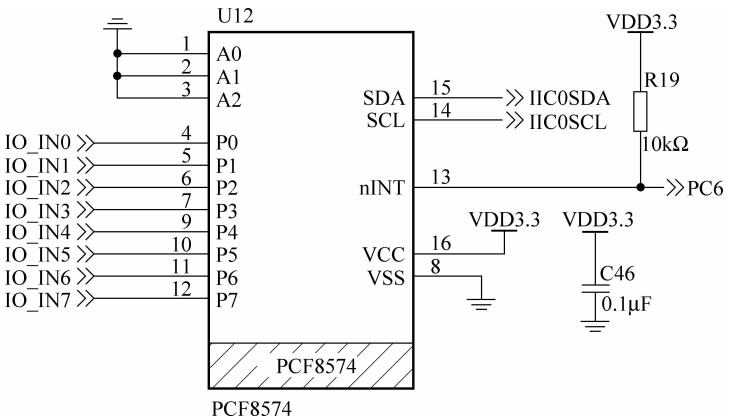

图 3-15　IIC 扩展开关量输入电路

3.5.10　开关量隔离输入电路

如图 3-16 所示为开关量隔离输入电路。

3.5.11　IIC 扩展开关量输出电路

如图 3-17 所示为 IIC 扩展开关量输出电路。

3.5.12　开关量隔离输出电路

如图 3-18 所示为开关量隔离输出电路。

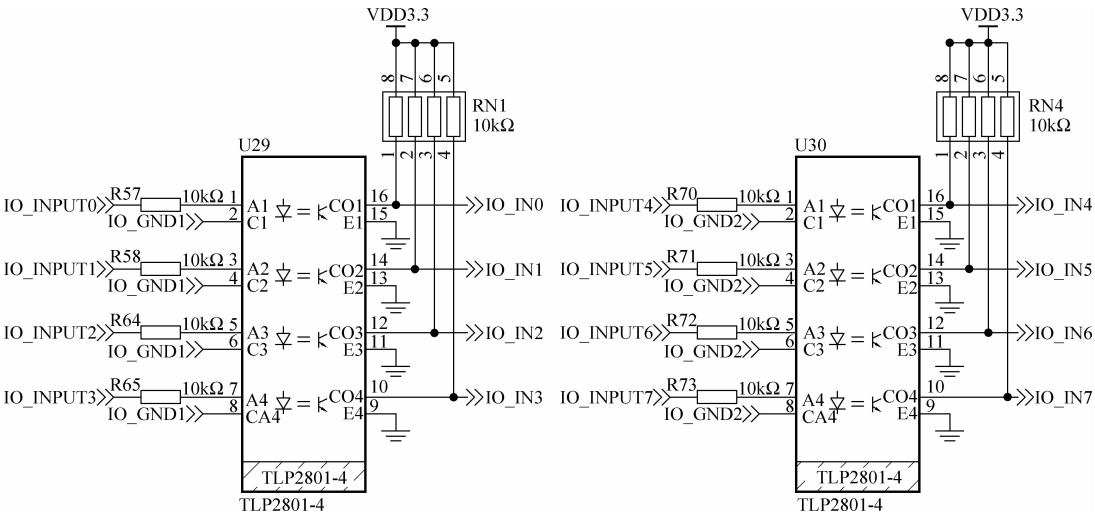

图 3-16　开关量隔离输入电路

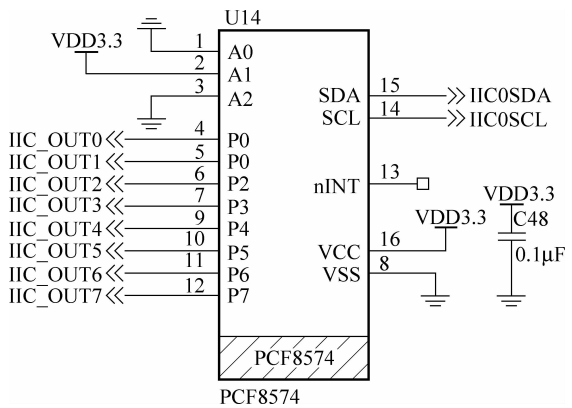

图 3-17　IIC 扩展开关量输出电路

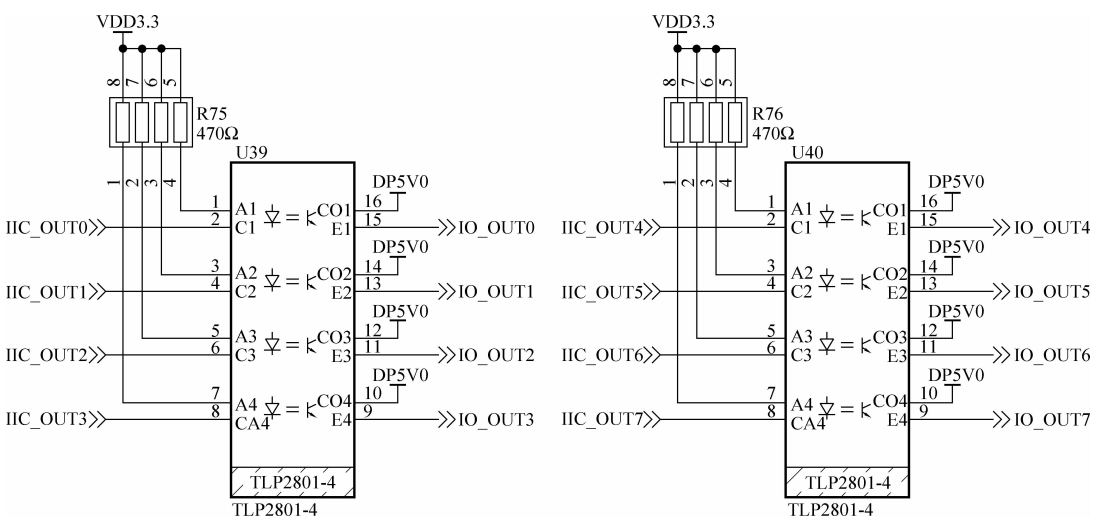

图 3-18　开关量隔离输出电路

3.5.13　继电器输出电路组 1

如图 3-19 所示为继电器输出电路组 1。

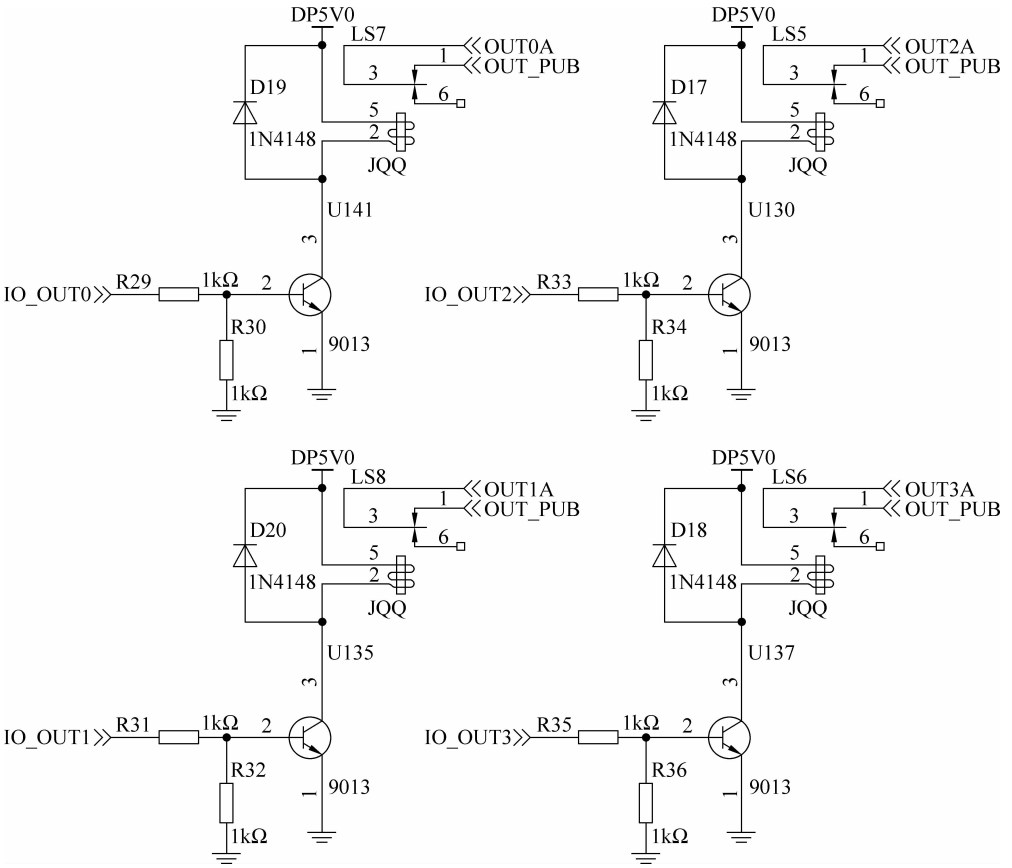

图 3-19　继电器输出电路组 1

3.5.14　继电器输出电路组 2

如图 3-20 所示为继电器输出电路组 2。

3.5.15　IIC 扩展输入输出电路

如图 3-21 所示为 IIC 扩展输入输出电路。

3.5.16　UART 串行 RS232 电路

如图 3-22 所示为 UART 串行 RS232 电路。

3.5.17　UART 串行 RS485 及 CAN 总线接口电路

如图 3-23 所示为 UART 串行 RS485 电路。

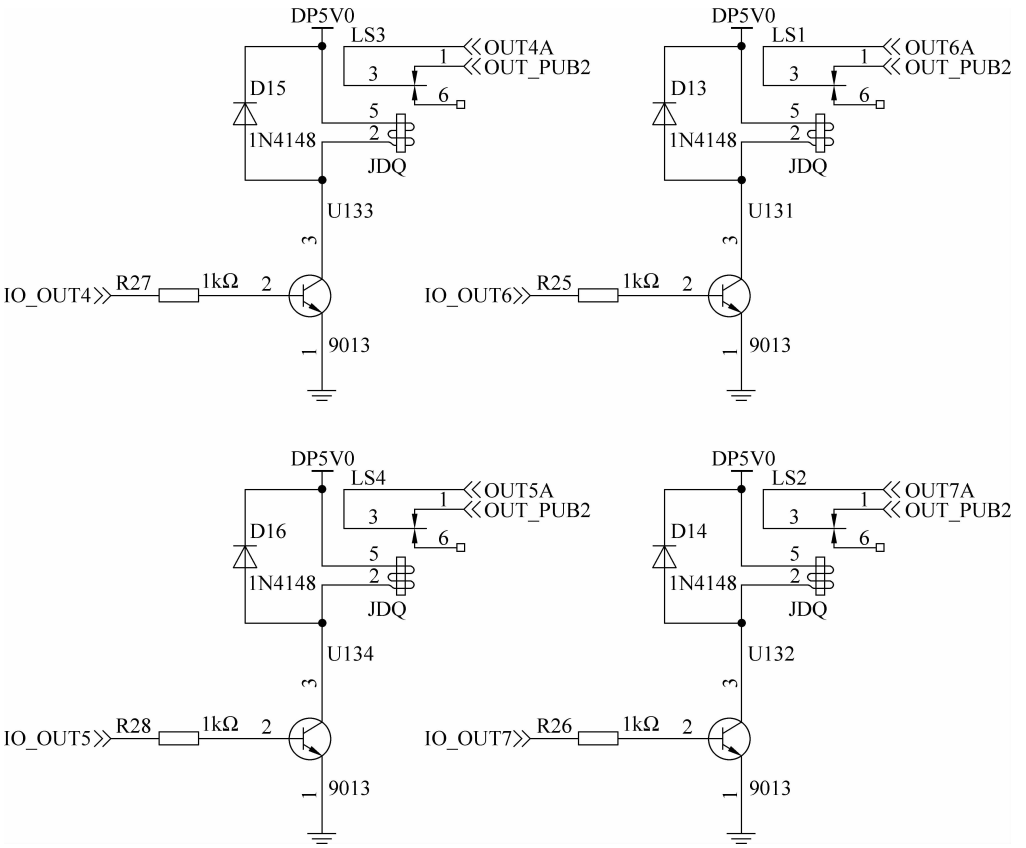

图 3-20　继电器输出电路组 2

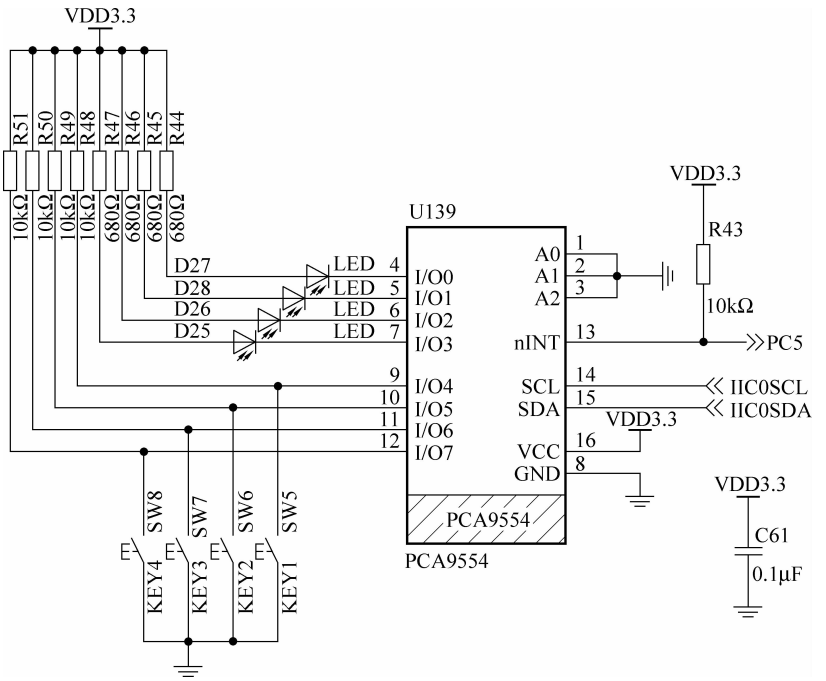

图 3-21　IIC 扩展输入输出电路

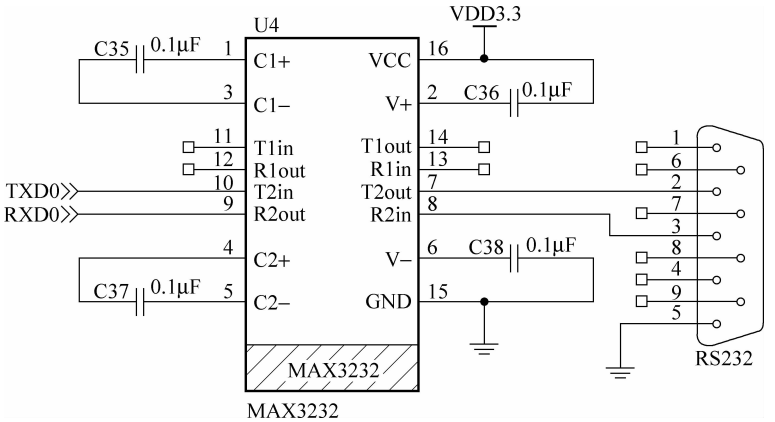

图 3-22　UART 串行 RS232 电路

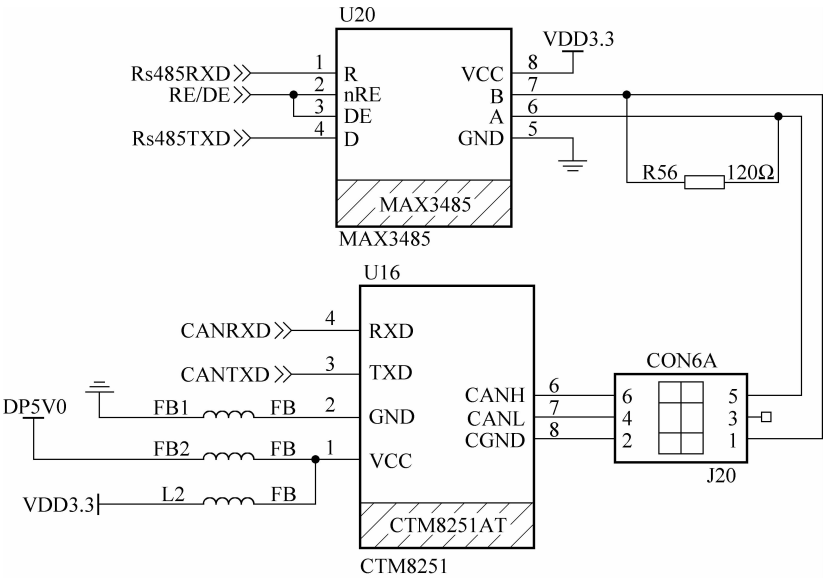

图 3-23　UART 串行 RS485 电路

3.5.18　红外线串口电路

如图 3-24 所示为红外线接口电路。

如图 3-25 所示为电路电源模块。

DC5V 通过线性电源转换为数字 VDD3.3V，DC5V 通过线性电源转换为模拟 AVDD3.3V。

3.5.19　ADC 采样电路

如图 3-26 所示为 ADC 采样电路。

3.5.20　LED 及按键电路

如图 3-27 所示为 LED 及按键电路。

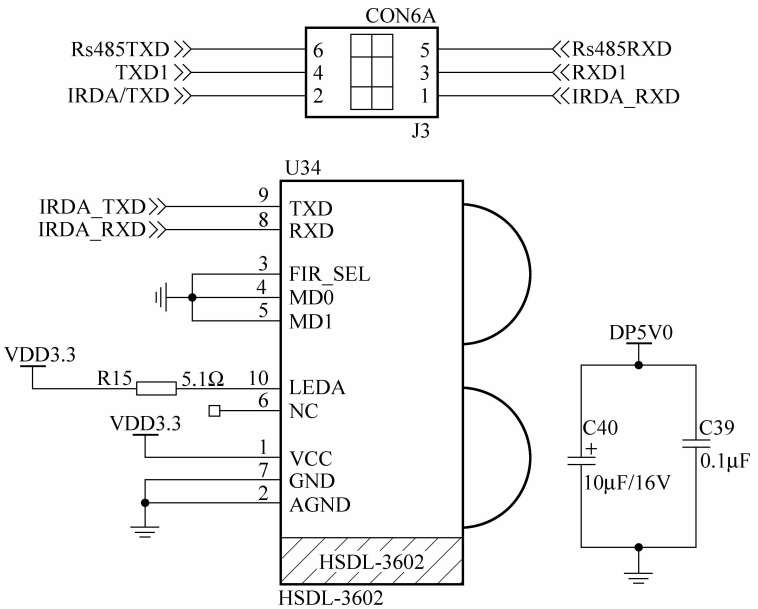

图 3-24　红外线接口电路

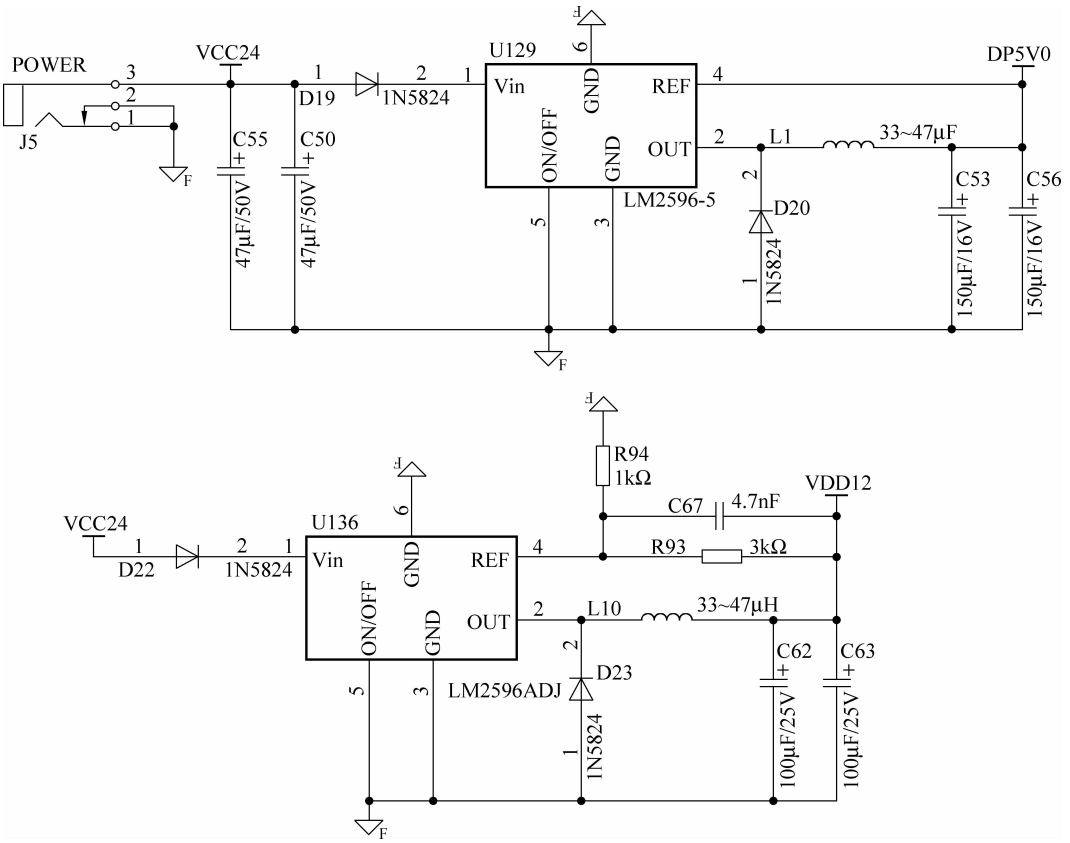

图 3-25　电路电源模块

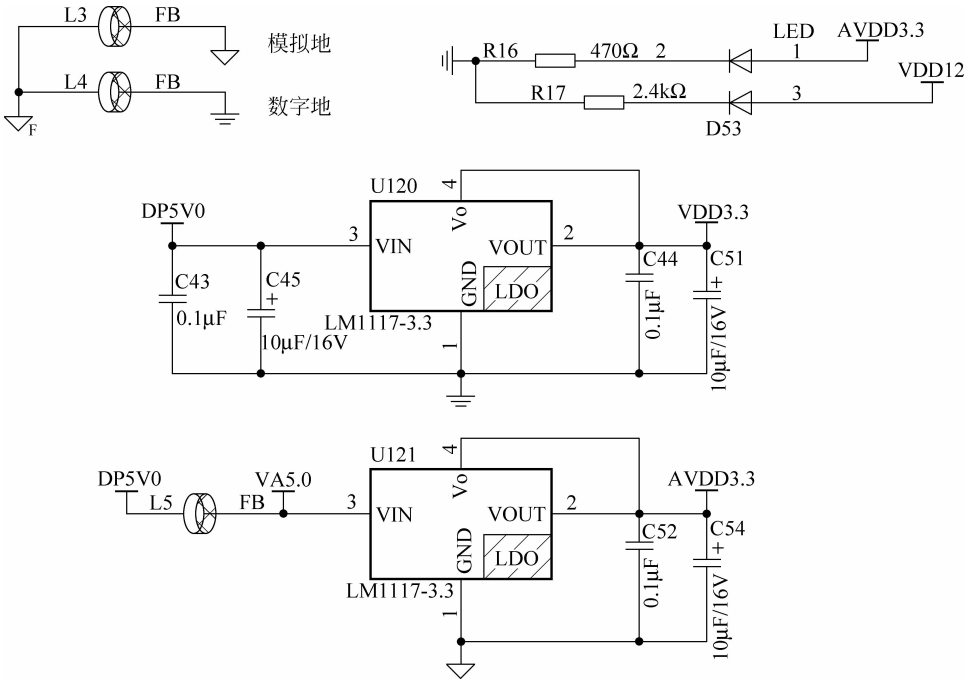

图 3-25　（续）

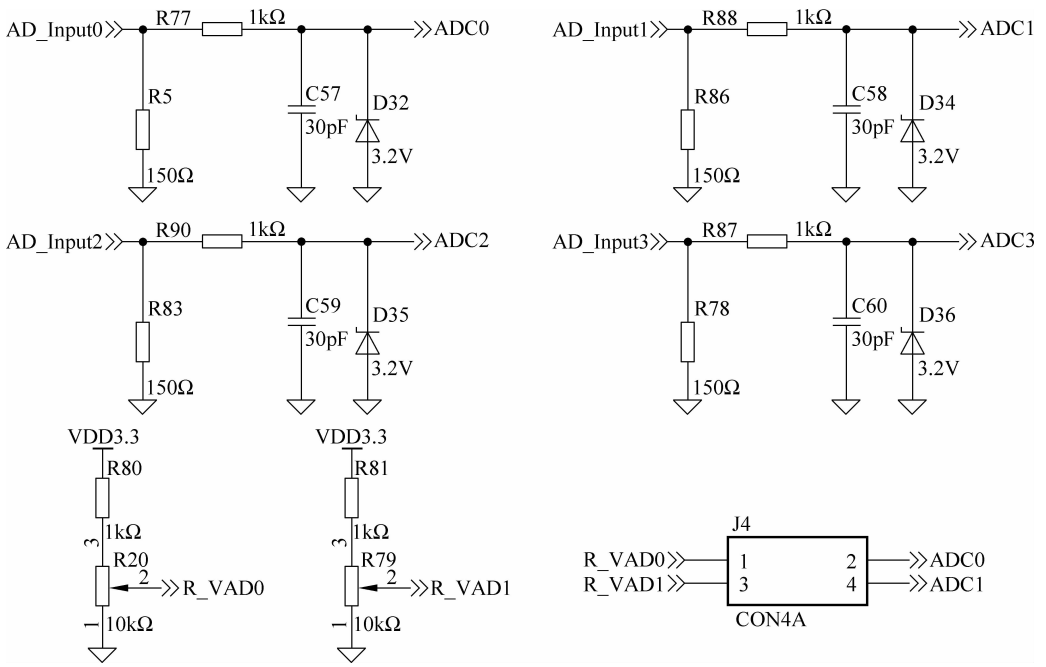

图 3-26　ADC 采样电路

3.5.21　SPI 驱动 7LED 接口电路

如图 3-28 所示为 SPI 驱动数码管电路。

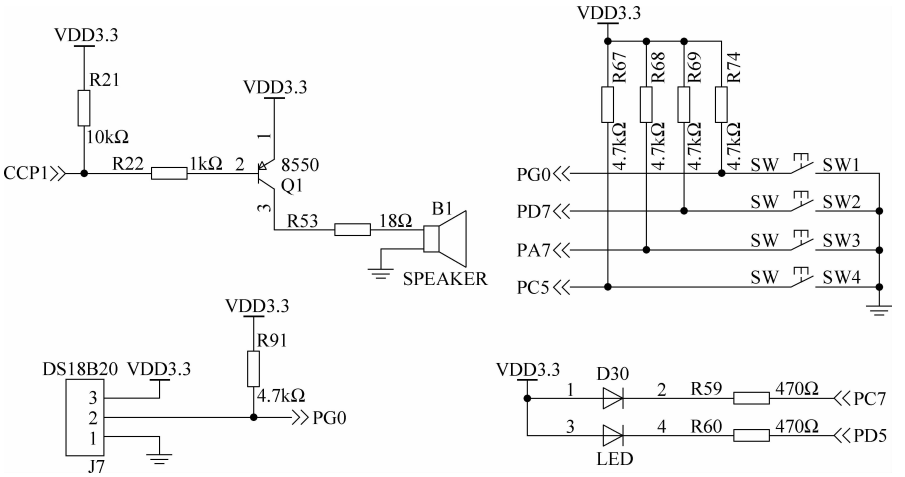

图 3-27　LED 及按键电路

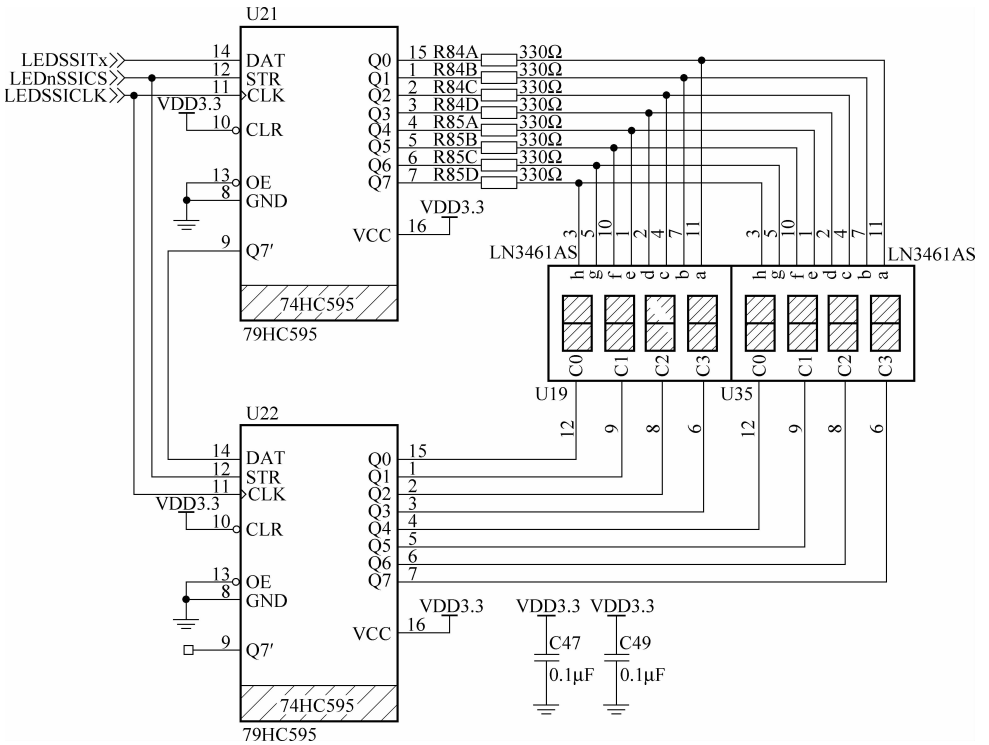

图 3-28　SPI 驱动数码管电路

3.5.22　SPI 驱动 EEPROM 接口电路

如图 3-29 所示为 SPI 驱动 EEPROM 接口电路。

3.5.23　SPI 驱动 TFT LCD 接口电路

如图 3-30 所示为 SPI 驱动 TFT LCD 接口电路。

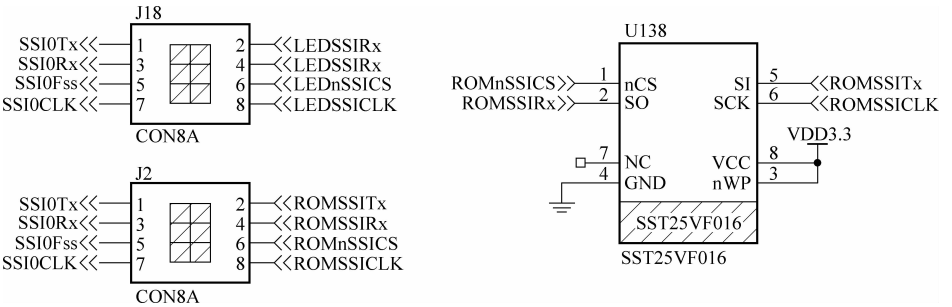

图 3-29　SPI 驱动 EEPROM 接口电路

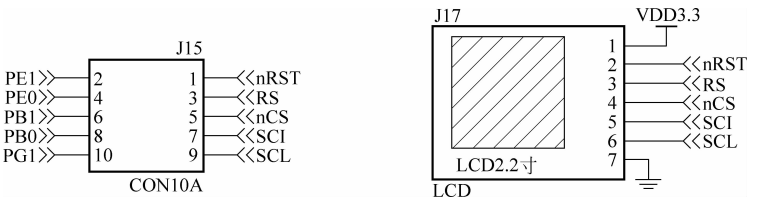

图 3-30　SPI 驱动 TFT LCD 接口电路

3.5.24　SPI 的 ADC 采样电路

如图 3-31 所示为 SPI 的 ADC 采样电路。

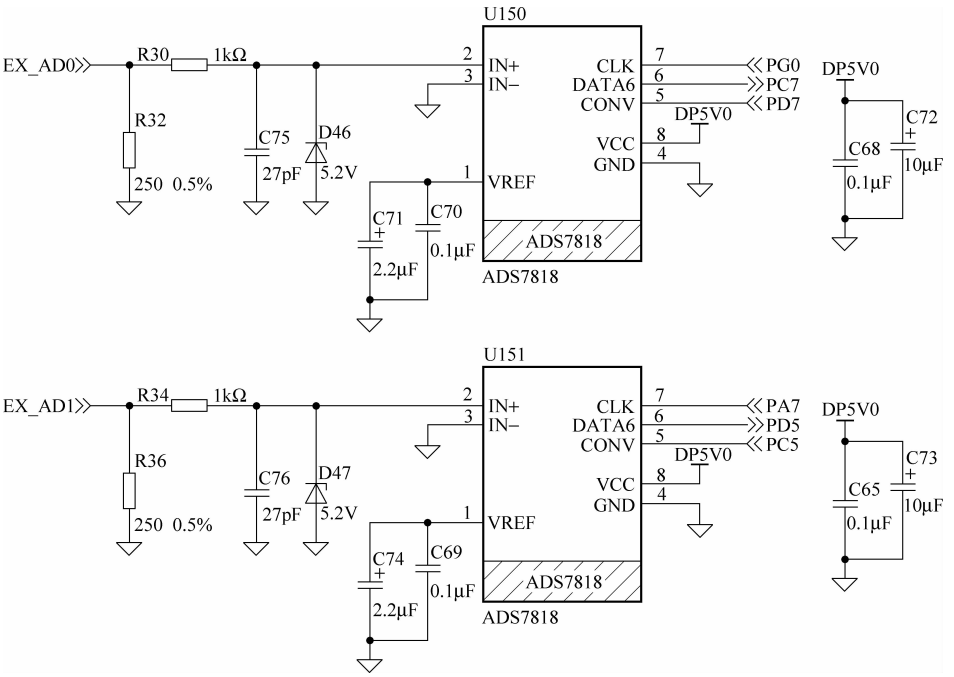

图 3-31　SPI 的 ADC 采样电路

3.5.25　PWM 驱动电机电路

如图 3-32 所示为 PWM 驱动电机电路。

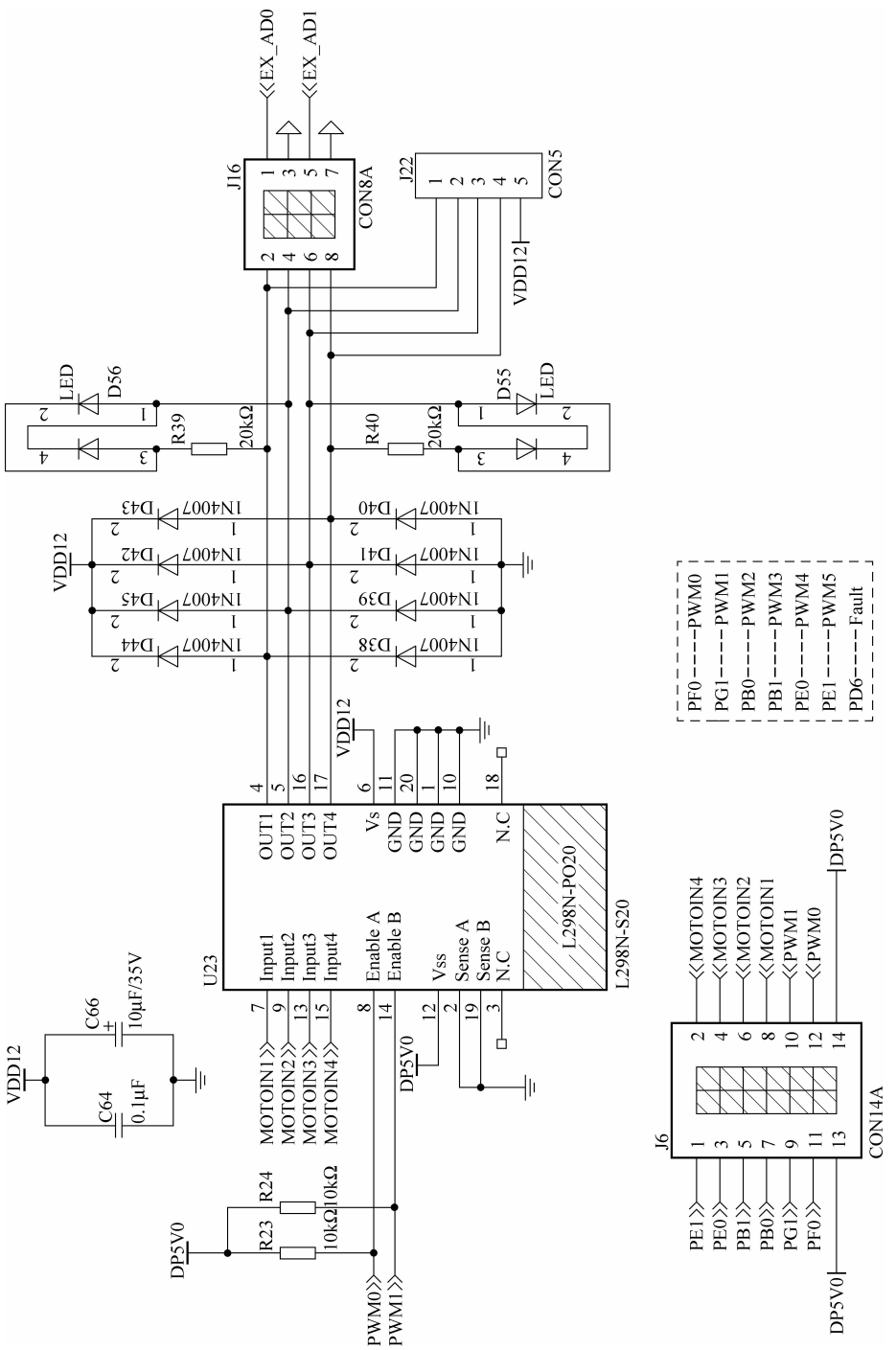

图 3-32　PWM 驱动电机电路

3.5.26　JTAG 接口电路

如图 3-33 所示为 JTAG 接口电路。

3.5.27　外部接口电路

如图 3-34 所示为外部接口电路。

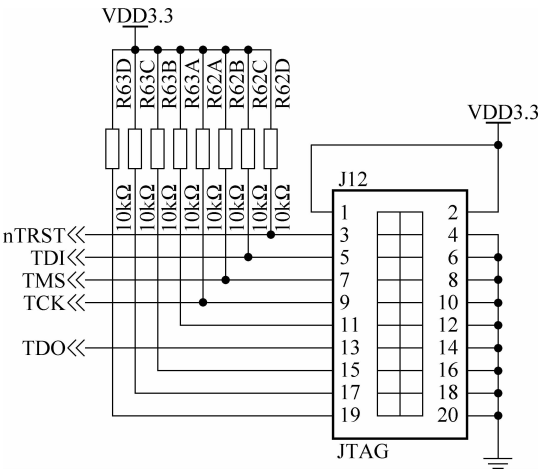

图 3-33　JTAG 接口电路

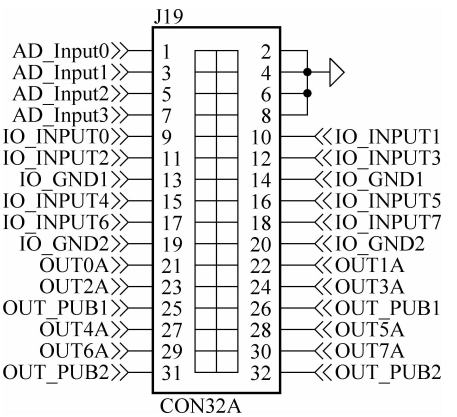

图 3-34　外部接口电路

3.5.28　扩展接口电路

如图 3-35 所示为扩展接口电路。

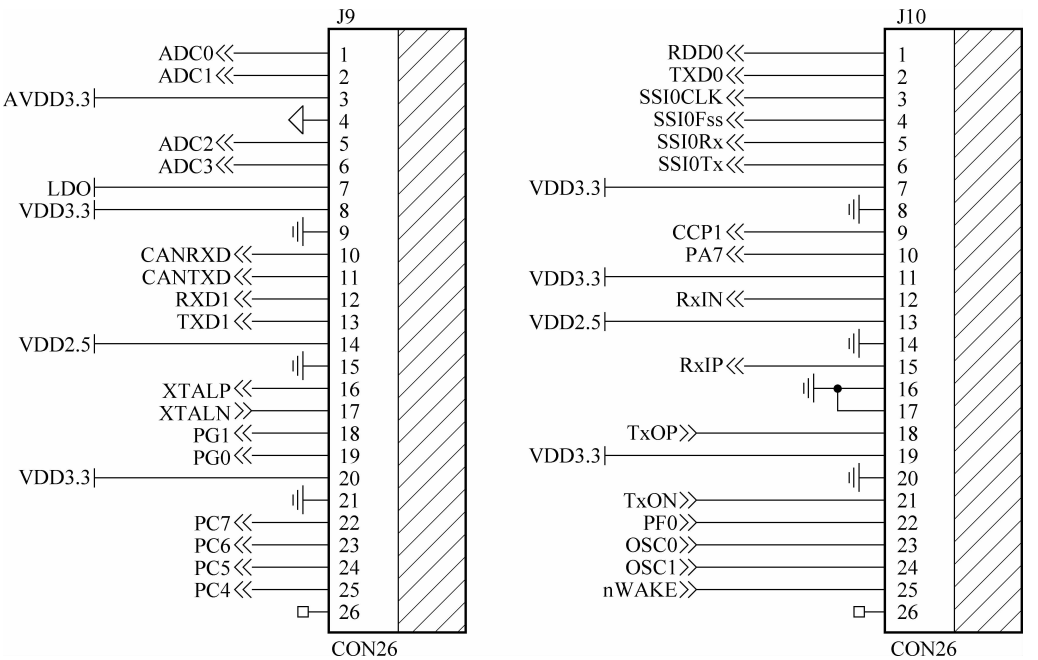

图 3-35　扩展接口电路

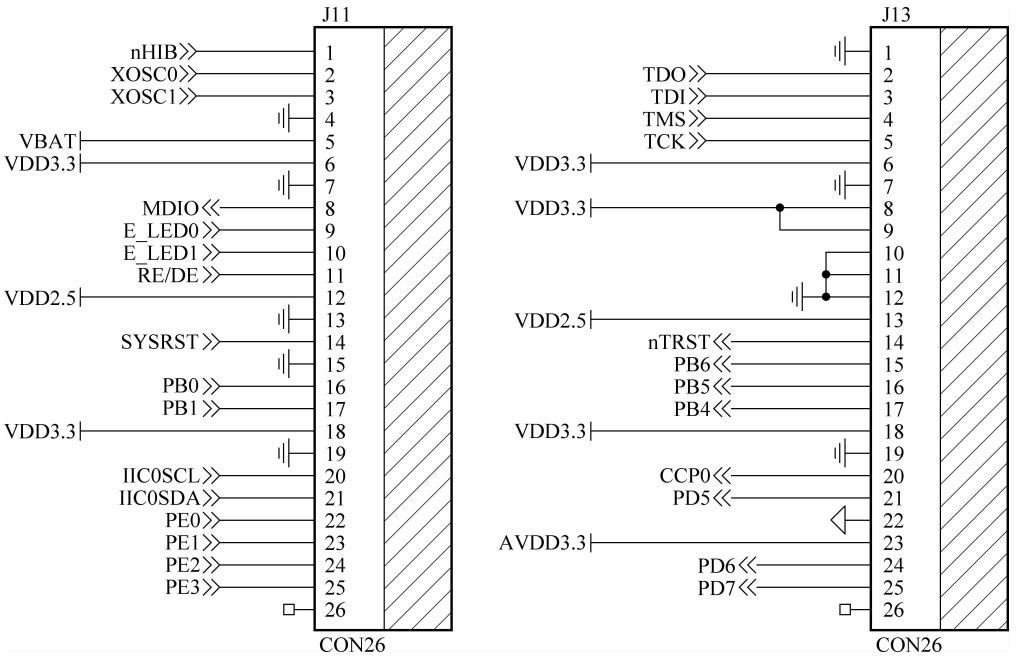

图 3-35　（续）

3.6　实验平台概述

3.6.1　实验平台外观

如图 3-36 和图 3-37 所示分别为实验板和实验平台外观图。

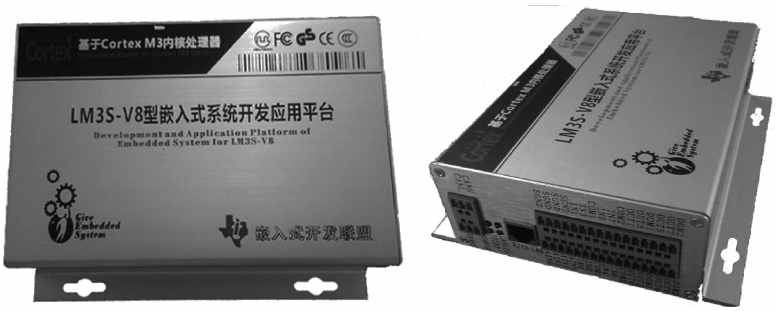

图 3-36　实验板外观

3.6.2　实验平台主要接口描述

如图 3-38 所示为扩展接口引脚排列图。

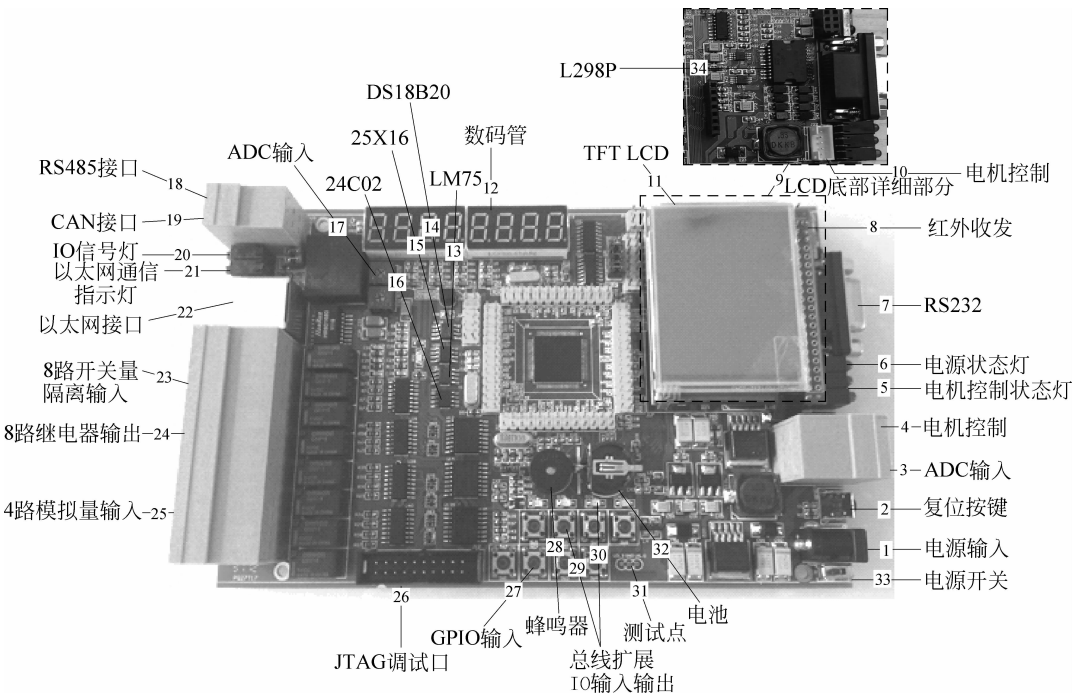

图 3-37　实验平台外观

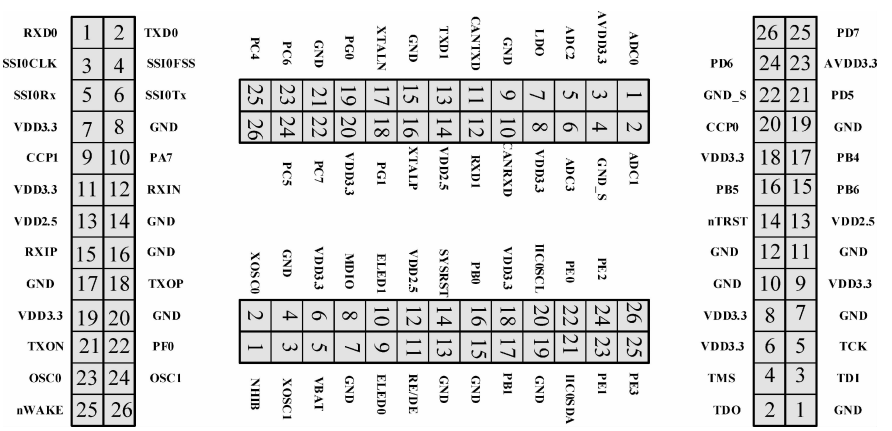

图 3-38　扩展接口引脚排列

3.6.3　主要功能资源

主处理器是基于 ARM Cortex-M3 内核的 LM3S8962 处理器，处理器集成的接口前文已经介绍过。实验平台的主要接口如下。

(1) 10/100Mb/s 的以太网接口一个。

(2) CAN2.0B 接口一个。

(3) RS485 接口一个。

(4) RS232 接口一个。
(5) GPIO 的 LED 灯 4 个。
(6) 红外线接口一个。
(7) 10b/t 1Mb/s 的 ADC 有 4 个通道。
(8) IIC 扩展的开关量输入通道 8 路。
(9) IIC 扩展的开关量输出继电器通道 8 路。
(10) IIC 扩展的按键输入通道 4 路。
(11) IIC 扩展的 LED 灯输出 4 路。
(12) 数字温度传感器 LM75。
(13) 1-wire 总线温度传感器 DS18B20。
(14) 12 位的 ADC 采样接口 2 通道。
(15) 2.2 寸 TFT LCD。
(16) 8 位 7 段 LED 数码管。
(17) 蜂鸣器输出一路。
(18) 纽扣电池供电。
(19) L298P 电机控制接口 4 路。
(20) 24C02 的 EEPROM 存储器。
(21) 25×16 存储器。