

实验平台板级设计

3.1 FPGA 板级电路设计五要素

和纯粹基于 PC 的各种软件编程不同, FPGA 器件的学习仅靠一台 PC 是不够的。对于任何一个学习者而言, 能够拥有一块板载 FPGA 器件的电路板平台是非常必要的。当然, 前期的开发调试肯定也还是离不开 PC。和基于 PC 的软件编程(如在 Visual C++ 工具上实现 C/C++ 语言的编程, 在各种网络编程工具上实现 .net/java 语言的编程)相同的是, 可编程器件的开发也有专用的语言(目前主流的语言是 Verilog 和 VHDL)和专用的开发工具(如 Xilinx 公司的开发工具 ISE, Altera 公司的开发工具 Quartus II 以及其他的第三方工具)。不同点也显而易见, PC 的软件编程由于最终就是实现在 PC 本地或者网络上, 所以它就不需要开发者配备额外的设备; 而基于 FPGA 器件的开发, 其最终的功能是需要实现在特定的 FPGA 器件内部, 因此开发者势必需要首先具备载有 FPGA 器件的一块电路板。除此以外, 还需要具备一条用于连接 PC 和可编程器件的用来传输配置数据流的连接线, 通常称此连接为“下载线”。

如图 3.1 所示, 对于任何一个 FPGA 开发者而言, 一条下载线和一块板载 FPGA 器件的电路板应该说是最基本的硬件配置了。电路板的作用不言而喻, 设计的目的便是希望通过对板载的 FPGA 器件编程, 以控制电路板上的其他外设按照既定的功能运转; 而下载线则起到连接 PC 和电路板的作用, 它将协助开发人员将已经在 PC 的软件工具上预先设计好的功能配置数据流固化到电路板的 FPGA 器件中(可用于前期的开发、调试以及产品化后的升级)。

既然需要一块板载 FPGA 器件的电路板, 那么这块电路板该如何设计呢? 图 3.2 和图 3.3 分别为 Xilinx 公司最新的 Zynq SoC FPGA 开发板和 Altera 公司最新的 Cyclone V SoC FPGA 开发板。整齐有序且美观大方, 丰富的外设资源, 恐怕大家都要垂涎三尺了, 而要咱们初学者也 DIY 一个, 那真叫“比骆驼穿过针的眼还难”。

先抛开电路板各种各样复杂的外设功能, 可以先探讨一下单纯实现一片 FPGA 器件的核心电路(即能让 FPGA 工作起来的最基本且元器件最少的电路)是如何设计的。相比于其他嵌入式系统芯片的电路设计, 单纯的 FPGA 核心电路其实还算是简单的。根据过往的

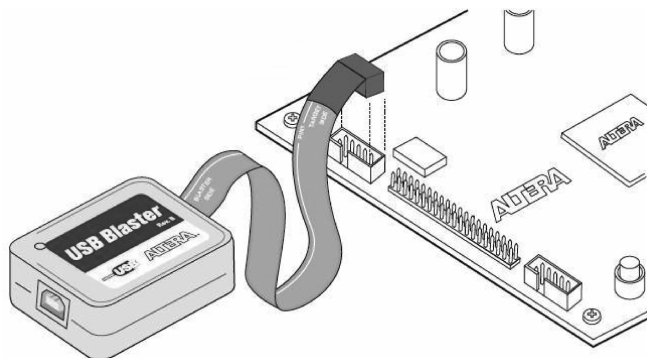


图 3.1 下载线和电路板

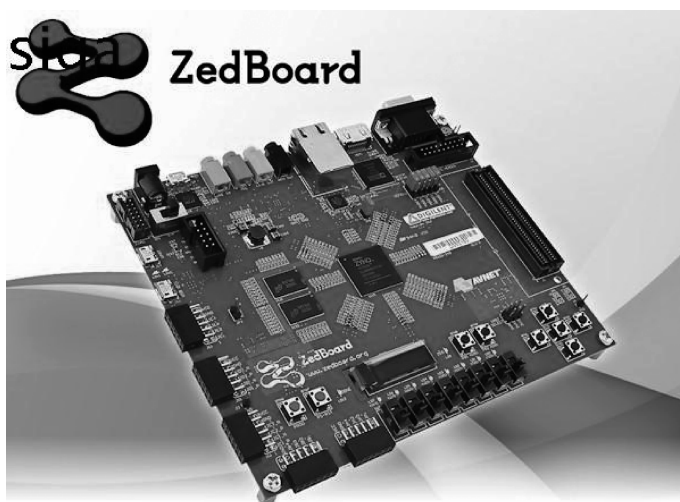


图 3.2 Xilinx-Zynq SoC FPGA 开发板

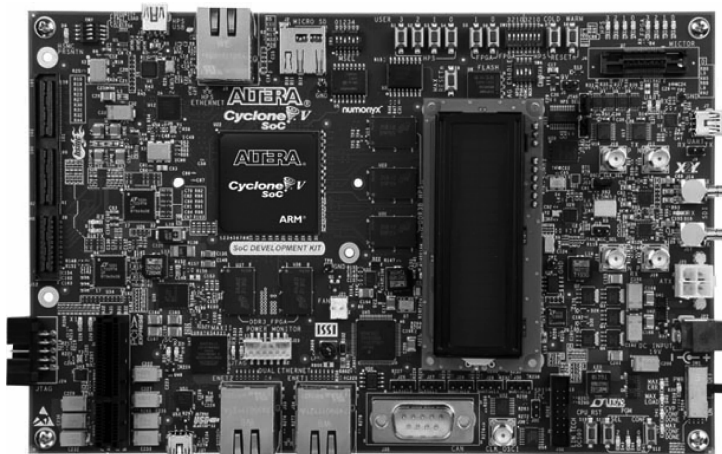


图 3.3 Altera-Cyclone V SoC FPGA 开发板

设计经验,笔者简单地将 FPGA 核心电路归纳为 5 个部分:电源电路、时钟电路、复位电路、配置电路和外设电路,姑且称为五要素。下面将逐一探讨各个要素在 FPGA 器件的运行中扮演的角色及其常规电路的设计方式。

3.1.1 能量供应——电源电路

神说,看哪,我将遍地上各样结种子的菜蔬,和各样结有核果子的树,赐给你们作食物。至于地上各样的走兽和空中各样的飞鸟,并各样爬在地上有生命的物,我将青草赐给它们作食物;事就这样成了。

——引自《圣经·创世记》

的确,自然界的任何生物体都需要有能量的供应,人需要吃饭喝水,花草树木需要阳光雨露,鸟兽虫鱼也都有可食之物。人工智能也是如此,炉灶需要煤气,汽车需要加油,亮灯需要供电……小小的芯片工作起来也是离不开能量的供给。

FPGA 器件需要有电源电压的能量供应才能工作,尤其对于规模较大的器件,其功耗也相对较高,其供电系统的好坏将直接影响整个开发系统的稳定性。所以,设计出高效率、高性能的 FPGA 供电系统具有极其重要的意义。

不同的 FPGA 器件、不同的应用方式会对电压、电流有不同的需求。如图 3.4 所示,简单地归纳,可以将 FPGA 器件的电压需求分为 3 类:核心电压、I/O 电压和辅助电压。

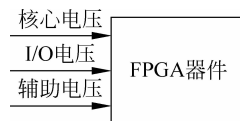


图 3.4 供电电压

核心电压是 FPGA 内部各种逻辑电路正常工作运行所需要的基本电压,该电压用于保证 FPGA 器件本身的工作。通常选定某一款 FPGA 器件,其核心电压一般也都是一个固定值,不会因为电路的不同应用而改变。核心电压值可以从官方提供的器件手册中找到。

I/O 电压,顾名思义便是 FPGA 的 I/O 引脚工作所需的参考电压。在引脚排列上,FPGA 与 ASIC 最大的不同之处,便是 FPGA 所有的可用信号引脚基本都可以作为普通 I/O 使用,其电平值的高低完全由器件内部的逻辑决定。当然,它的高低电平标准也受限于所供给的 I/O 电压。任何一片 FPGA 器件,它的 I/O 引脚通常会根据排列位置分为多个 bank。同一个 bank 内的所有 I/O 引脚所供给的 I/O 电压是共用的,可以给不同的 bank 提供不同的 I/O 电压,它们彼此是不连通的。因此,不同 bank 的不同 I/O 电压为 FPGA 器件的不同接口应用提供了灵活性。

这里举一个例子,Cyclone III 系列器件的某些 bank 支持 LVDS 差分电平标准,此时器件手册会要求设计者给用于 LVDS 差分应用的 bank 的 I/O 电压供给 1.5V 电压,这就不同于一般的 LVTTTL 或 LVCOMS 的 3.3V 供电需求。而一旦这些用于 LVDS 传输的 I/O bank 电压供给为 1.5V,那么它就不能作为 3.3V 或其他电平值标准传输使用了。

除了前面提到的核心电压和 I/O 电压,FPGA 器件工作所需的其他电压通常都称为辅助电压。例如 FPGA 器件下载配置所需的电压,当然,这里的辅助电压值可能与核心电压值或 I/O 电压值是一致的。很多 FPGA 的 PLL 功能块的供电会有特殊要求,也可以认为

是辅助电压。由于 PLL 本身是模拟电路,而 FPGA 其他部分的电路基本是数字电路,因此 PLL 的输入电源电压也很有讲究,需要专门的电容电路做滤波处理,而它的电压值一般和 I/O 电压值不同。

目前比较常见的供电解决方案主要是 LDO 稳压器、DC/DC 芯片或电源模块。LDO 稳压器具有较好的低纹波特性,并且电路设计极其简单,为电流输出要求不高的应用提供了简单、廉价的解决方案;而基于 DC/DC 芯片的解决方案能够保证较高的电源转换效率,散热容易一些,输出电流也更大,这是大规模 FPGA 器件的最佳选择;而电源模块简单实用并且能够有更稳定的性能,只不过价格通常比较昂贵,在成本要求不敏感的情况下,这是 FPGA 电源设计的一种最为简单、快捷的解决方案。总而言之,对于电源方案的选择以及电源电路的设计,一定要事先做好前期的准备工作,以下的几点是必须要考虑的:

- 器件需要供给几挡电压,电压值分别是多少?
- 不同电压挡的最大电流要求是多少?
- 不同电压挡是否有上电顺序要求(大部分的 FPGA 器件是没有此项要求的)?
- 电源去耦电容该如何分配和排布?
- 电源电压是否需要设计特殊的去耦电路?

关于设计者需要确定的各种电气参数以及电源设计的各种注意事项,其实在器件厂商提供的器件手册(handbook)、应用笔记(application notes)或是白皮书(white paper)中一般都会给出参考设计。所以,设计者若希望能够较好地完成 FPGA 器件的电源电路设计,事先阅读大量的官方文档是必须的。

说到电源,也不能不提一下地端(GND)电路的设计,FPGA 器件的地信号通常是和电压配对的。一般应用中,统一共地连接是没有问题的,但也需要注意特殊应用中是否有隔离要求。FPGA 器件的引脚引出的地信号之间通常是导通的,当然也不能排除有例外的情况。如果漏接个别地信号,器件通常也能正常工作,但是笔者也遇到过一些特殊的状况,如 Altera 的 Cyclone III 器件底部的中央有个接地焊盘,如果设计中忽略了这个接地信号,那么 FPGA 很可能就“不干活”了,因为这个地信号是连接 FPGA 内部的很多中间信号的地端,它并不和 FPGA 的其他地信号直接导通。因此,在设计中也一定要留意地信号的连接,电源电路中任何细小的疏忽都有可能導致器件的罢工。

3.1.2 心脏跳动——时钟电路

人体拥有非常奇妙的循环系统,而心脏是这个循环系统的发动机,它向全身各部位供应血液。如图 3.5 所示,心脏有 4 个空腔,上面两个叫心房(atrium),下面两个叫心室(ventricle)。右心房收纳全身的静脉血,通过右心室从肺动脉泵出,此时肺动脉中流的是静脉血,通过肺中的气体交换,变成含氧丰富的动脉血,由肺静脉送至左心房,再通过左心室的主动脉泵流向全身各个组织器官以满足其正常生理活动的需要。这便是人体无时无刻不在进行着的心跳过程。

了解了心脏之于人体内部循环系统的作用,反观时钟信号之于 FPGA 器件,其实也有着异曲同工之妙。伴随着每一次的心跳过程,都有血液的运转和流动;同样,伴随着每一个时钟脉冲的产生,也都有数字信号的输入和输出。对于在 FPGA 器件内实现的任何时序逻

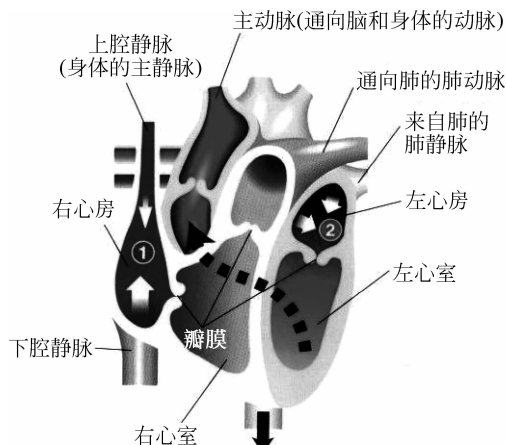


图 3.5 心脏示意图

辑应用,失去了时钟信号便意味着信号的传输将处于停滞状态。时钟信号的重要性可见一斑。

如图 3.6 所示,理想的时钟模型是一个占空比为 50% 且周期固定的方波。 T_{clk} 为一个时钟周期, T_1 为高脉冲宽度, T_2 为低脉冲宽度, $T_{\text{clk}} = T_1 + T_2$ 。一般情况下, FPGA 器件内部的逻辑会在每个时钟周期的上升沿执行一次数据的输入和输出处理,而在两个时钟上升沿的空闲时间里,则可以用于执行各种各样复杂的处理。而一个比较耗时的复杂运算过程,往往无法用一个时钟周期完成,所以将其切割成几个耗时较小的运算,然后在数个时钟上升沿后输出最终的运算结果。时钟信号的引入,不仅让所有的数字运算过程变成“可量化”的,而且也能够将各种不相关的操作过程同步到一个节拍上协同工作。

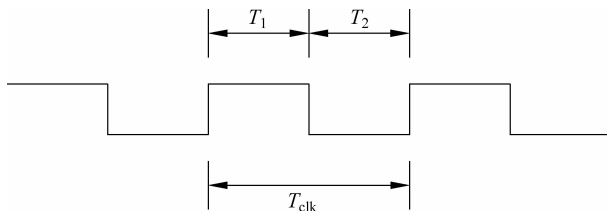


图 3.6 理想时钟波形

FPGA 器件的时钟信号源一般来自外部,通常使用晶体振荡器(简称晶振)产生时钟信号。当然,一些规模较大的 FPGA 器件内部都会有可以对时钟信号进行倍频或分频的专用时钟管理模块,如 PLL 或 DLL。FPGA 器件内部使用的时钟信号往往不只是供给单个寄存器使用,因为在实际应用中,成百上千甚至更多的寄存器很可能共用一个时钟源,那么从时钟源到不同寄存器间的延时也可能存在较大偏差(通常称为时钟网络延时),而我们知道,这个时间差过大是很要命的。因此,FPGA 器件内部设计了一些称为“全局时钟网络”的走线池。通过这种专用时钟网络走线,同一时钟到达不同寄存器的时间差可以被控制到很小的范围内。

那么又如何能保证输入的时钟信号能够走“全局时钟网络”呢?这有多种方式:对于外部输入的时钟信号,只需将晶振产生的时钟信号连接到“全局时钟专用引脚”上;而对于

FPGA 内部的高扇出控制信号,通常工具软件会自动识别此类信号,将其默认连接到“全局时钟网络”上,而设计者若是不放心,也可通过编译报告进行查看,甚至可以手动添加这类信号。关于时钟电路的设计和选型,有如下几个基本事项需要考虑:

- 系统运行的时钟频率是多少(可能有多个时钟)?
- 是否有可用的内部时钟管理单元(通常是有)? 它的输入频率范围是多少(需要查看器件手册进行确认)?
- 尽可能选择专用的时钟输入引脚。
- 时钟走线尽可能短,有条件最好做包地处理,确保外部输入时钟信号干净、稳定。

3.1.3 状态初始——复位电路

FPGA 器件在上电后都需要有一个确定的初始状态,以保证器件内部逻辑快速进入正常的工作状态。因此,FPGA 器件外部通常会引入一个用于内部复位的输入信号,这个信号称为复位信号。对于低电平有效的复位信号,当它的电平为低时,系统处于复位状态;当它从低电平变为高电平时,系统则撤销复位,进入正常工作状态。由于在复位状态期间,各个寄存器都赋予输出信号一个固定的电平状态,因此在随后进入正常工作状态后,系统便拥有了所期望的初始状态。

复位电路的设计也很有讲究,一般的设计都是期望系统的复位状态能够在上电进入稳定工作状态后多保持一点时间。因此,阻容复位电路可以胜任一般的应用;而需要得到更稳定、可靠的复位信号,则可以选择一些专用的复位芯片。复位信号和 FPGA 器件的连接也有讲究,通常也会有专用的复位输入引脚。

至于上电复位延时的长短,也是很有讲究的。因为 FPGA 器件是基于 RAM 结构的,它通常需要一颗用于配置的外部 ROM 或 Flash 进行上电加载,在系统上电稳定后,FPGA 器件首先需要足够的时间用于配置加载操作,只有在这个过程结束后,FPGA 器件才能够进入正常的用户运行模式。而上电复位延时过短,等同于 FPGA 器件根本就没有复位过程;当然,如果上电复位延时过长,那么对系统性能甚至用户体验都会有不同程度的影响。因此,设计者在实际电路中必须对此做好考量,保证复位延时时间的长短恰到好处。关于 FPGA 器件的复位电路,也需要注意以下几个要点:

- 尽可能使用 FPGA 的专用复位引脚。
- 上电复位时间的长短需要做好考量。
- 确保系统正常运行过程中复位信号不会误动作。

3.1.4 灵活定制——配置电路

20 世纪 80 年代,联合测试行为组织(joint test action group,JTAG)制定了主要用于 PCB 和 IC 的边界扫描测试标准。该标准于 1990 年被 IEEE 批准为 IEEE 1149.1—1990 测试访问端口和边界扫描结构标准。随着芯片设计和制造技术的快速发展,JTAG 越来越多地被用于电路的边界扫描测试和可编程芯片的在线系统编程。

FPGA 器件都支持 JTAG 进行在线配置,JTAG 边界扫描的基本原理如图 3.7 所示。

在 FPGA 器件内部,边界扫描寄存器由 TDI 信号作为数据输入,TDO 信号作为数据输出,形成一个很大的移位寄存器链。而 JTAG 通过整个寄存器链,可以配置或者访问 FPGA 器件的内部逻辑状态或者各个 I/O 引脚的当前状态。

在这里不过多地研究 JTAG 的原理。对于电路设计来说,JTAG 的 4 个信号 TCK/TMS/TDI/TDO (TRST 信号一般可以不用)以及电源、地连接到下载线即可。

说到 FPGA 的配置,这里不得不提一下它们和 CPLD 内部存储介质的不同之处。CPLD 大都是基于 PROM 或 Flash 来实现可编程特性,因此对它们进行在线编程时就已将配置数据流固化好了,重新上电后还能够运行固有的配置数据。FPGA 大都是基于 SRAM 来实现可编程特性,换句话说,通过 JTAG 实现在线编程时,在保持不断电的情况下,FPGA 能够正常运行,而一旦掉电,SRAM 数据丢失,FPGA 则一片空白,无法继续运行任何既定功能。因此,FPGA 通常需要外挂一个用于保存当前配置数据流的 PROM 或 Flash 芯片,通常称为“配置芯片”,CPLD 则不需要。

因此,对于 FPGA 器件,若希望将它产品化,可以脱机(PC)运行,那么就必须在板级设计时考虑它的配置电路。不用太担心,其实 FPGA 厂商的器件手册里也会给出推荐的配置芯片和参考电路,大多数情况下依葫芦画瓢便可。当然,板级设计还是马虎不得的,有以下几个方面需要注意:

- 配置芯片尽量靠近 FPGA。
- 考虑配置信号的完整性问题,必要时增加阻抗匹配电阻。
- 部分配置引脚可以被复用,但要谨慎使用,以免影响器件的上电配置过程。

FPGA 配置电路的设计是非常重要的,相关信号引脚通常都是固定并且专用的,需要参考官方推荐电路进行连接。

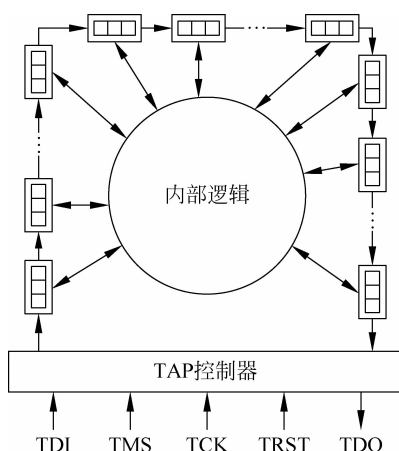


图 3.7 JTAG 边界扫描原理

3.1.5 自由扩展——外设电路

FPGA 器件拥有丰富的外设(I/O)资源,它的可扩展性非常强,这也是用户使用它的一个很重要的原因。如果说前面 4 部分电路的设计相对而言都比较固定,那么 I/O 引脚应用则相对要自由很多。当然,这里所谓的“自由”,并不意味着电路设计的随意,而是指电路设计的可选择性比较丰富。话说回来,这里的“自由”也还是要建立在一定的基础之上。笔者根据多年的工程经验,对于 I/O 与外设的连接扩展,归纳出以下一些要点:

- 输入和输出时钟信号尽量分配到专用的引脚上。
- 差分信号对必须分配到支持差分传输的专用引脚上。
- 高速信号分配到支持高速传输的专用引脚上,如支持 DDR 的专用 I/O 接口。
- 一些硬核使用的引脚可能是固定的,千万不能随意分配。
- 总线信号尽量分配到同一个 bank 或者相近的 bank 中。

- 一些可能产生噪声干扰的信号(如时钟信号)尽量远离器件的配置信号和其他敏感信号。
- 引脚分配时尽可能减少交叉连接。

3.2 FPGA 核心板设计

通过 3.1 节对 FPGA 板级电路设计的理论学习,相信大家都已是摩拳擦掌、跃跃欲试了。没问题,接下来就好好实践一把。实践还是要建立在理论的基础上,只有前面的一些常规设计的理论基础还不够,更多的设计细节需要到器件手册中寻找,所以实践的第一步还是要回归理论——读懂器件手册。

3.2.1 读懂器件手册

很多工科学生英文水平都比较差,看到英文就头大。但是,要想做个称职的电子工程师,这点技能是必须有的,对于电路板上所使用到的每一颗芯片,都必须至少是通读过它们的器件手册。

这里,FPGA 器件选择的是 Altera 公司的 Cyclone III 系列。如图 3.8 所示,这是 Cyclone III 器件的一张官方宣传画。



图 3.8 Cyclone III 器件的官方宣传画

Cyclone III 器件手册可以很方便地从官网下载到。如图 3.9 所示,Cyclone III 系列分为高性价比的-E 和高保密性低功耗的-LS 两大类,因此器件手册中 Volume 1 重点介绍整个系列的共同特性,而 Volume 2 则分别介绍-E 和-LS 的电气和时序特性。

限于篇幅,此处重点看看 Volume 1 的第 1 章,即概述部分的内容。希望藉此读者能够对所选用的 FPGA 器件有一个整体的了解。

Cyclone III FPGA 系列前所未有地同时实现了低功耗、高性能和低成本,大大提高了产品竞争力。其特性以及 Cyclone III FPGA 的体系结构为用户的大批量、低功耗、低成本应用提供了理想的解决方案。该系列包括:

- Cyclone III 功耗最低、成本最低的高性能 FPGA。
- Cyclone III LS 具有安全特性、功耗最低的 FPGA。

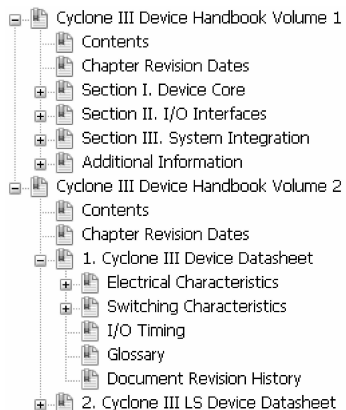


图 3.9 Cyclone III 器件手册大纲

Cyclone III LS 器件具有 200K 逻辑单元、8Mb 嵌入式存储器以及 396 个嵌入式乘法器,是高性能处理、低功耗应用的理想选择。应用领域包括:

- 汽车。
- 消费类。
- 显示。
- 工业。
- 视频和图像处理。
- 无线。

具有 200K 逻辑单元(LE)、8Mb 存储器,而其静态功耗却不到 1/4W。采用台积电(TSMC)的低功耗(LP)工艺技术进行制造,无论是通信设备、手持式消费类产品,还是软件无线电设备,FPGA 都能够轻松满足它们的功耗预算。

Cyclone III LS FPGA 利用低功耗、高性能 FPGA 平台,在硬件、软件和知识产权(IP)层面上率先实现了一系列安全特性。这一系列安全特性保护用户的设计 IP 不被篡改、逆向剖析和克隆。而且,这些器件还能够通过设计分离特性,在一颗芯片中实现冗余功能,从而减小了实际应用的体积、重量和功耗。

为确保流畅、成功的设计流程,帮助用户更快地将构思变为收益,Altera 提供了全面的 Cyclone III FPGA 设计环境,包括:

- Quartus II 开发软件。
- 成熟的 IP 库。
- NIOS II,世界上最通用的嵌入式处理器。
- 低成本开发套件。
- 专用参考设计。

在过去,衡量一个逻辑器件的资源情况,仅仅看它的逻辑资源便可知其一二。但随着制造工艺的不断进步,大量的存储器、乘法器资源可以很轻易地嵌入到可编程逻辑器件之中,大大便利了用户的设计。所以,今天必须同时去衡量这些逻辑器件中所包含的存储器、乘法器甚至时钟、I/O 的资源情况,毕竟它们也和实际应用息息相关。Cyclone III 器件采用了成熟的 65nm 工艺,除了拥有丰富的逻辑资源外,存储器资源、乘法器资源、时钟资源、I/O 资源也非常丰富,可以满足大多数的中小规模应用。如图 3.10 所示,这是从器件手册中截下的一个资源分布表,从这里便可对 Cyclone III 系列各个型号器件的资源情况一目了然。

当然,图 3.10 中所给出的 EP3C5 的资源情况,并不是核心板上那颗 EQFP144 封装器件的实际资源情况,它是 EP3C5 这个型号所有封装中最大支持的资源。不过,除了 I/O 数量不足 182 以外,其他的资源还真是实打实的。对于很多的工业应用来说,这个规模的 FPGA 器件足矣;对于初学者入门 FPGA 来说,那更是绰绰有余了。总之,一句话,“学习,不求最贵的(不过它已经够贵了),但求最适用的”。

Family	Device	Logic Elements	Number of M9K Blocks	Total RAM Bits	18 x 18 Multipliers	PLLs	Global Clock Networks	Maximum User I/Os
Cyclone III	EP3C5	5,136	46	423,936	23	2	10	182
	EP3C10	10,320	46	423,936	23	2	10	182
	EP3C16	15,408	56	516,096	56	4	20	346
	EP3C25	24,624	66	608,256	66	4	20	215
	EP3C40	39,600	126	1,161,216	126	4	20	535
	EP3C55	55,856	260	2,396,160	156	4	20	377
	EP3C80	81,264	305	2,810,880	244	4	20	429
	EP3C120	119,088	432	3,981,312	288	4	20	531
Cyclone III LS	EP3CLS70	70,208	333	3,068,928	200	4	20	429
	EP3CLS100	100,448	483	4,451,328	276	4	20	429
	EP3CLS150	150,848	666	6,137,856	320	4	20	429
	EP3CLS200	198,464	891	8,211,456	396	4	20	429

图 3.10 Cyclone III 系列器件资源

3.2.2 核心板电路设计架构

核心板除了一颗昂贵的 Cyclone III 系列 FPGA 芯片外,电源、复位、时钟、JTAG,一个也不能少。这颗芯片的电源有 3 挡,即 3.3V、2.5V 和 1.2V。3.3V 是供给 FPGA 的 I/O 电压,也是系统的其他外设芯片(如 SDR SDRAM 和 SPI Flash)的电源电压;2.5V 是供给 JTAG 电路和 FPGA 的 PLL 电源所需要的;1.2V 则是 FPGA 的内核电压。使用的时钟是 25MHz,有人说这么低,不够用吧?非也,FPGA 内部的 PLL 就是专门负责管理时钟的,它可以对外部输入的 25MHz 时钟进行倍频或分频,甚至非整数倍的倍频或分频也能够实现。JTAG 是用于 PC 和 FPGA 连接的电路,PC 上的 Quartus II 下载烧录就是通过这个接口。核心板电路架构框图如图 3.11 所示。

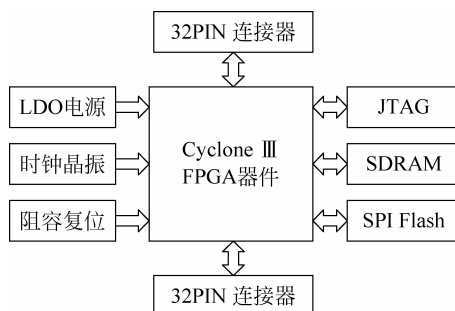


图 3.11 核心板电路架构框图

SPI Flash 用于 FPGA 器件的上电配置数据存储,由于 FPGA 是基于 RAM 结构的,下电后不能够保存数据,所以需要一颗非易失的 Flash 用于存储 FPGA 的配置数据。当

FPGA 上电后,它本身没有可立即执行的应用数据,但是通过专有的 SPI 接口连接到 SPI Flash 将数据搬运到 RAM 后,FPGA 就能够运行起来了。SDR SDRAM 是用作扩展的,它既可以作为 NIOS II 处理器的 RAM 运行程序,也可以作为后续 LCD 等需要实时大数据量存储的缓存应用。另外,上下两个 32PIN 的连接器,分别引出 23 个 I/O 引脚,各种扩展板卡就通过它们发挥作用了。

如图 3.12 和图 3.13 所示,先来认识一下核心电路板的各个重要元器件。

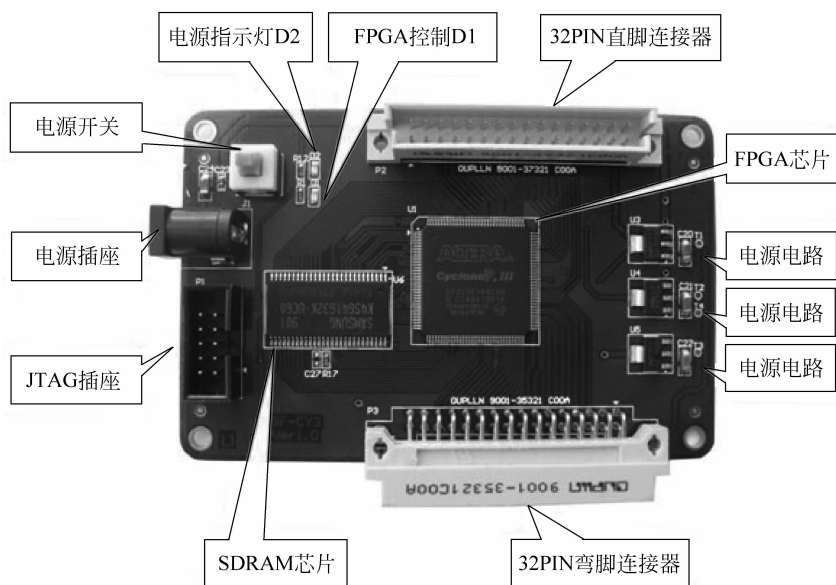


图 3.12 核心电路板正面视图

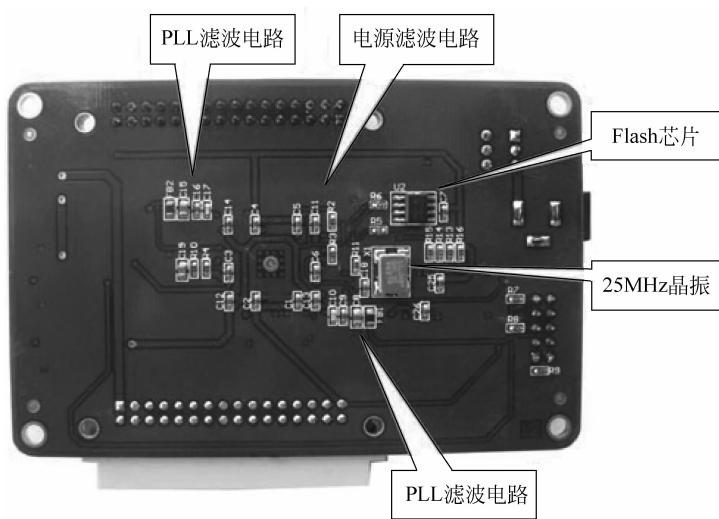


图 3.13 核心电路板背面视图

3.2.3 电源电路设计

整个系统需要 3 挡不同的电源电压,即 3.3V、2.5V 和 1.2V。如图 3.14 所示,使用了 3 颗 LDO 分别来产生。T1/T2/T3/T4 则是测试点,便于生产或调试过程中的电压测量。

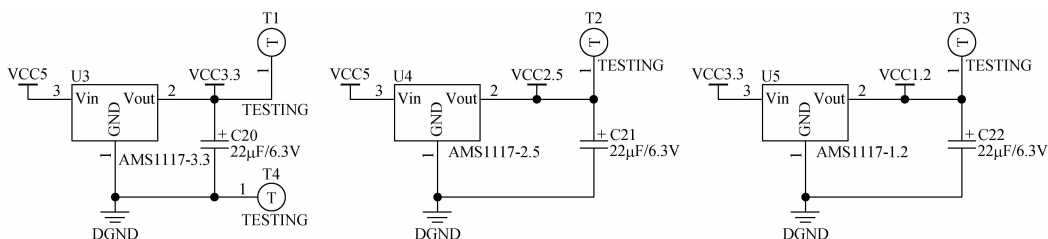


图 3.14 核心电路板电源电路

如图 3.15 所示,从 Cyclone III Device Handbook 中可以查到,Cyclone III 系列器件的供电一般分为 4 大类,压值有 2~3 挡(可能更多挡,这主要取决于不同 bank 的 I/O 电压是否有特殊供电需求)。这四类电源分别是内核电压 VCCINT、I/O 电压 VCCIO、PLL 模拟电压 VCCA 和 PLL 数字电压 VCCD_PLL。这四类电源电压中,内核电压固定为 1.2V、PLL 模拟电压固定为 2.5V、PLL 数字电压固定为 1.2V;唯一不确定,或者说有选择余地的电源是 I/O 电压,它可以根据用户实际应用所需要的 I/O 标准选择不同的电压,此处开发板使用最常见的 3.3V 进行所有的 I/O bank 供电。

Table 1-3. Cyclone III Devices Recommended Operating Conditions (1), (2)

	Symbol	Parameter	Conditions	Min	Typ	Max	Unit
内核电压	VCCINT (2)	Supply voltage for internal logic	—	1.15	1.2	1.25	V
		Supply voltage for output buffers, 3.3-V operation	—	3.135	3.3	3.465	V
I/O电压	VCCIO (3), (4)	Supply voltage for output buffers, 3.0-V operation	—	2.85	3	3.15	V
		Supply voltage for output buffers, 2.5-V operation	—	2.375	2.5	2.625	V
		Supply voltage for output buffers, 1.8-V operation	—	1.71	1.8	1.89	V
		Supply voltage for output buffers, 1.5-V operation	—	1.425	1.5	1.575	V
		Supply voltage for output buffers, 1.2-V operation	—	1.14	1.2	1.26	V
PLL 数字电压	VCCA (3)	Supply (analog) voltage for PLL regulator	—	2.375	2.5	2.625	V
PLL 模拟电压	VCCD_PLL (2)	Supply (digital) voltage for PLL	—	1.15	1.2	1.25	V

图 3.15 Cyclone III 系列器件的供电标准

说到 I/O 电压,不得不多提两句,毕竟可以兼容非常多的 I/O 电压标准是 FPGA 的一大优势,尤其是有各种高速差分信号的支持。图 3.16 中给出了这款器件支持的各种 I/O 电平标准。

除了上述提及的 4 类电源电压外,其实这款 FPGA 器件的配置电路的供电电压也有学问,虽然它的 I/O 也是 3.3V 的,但一些地方却需要用到 2.5V。该内容将在配置电路部分(3.2.5 小节)再进一步讨论。FPGA 的供电电路如图 3.17 所示。在 FPGA 的供电电路中,每 1~2 个电源引脚都配有 1 个去耦电容。当然,在空间允许的情况下,每个电源引脚尽量都就近放置去耦电容。

I/O Standard	I _{OH} /I _{OL} Current Strength Setting (mA)	
	Top and Bottom I/O Pins	Left and Right I/O Pins
1.2-V LVC MOS	2, 4, 6, 8, 10, 12	2, 4, 6, 8, 10
1.5-V LVC MOS	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8, 10, 12, 16
1.8-V LV TTL/LVC MOS	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8, 10, 12, 16
2.5-V LV TTL/LVC MOS	4, 8, 12, 16	4, 8, 12, 16
3.0-V LVC MOS	4, 8, 12, 16	4, 8, 12, 16
3.0-V LV TTL	4, 8, 12, 16	4, 8, 12, 16
3.3-V LVC MOS ⁽²⁾	2	2
3.3-V LV TTL ⁽²⁾	4, 8	4, 8
HSTL-12 Class I	8, 10, 12	8, 10
HSTL-12 Class II	14	—
HSTL-15 Class I	8, 10, 12	8, 10, 12
HSTL-15 Class II	16	16
HSTL-18 Class I	8, 10, 12	8, 10, 12
HSTL-18 Class II	16	16
SSTL-18 Class I	8, 10, 12	8, 10, 12
SSTL-18 Class II	12, 16	12, 16
SSTL-2 Class I	8, 12	8, 12
SSTL-2 Class II	16	16
BLVDS	8, 12, 16	8, 12, 16

图 3.16 Cyclone III FPGA 所支持的各种电平标准

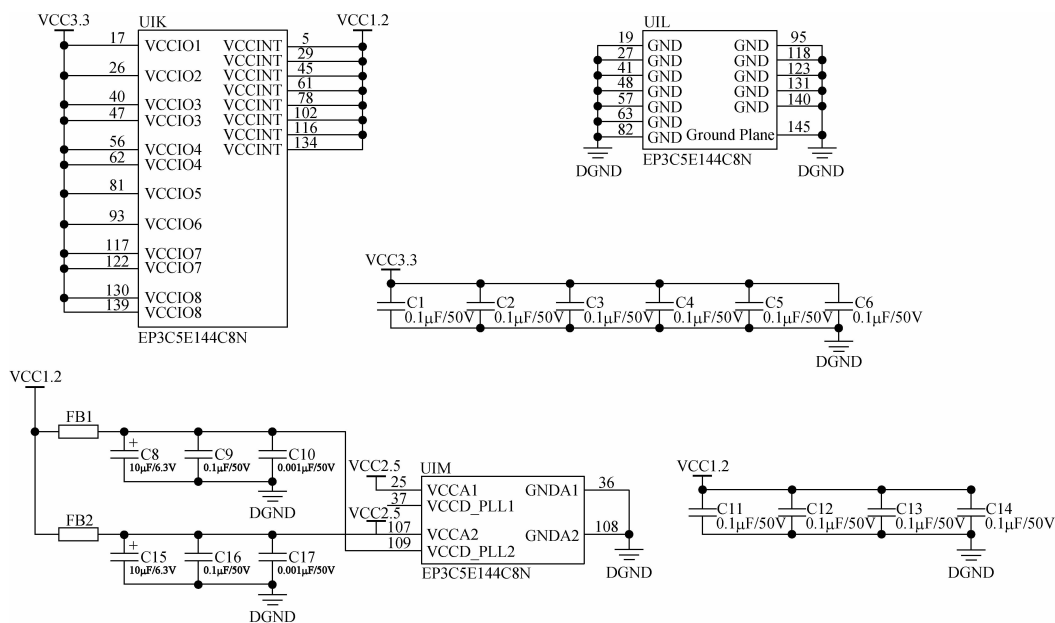


图 3.17 FPGA 供电电路

3.2.4 时钟和复位电路设计

FPGA 的时钟输入都有专用引脚,通过这些专用引脚输入的时钟信号,在 FPGA 内部可以很容易地连接到全局时钟网络上。所谓的全局时钟网络,是 FPGA 内部专门用于走一些有高扇出、低时延要求的信号,这样的资源相对有限,但是非常实用。FPGA 的时钟和复

位通常需要走全局时钟网络。图 3.18 是 Cyclone III 器件的内部全局时钟网络的布局示意图。如果说一座城市当中的各种羊肠小道、普通马路是 FPGA 器件内部的一般布线资源,那么就可以认为 FPGA 内部的全局时钟网络就是高架路(高速公路)。从图中也不难发现,除了 FPGA 外部的一些专用时钟引脚、PLL 的输出以及 FPGA 内部的一些信号也都可以连接到 FPGA 的全局布线网络上。

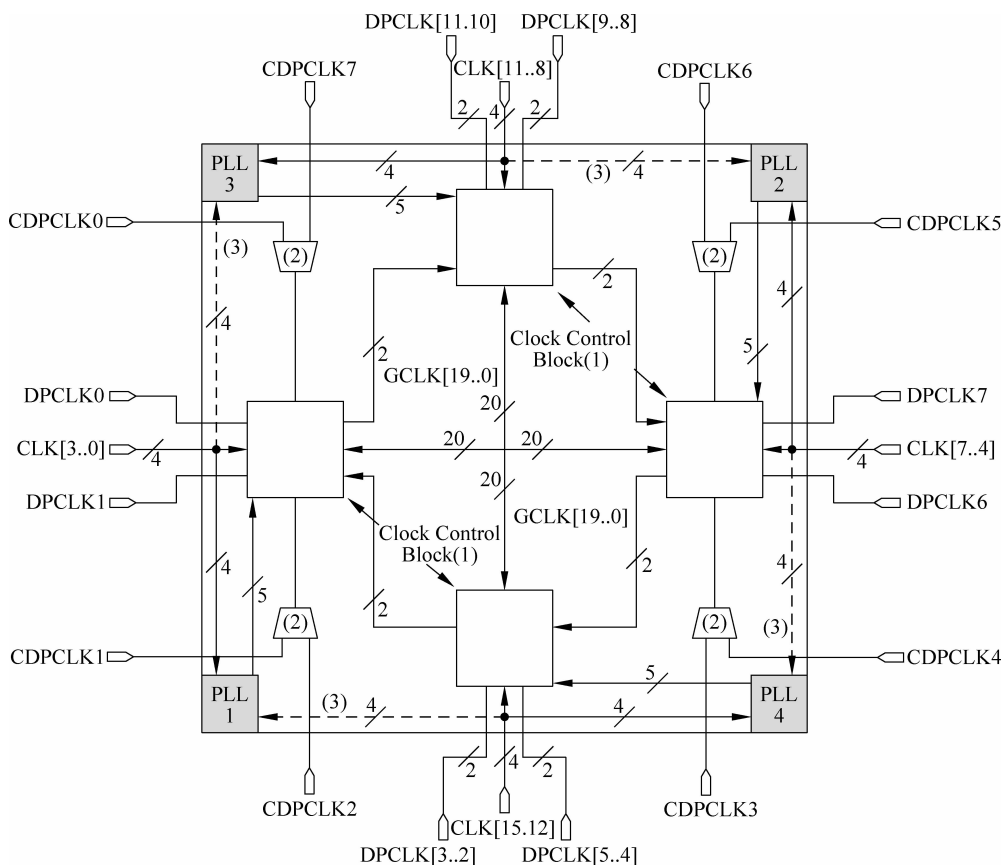


图 3.18 FPGA 全局时钟网络

时钟和复位电路如图 3.19 所示。外部使用了 25MHz 的有源晶振,连接 FPGA 的专用时钟输入引脚,FPGA 内部的 PLL 可以将外部时钟频率进行倍频或分频,甚至进行相位的调整。复位使用简单的 RC 电路,也是连接到 FPGA 的专用输入时钟引脚,走内部全局时钟网络。

前面提到过,FPGA 上电复位时间需要大于 FPGA 器件启动后的配置加载时间,这样才能确保 FPGA 运行后的复位初始化过程有效。因此,来看看这个电路的设计是否满足实际要求。

如图 3.20 所示,这是器件手册中关于上电配置时间的计算公式。

如图 3.21 所示,所使用的 EP3C 器件的配置数据量为 3 000 000bit。

如图 3.22 所示,配置时钟的频率为 20~40MHz,对应周期为 25~50ns。

有了这两个参数,便可以计算配置所需的时间,取最坏的情况,即配置时钟频率在最低情况下,配置所需时间为: $3\,000\,000\text{bit} \times (50\text{ns}/1\text{bit}) = 150\text{ms}$ 。

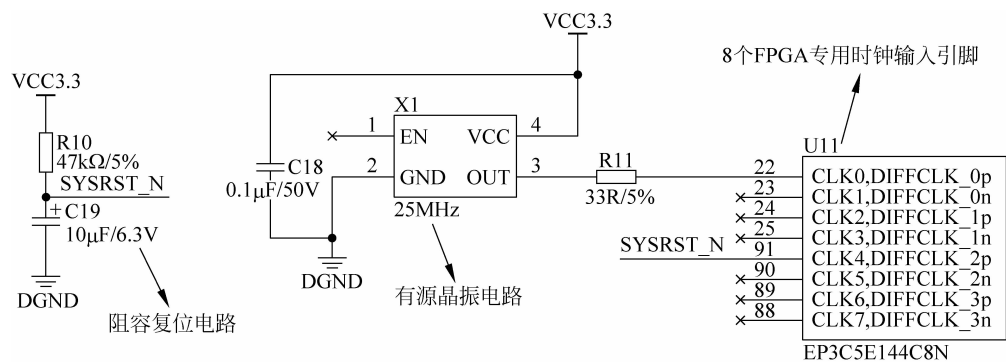


图 3.19 时钟和复位电路

Estimating AS Configuration Time

AS configuration time is dominated by the time it takes to transfer data from the serial configuration device to the Cyclone III device family. This serial interface is clocked by the Cyclone III device family DCLK output (generated from an internal oscillator). Equation 9-2 and Equation 9-3 show the configuration time estimation for the Cyclone III device family.

Equation 9-2.

$$\text{Size} \times \left(\frac{\text{maximum DCLK period}}{1 \text{ bit}} \right) = \text{estimated maximum configuration time}$$

图 3.20 器件手册中 AS 配置时间计算公式的截图

Table 9-3. Cyclone III Device Family Uncompressed Raw Binary File (.rbf) Sizes

Device		Data Size (bits)
Cyclone III	EP3C5	3,000,000
	EP3C10	3,000,000
	EP3C16	4,100,000
	EP3C25	5,800,000
	EP3C40	9,600,000
	EP3C55	14,900,000
	EP3C80	20,000,000
	EP3C120	28,600,000
Cyclone III LS	EP3CLS70	26,766,760
	EP3CLS100	26,766,760
	EP3CLS150	50,610,728
	EP3CLS200	50,610,728

图 3.21 器件手册中配置数据存储量的截图

Table 9-8. AS DCLK Output Frequency

Oscillator	Minimum	Typical	Maximum	Unit
40 MHz	20	30	40	MHz

图 3.22 器件手册中配置时钟频率的截图

如图 3.23 所示,这里标示了复位输入引脚作为 3.3V LVTTL 标准电平的最低 V_{OH} 电压值是 1.7V,那么可以由此计算阻容复位电路从 0V 上升到 1.7V 所需的时间。

Table 1-13. Cyclone III Devices Single-Ended I/O Standard Specifications ^{(1), (2)}

I/O Standard	V_{CCIO} (V)			V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL} (mA)	I_{OH} (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.3-V LVTTL ⁽³⁾	3.135	3.3	3.465	—	0.8	1.7	3.6	0.45	2.4	4	-4
3.3-V LVCMOS ⁽³⁾	3.135	3.3	3.465	—	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	2	-2
3.0-V LVTTL ⁽³⁾	2.85	3.0	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.45	2.4	4	-4
3.0-V LVCMOS ⁽³⁾	2.85	3.0	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5-V LVTTL and LVCMOS ⁽³⁾	2.375	2.5	2.625	-0.3	0.7	1.7	3.6	0.4	2.0	1	-1
1.8-V LVTTL and LVCMOS	1.71	1.8	1.89	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	2.25	0.45	$V_{CCIO} - 0.45$	2	-2
1.5-V LVCMOS	1.425	1.5	1.575	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 * V_{CCIO}$	$0.75 * V_{CCIO}$	2	-2
1.2-V LVCMOS	1.14	1.2	1.26	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 * V_{CCIO}$	$0.75 * V_{CCIO}$	2	-2
3.0-V PCI	2.85	3.0	3.15	—	$0.3 * V_{CCIO}$	$0.5 * V_{CCIO}$	$V_{CCIO} + 0.3$	$0.1 * V_{CCIO}$	$0.9 * V_{CCIO}$	1.5	-0.5
3.0-V PCI-X	2.85	3.0	3.15	—	$0.35 * V_{CCIO}$	$0.5 * V_{CCIO}$	$V_{CCIO} + 0.3$	$0.1 * V_{CCIO}$	$0.9 * V_{CCIO}$	1.5	-0.5

图 3.23 器件手册中 I/O 电平标准的截图

设 V_0 为电容上的初始电压值; V_1 为电容最终可充到或放到的电压值; V_t 为 t 时刻电容上的电压值,则有公式:

$$t = RC \times \ln[(V_1 - V_0) / (V_1 - V_t)]$$

求充电到 1.7V 的时间,则将已知条件 $V_0 = 0V$, $V_1 = 3.3V$, $V_t = 1.7V$ 代入上式得: $1.7 = 0 + 3.3 \times [1 - \exp(-t/RC)]$, 算得 $t = 0.7239RC$ 。

代入 $R = 47k\Omega$, $C = 10\mu F$ 得 $t = 0.34s$, 即 340ms。

由此验证了阻容复位的时间远大于 FPGA 器件的上电复位时间。当然,这里没有考虑 FPGA 器件从上电到开始配置运行所需的电压上升时间,一般这个时间不会太长。所以阻容复位肯定是有效的。如果需要实际的确认,还要通过示波器设备来辅助观察实际信号的延时情况。

3.2.5 配置电路设计

这里所说的 FPGA 配置电路,一方面要完成从 PC 上把 bit 文件下载到 FPGA 或存储器的任务;另一方面则要完成 FPGA 上电启动时加载配置数据的任务。在开始设计 FPGA 的配置电路之前,不妨花一些篇幅简单了解一下 FPGA 的配置过程和配置方式。

前面已经强调过,FPGA 是基于 RAM 结构的,当然,也有基于 Flash 结构的,但 RAM 结构是主流,也是这里讨论的重点。而 RAM 是易失存储器,在掉电后保存在上面的数据就丢失了,重新上电后需要再次下载配置数据。因此,肯定不希望每次重新上电后都用 PC 去下载一次,工程应用也不允许工程师这么做。所以,FPGA 旁边都有一颗配置芯片,它通常是一颗 Flash 存储器,或者是并行或者是串行接口的。不管是串行还是并行的 Flash,它们

的启动加载原理基本相同,后面会一一讨论。

为避免混淆,这里对 FPGA 的下载配置和启动配置做一点区分。FPGA 器件的下载配置,是指将 PC 上的 FPGA 配置数据流通过下载线缆烧录到 FPGA 或者 Flash 存储器中。而 FPGA 器件的启动配置,则是指将配置数据流从 PC 或者 Flash 存储器中加载到 FPGA 内,使其运行起来。

FPGA 器件的下载配置,最常见的是基于 JTAG 的配置方式,这种方式既可以直接将 PC 上的配置数据流加载到 FPGA 上在线运行,也可以通过 FPGA 器件本身间接地将数据烧录到 Flash 等外部配置芯片中。另一种下载配置是将配置数据流直接下载到配置芯片中。由于 JTAG 方式灵活多用,尤其是在线调试非常快速便利,因此本书所用的核心板电路中就只预留了 JTAG 接口。

FPGA 器件的启动配置主要有前面提到的 JTAG 方式,以及 AS 和 PS 配置方式。

AS 配置方式由 FPGA 器件引导配置过程,它控制着外部存储器及其初始化过程。EPCS 系列配置芯片,如 EPCS1、EPCS4,专供 AS 模式,目前只支持 Cyclone/Cyclone II/Cyclone III 系列。使用 Altera 串行配置器件来完成,FPGA 器件处于主动地位,配置器件处于从属地位。配置数据通过 DATA0 引脚送入 FPGA。配置数据被同步在 DCLK 输入上,1 个时钟周期传送 1 位数据。

PS 配置方式则由 PC 或其他控制器控制配置过程。通过加强型配置器件,如 EPC16、EPC8、EPC4 等来完成。在 PS 配置期间,配置数据从外部储存器件通过 DATA0 引脚送入 FPGA。配置数据在 DCLK 上升沿锁存,1 个时钟周期传送 1 位数据。

JTAG 接口是一个业界标准,主要用于芯片测试等功能,使用 IEEE Std 1149.1 联合边界扫描接口引脚,支持 JAM STAPL 标准,可以使用 Altera 下载电缆或主控器来完成。

FPGA 在正常工作时,它的配置数据存储在 RAM 中,加电时必须重新下载。在实验系统中,通常用计算机或控制器进行调试,因此可以使用 PS 配置方式。在实用系统中,多数情况下必须由 FPGA 主动引导配置操作过程,这时 FPGA 将主动从外围专用存储芯片中获得配置数据,而此芯片中,FPGA 配置信息是用普通编程器将设计所得的 pof 格式的文件烧录进去。

JTAG 模式在线下载 FPGA 的原理如图 3.24 所示,PC 端的 Quartus II 软件通过下载线缆将配置数据流(sof 文件)下载到 FPGA 内部,下载完成后 FPGA 中立刻执行下载代码,速度很快,非常适合调试。

FPGA 下载数据到配置芯片的原理如图 3.25 所示,PC 端的 Quartus II 软件通过下载线缆将配置数据流(jic 文件)下载到配置芯片中。由于配置芯片和 JTAG 接口都是分别连接到 FPGA,它们不是直接连接,所以配置文件从 PC 先是传送到 FPGA,然后在 FPGA 内部再转送给配置芯片,这个过程中 FPGA 起一个桥接的作用。

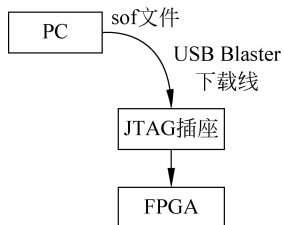


图 3.24 JTAG 方式下载配置过程

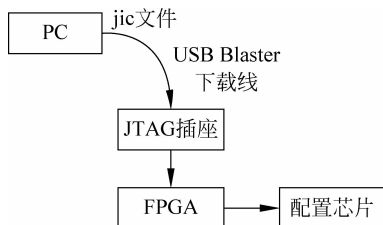


图 3.25 JTAG 方式下载数据到配置芯片

看完 JTAG 模式下在线配置 FPGA 和烧录配置芯片的原理,再来了解一下 FPGA 上电初始的配置过程。FPGA 上电后,内部的控制器首先工作,确认当前的配置模式。如果是外部配置芯片启动,则通过和外部配置芯片的接口(如 SPI 接口)将配置芯片的数据加载到 FPGA 的 RAM 中,配置完成后开始正式运行。当然,有人可能在想,JTAG 在线配置是否和配置芯片加载相冲突呢?非也,JTAG 在线配置的优先级是最高的,无论此时 FPGA 中在运行什么逻辑,只要 JTAG 下载启动,FPGA 便停下当前的工作,开始运行 JTAG 下载的新的配置数据。

先看器件手册中给出的一些相关参考设计,如图 3.26 所示,这是 FPGA 和用于配置的 SPI Flash 的接口连接方式,即所说的 AS 配置方式。注意 FPGA 的几个主要引脚 nSTATUS\CONF_DONE\nCONFIG\nCE 的连接,或者上拉,或者接地,主要是为了保证这些信号在上电初始处于一个确定的电平状态,防止错误电平导致误触发。DATA\DCLK\NCSO\ASDO 这四个引脚便是 SPI 接口,连接到 SPI Flash。

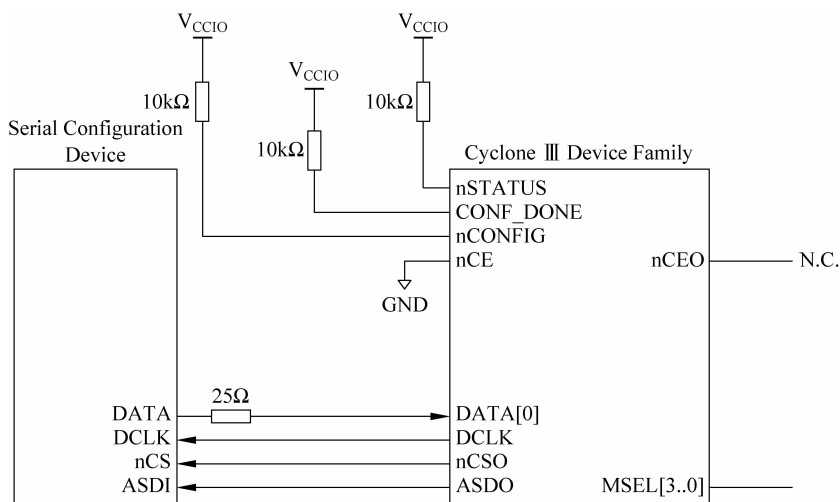


图 3.26 AS 配置参考电路的截图

如图 3.27 所示,FPGA 有一组 MSEL 引脚用于设置 FPGA 初上电时的启动模式,本书所用开发板中使用的 EP3C5 器件没有 bit3,只有 bit2~0,上电使用 FastAS 模式从 SPI Flash 加载配置数据。

有了前面的理论做铺垫,接下来的设计也就有依据了。如图 3.28 所示,这是本书所用开发板中的 FPGA 器件 EP3C5E144C8N 的 AS 配置电路。M25P40 是一颗 4Mb 的 SPI Flash,兼容 Altera 公司推荐的专用配置芯片 EPCS4,可用于存储配置数据。之所以选择 4Mb 的 SPI Flash,是因为在图 3.21 中已经给出了 EP3C5 器件的配置数据需要 3Mb 左右,故选择了比它略大一些的 4Mb 的 M25P40 芯片。

前面是配置电路的一大任务,即上电启动配置数据的电路,通过一个 SPI Flash 来实现。而另一个任务即下载,则是通过 JTAG 来实现。JTAG 这个概念网络上满天飞了,大家可以自己去消化,但凡有 CPU 的地方,基本都有 JTAG 的存在,FPGA 也不例外。唯一需

Table 9-7. Cyclone III Device Family Configuration Schemes ⁽¹⁾ (Part 1 of 2)

Configuration Scheme	MSEL				Configuration Voltage Standard (V) (2), (3)
	3	2	1	0	
Fast Active Serial Standard (AS Standard POR)	0	0	1	0	3.3
Fast Active Serial Standard (AS Standard POR)	0	0	1	1	3.0/2.5
Fast Active Serial Fast (AS Fast POR)	1	1	0	1	3.3
Fast Active Serial Fast (AS Fast POR)	0	1	0	0	3.0/2.5
Active Parallel ×16 Standard (AP Standard POR, for Cyclone III devices only)	0	1	1	1	3.3
Active Parallel ×16 Standard (AP Standard POR, for Cyclone III devices only)	1	0	1	1	3.0/2.5
Active Parallel ×16 Standard (AP Standard POR, for Cyclone III devices only)	1	0	0	0	1.8
Active Parallel ×16 Fast (AP Fast POR, for Cyclone III devices only)	0	1	0	1	3.3

图 3.27 MSEL 引脚配置说明的截图

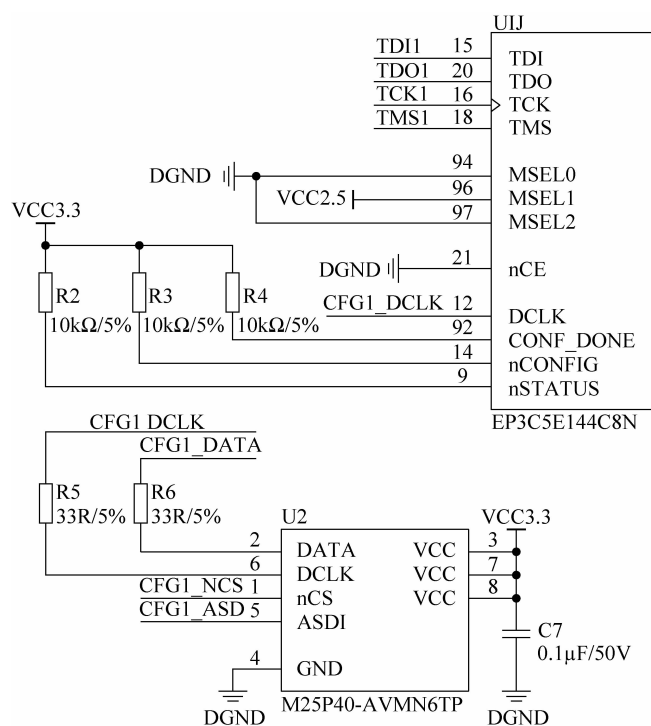
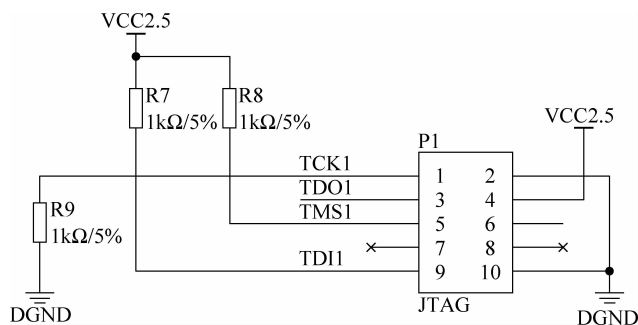


图 3.28 FPGA 的 AS 配置电路

要注意的是 Cyclone III 器件的 JTAG 电压必须是 2.5V。另外,还有一点需要提醒读者,即便前面的 MSEL 设置了 FPGA 启动模式是 FastAS 模式,但是 JTAG 永远是最高优先级的模式,任何时刻,只要 JTAG 需要进行下载配置,那么配置模式将会转换。JTAG 下载插座电路如图 3.29 所示。



3.2.6 SDRAM 电路设计

如图 3.30 所示,SDRAM 的电路很简单,只要将地址总线、数据总线、控制总线连接到 FPGA 的 I/O 口上即可。由于使用的是 SDR SDRAM,应用中速率一般在 100MHz 左右,没有必要做等长处理,只要确保整体的走线长度不要过长,SDRAM 的时钟走线干净、可靠即可。此外,SDRAM 的时钟信号 SD1_CLK 也不能随便找个 FPGA 引脚就乱接。

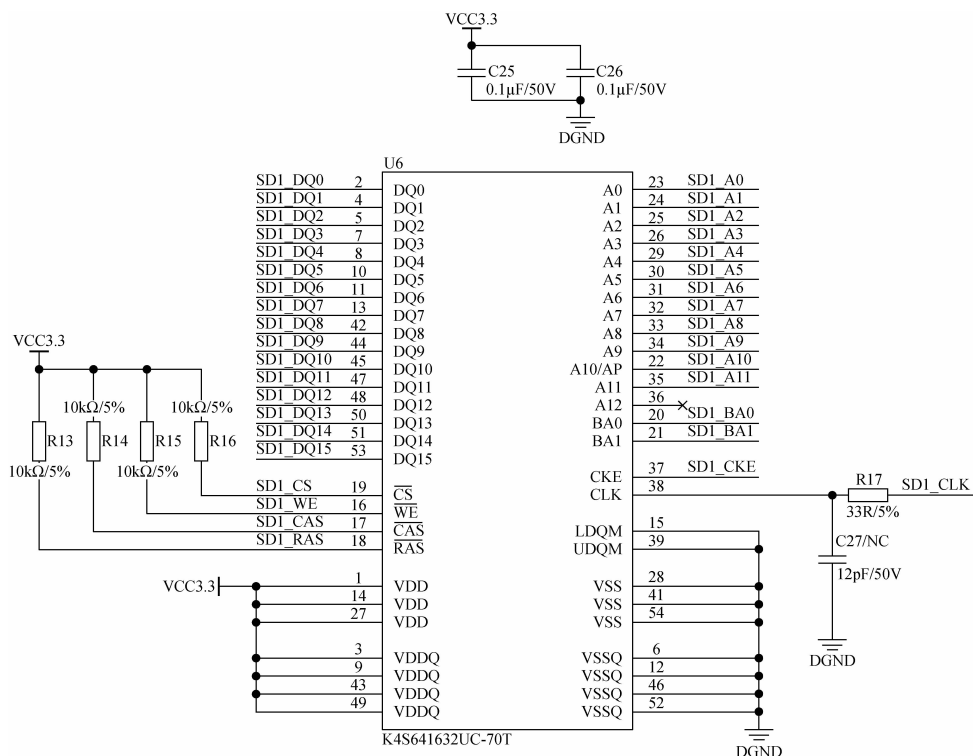


图 3.30 SDRAM 存储器接口电路

如图 3.31 所示,在 FPGA 这端,把 SD1_CLK 专门连接到了 PLL1_CLKOUTp 这个引脚上。这个引脚有什么特别,它又有什么学问呢? 它的作用和它的名字一样,可以先找到它下面的一个名为 PLL1_CLKOUTn 的引脚,它们是一对,时钟源是来自于 FPGA 的 PLL。

为什么 PLL 输出的时钟一定要有专门的这样一对引脚呢？这和前面的全局时钟网络存在的意义有着异曲同工之妙。PLL 到这对引脚上的延时相对是比较受控的,目的就是为了得到更低延时、更稳定可靠的时钟信号。SDRAM 的时钟高达 100MHz 以上,所以就必须使用这个专用的引脚。

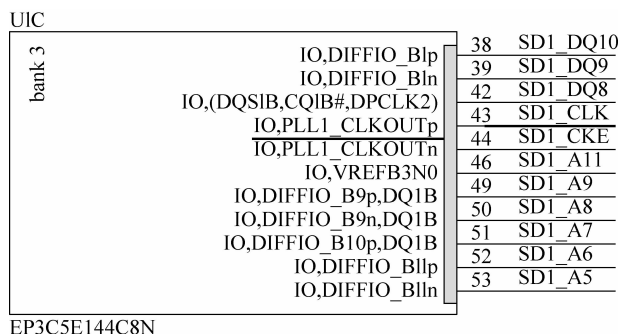


图 3.31 FPGA 端的 SDRAM 时钟引脚连接电路

3.2.7 引脚分配规划和扩展 I/O 电路

核心板上专门留了一个 LED 指示灯连接到 FPGA 引脚上,用于板子的测试。I/O_28 输出高电平,LED 将被导通点亮,输出低电平,LED 截止则不亮,其电路如图 3.32 所示。

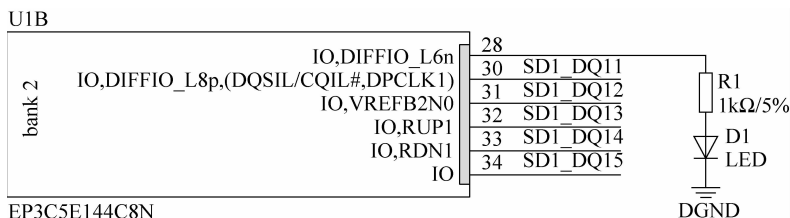


图 3.32 连接 FPGA 引脚的 LED 驱动电路

如图 3.33 所示,该板子通过两个 32PIN 的连接器将 46 个 I/O 脚引出。每个连接器都有可用的 23 个 I/O。电源 5V/3.3V/GND 也都引出扩展。具体的引脚定义和使用在后续每个子板的介绍中将会进行详细的定义和说明,其实这也是 FPGA 的 I/O 引脚灵活的体现,对于一般的信号,FPGA 的 I/O 可以随意连接。

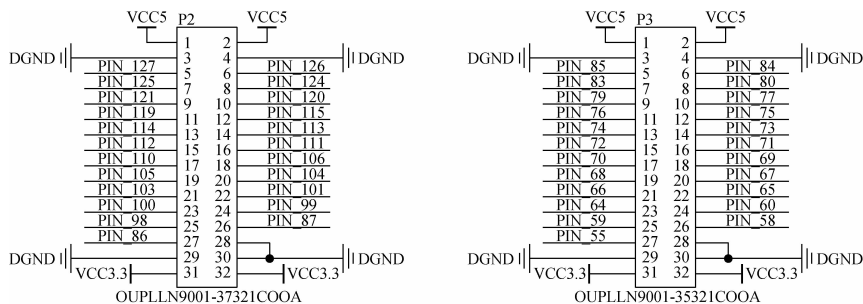


图 3.33 核心板引出的两个插座电路

3.3 扩展子板设计

如图 3.34 所示,围绕 FPGA 器件设计的核心板,它的诱人之处在于引出的两个 32PIN 插座。这两组可扩展的接口,可以连接各种各样的外设子板,也可以作为一个电子爱好者无限 DIY 的平台。针对这个子板,目前已经推出的子板模块有基本外设子板、LCD 显示驱动子板、VGA 显示驱动子板、USB 和 UART 串口子板、超声波与视频采集子板。

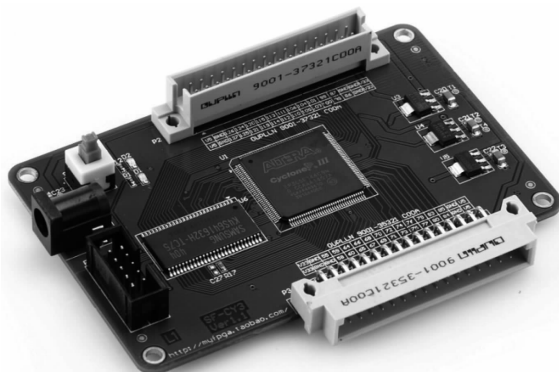


图 3.34 FPGA 核心板实物图

如表 3.1 所示,这是目前推出的核心板和各个模块的主要功能及其外设列表。

表 3.1 各个模块的外设和功能描述

模块名称	主要外设	功能描述
SF-CY3FPGA 核心板	Cyclone III FPGA, 4Mbit SPI Flash, 4M×16bit SDRAM, 3.3V/2.5V/1.2V 电源转换电路, 25MHz 有源晶振, 1 个电源插座, 1 个电源开关, 1 个电源指示灯, 1 个 FPGA 控制指示灯, JTAG 插座, 2 个 32PIN 扩展插座	FPGA 核心板, 该板搭建起一个基本的嵌入式系统。2 个可扩展的 32PIN 插座连接其他各个子模块, 可以实现各种外设的控制
SF-BASE 基本外设子板	A/D 芯片 TLC549, D/A 芯片 DAC5571, 1 个 32PIN 的插座, 1 个有源蜂鸣器, 8 个 LED 指示灯, 4 位 7 段数码管	基本的扩展子模块, 该模块配合核心板可以做一些基本的 FPGA 逻辑和 NIOS II 片上系统实验
SF-LCD LCD 显示驱动子板	1 个 32PIN 的插座, 背光升压芯片 RT9293, 54PIN 的 FPC 插座用于连接 LCD, 配套 1 块 3.5 寸 320×240 真彩液晶屏	显示扩展子模块, 使用核心模块的 FPGA 对液晶屏进行驱动是一个很炫的项目
SF-SENSOR 超声波与视频采集子板	1 个 32PIN 的插座, 16PIN 的插座用于连接 CMOS Sensor 模块, 4PIN 的插座用于连接超声波测距模块, 2PIN 的插座用于安装纽扣电池, 实时时钟芯片 PCF8563, 中文字库芯片 GT21L16S2W	该扩展子模块配合核心模块以及 SF-LCD 模块, 可以进行很多人机交互的实例, 如视频图像采集显示、超声波测距显示、实时时钟显示、中文字符显示等
SF-VGA VGA 显示驱动子板	1 个 32PIN 的插座, 3 路 DAC 芯片 ADV7123, 1 个 VGA 连接器	该子板可以用于 FPGA 对 VGA 显示器的驱动

续表

模块名称	主要外设	功能描述
SF-USB USB和 UART 串口子板	1个 32PIN 的插座,USB 芯片 CH376S, USB 转 UART 芯片 FT232,12MHz 晶体,2 个轻触按键,1 个 SD 卡插座,1 个 USB 插座用于 USB 传输,1 个 USB 插座用于 UART 传输	该子板可以实现 USB 和 PC 的传输、U 盘和 SD 卡的读/写、UART 传输等。该子板配合核心板和 SF-LCD 子板,可以实现数码相框的功能

3.3.1 基本外设子板

SF-BASE 基本外设子板的各个主要外设芯片的实物位置如图 3.35 所示。

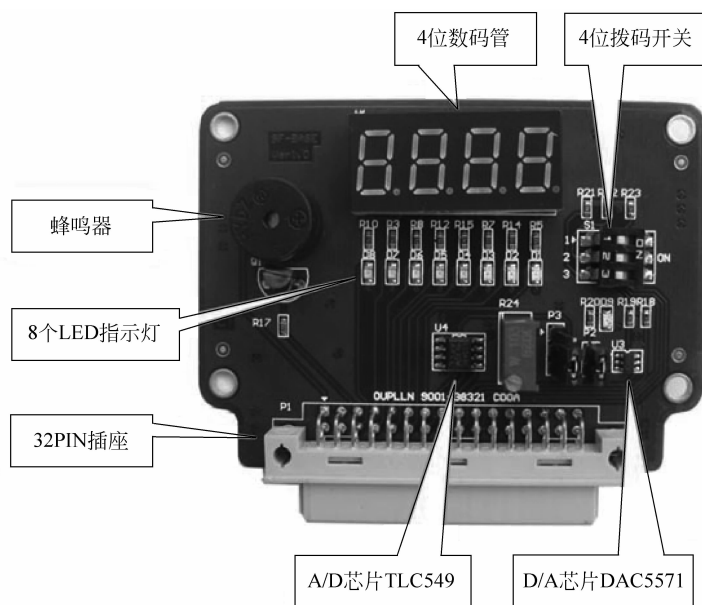


图 3.35 SF-BASE 子板实物图

SF-BASE 板载 32PIN 插座 P1,对应与 SF-CY3 核心板的 32PIN 插座 P2 相连。连接后,SF-CY3 核心板和 SF-BASE 子板呈直角,如图 3.36 所示。

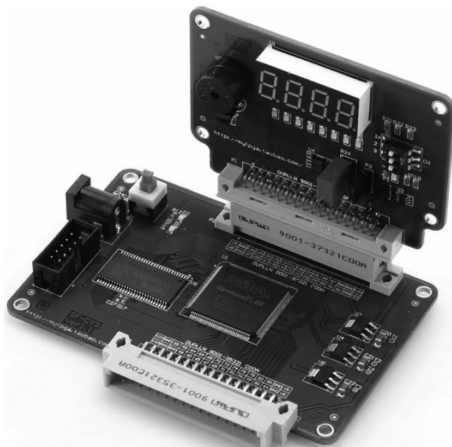


图 3.36 SF-CY3 核心板与 SF-BASE 子板连接

主要插座引脚的定义如图 3.37 所示。插座左右两侧列出的引脚号都是对应 SF-CY3 的 P2 插座到 FPGA 的 I/O 引脚号。

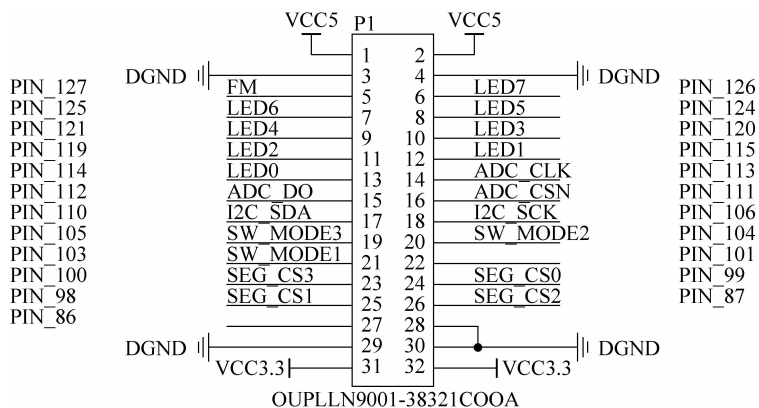


图 3.37 SF-BASE 子板与 FPGA 的连接插座电路

SF-BASE 子板信号连接 FPGA 引脚的定义如表 3.2 所示。

表 3.2 SF-BASE 与 FPGA 引脚的定义

分类	名称	引脚号	功能描述
蜂鸣器	FM	127	控制蜂鸣器发声
LED 指示灯	LED0	114	控制 LED 指示灯 D1 的亮灭。也复用为数码管段选信号
	LED1	115	控制 LED 指示灯 D2 的亮灭。也复用为数码管段选信号
	LED2	119	控制 LED 指示灯 D3 的亮灭。也复用为数码管段选信号
	LED3	120	控制 LED 指示灯 D4 的亮灭。也复用为数码管段选信号
	LED4	121	控制 LED 指示灯 D5 的亮灭。也复用为数码管段选信号
	LED5	124	控制 LED 指示灯 D6 的亮灭。也复用为数码管段选信号
	LED6	125	控制 LED 指示灯 D7 的亮灭。也复用为数码管段选信号
	LED7	126	控制 LED 指示灯 D8 的亮灭。也复用为数码管段选信号
拨码开关	SW_MODE1	103	拨码开关 1~6 的开关状态
	SW_MODE2	104	拨码开关 2~5 的开关状态
	SW_MODE3	105	拨码开关 3~4 的开关状态
数码管	SEG_CS0	99	数码管千位的选择信号
	SEG_CS1	98	数码管百位的选择信号
	SEG_CS2	87	数码管十位的选择信号
	SEG_CS3	100	数码管个位的选择信号
A/D 芯片	ADC_CSN	111	A/D 芯片的传输片选信号
	ADC_CLK	113	A/D 芯片的传输时钟信号
	ADC_DO	112	A/D 芯片的传输数据输出信号
D/A 芯片	I2C_SCK	106	D/A 芯片的 I ² C 时钟信号
	I2C_SDA	110	D/A 芯片的 I ² C 数据信号

蜂鸣器驱动电路如图 3.38 所示。FM 信号由 FPGA 的 I/O 口控制。当 FM 为高电平时, Q1 的 BE 导通, 则 CE 导通, 蜂鸣器的 5V 和 GND 形成回路, 发出声音。当 FM 为低电平时, Q1 的 BE 断开, 则 CE 断开, 蜂鸣器的 5V 和 GND 断开, 因此没有电流流过蜂鸣器, 蜂

鸣器便不发声。在后面的实验中,可以使用 PWM 信号,即以固定的时高时低的电平控制 Q1 的导通与否,然后达到蜂鸣器的时断时开,人耳听到的便是不同频率的声响。

8 个 LED 指示灯的电路如图 3.39 所示。它们的公共端接电源 3.3V,另一端连接 FPGA 的 I/O 口。若输出高电平,则 LED 熄灭;若输出低电平,则 LED 点亮。这 8 个 LED 的接口是与数码管的段选信号复用的。

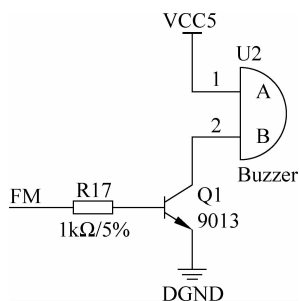


图 3.38 蜂鸣器驱动电路

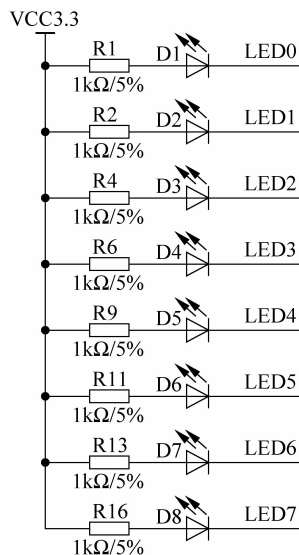


图 3.39 8 个 LED 指示灯电路

3 位的拨码开关电路如图 3.40 所示。

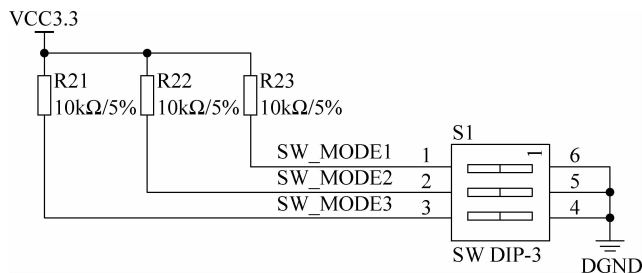


图 3.40 拨码开关电路

如图 3.41 所示,对照实物,默认 3 个拨码开关应该都是拨向左侧(即 1、2、3 标记侧),在电路图上就是 VCC3.3 上拉一侧。就是说,默认情况下,3 个连接 FPGA 的 I/O 口的信号 SW_MODE1、SW_MODE2、SW_MODE3 均为高电平。若拨码开关被拨到右侧(即标记 ON 侧),则采集到的输入就是低电平了。

数码管驱动电路如图 3.42 所示。SEG_CS0、SEG_CS1、SEG_CS2、SEG_CS3 这 4 个信号对应控制数码管 4 位显示的片选信号,低电平有效,若 4 个片选信号都为 0,则 4 位数码管都能点亮显示。LED0~LED7 则也被复用为数码管的段选信号,控制一个数码管的对应段 LED 的亮灭状态,这一组信号对于 4 位的数码管是共用的。在实际控制时,一般会分时点亮需要显示的各个位数码管,只要时间控制得合理,人眼是很容易被“蒙骗”的,很容易就

能看到4个不同的数字显示在数码管上。

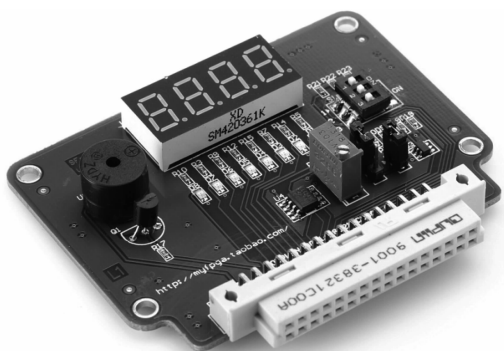


图 3.41 拨码开关实物图

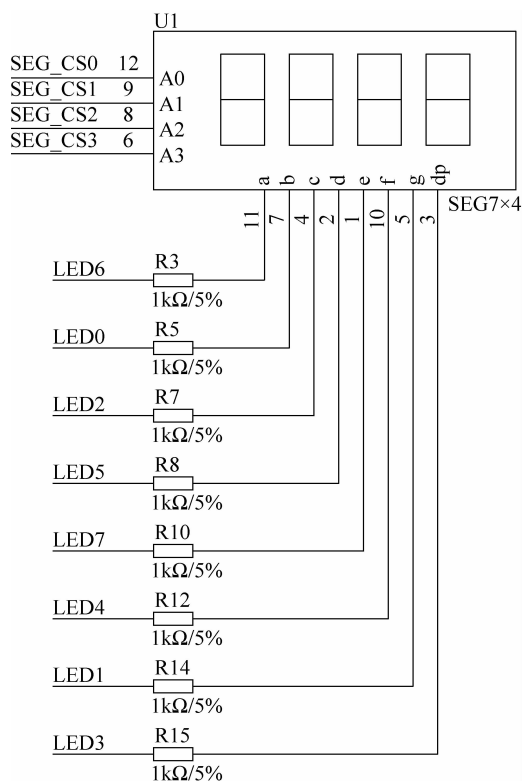


图 3.42 数码管驱动电路

A/D 芯片驱动电路如图 3.43 所示。它通过一个单向(从 A/D 芯片到 FPGA)数据传输的 SPI 接口与 FPGA 相连。FPGA 通过这组 SPI 接口读取当前模拟电压值。为了得到不同的模拟电压值,本书所用开发板在 A/D 芯片的模拟输入端设置了一个 3.3V 的分压电阻,当跳线帽连接了 P3 的 1-2 引脚时,调节可变电阻 R24 的阻值便能改变当前 A/D 采样的数据。跳线帽若连接 P3 的 2-3 引脚,则 A/D 芯片的输入模拟电压来自于 D/A 芯片的当前输出。

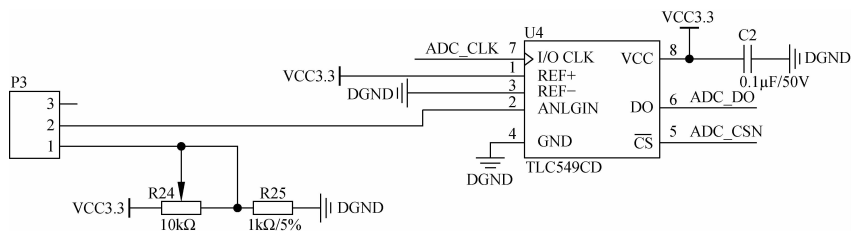


图 3.43 A/D 芯片驱动电路

D/A 芯片驱动电路如图 3.44 所示。这个 D/A 芯片通过 I²C 接口与 FPGA 连接, FPGA 通过这组 I²C 接口输出数据,相应 D/A 芯片的 VOUT 输出模拟电压值。若跳线帽连接 P2 的 1-2 引脚,则不同的模拟电压值输出驱动 D9 指示灯呈现不同的亮度。

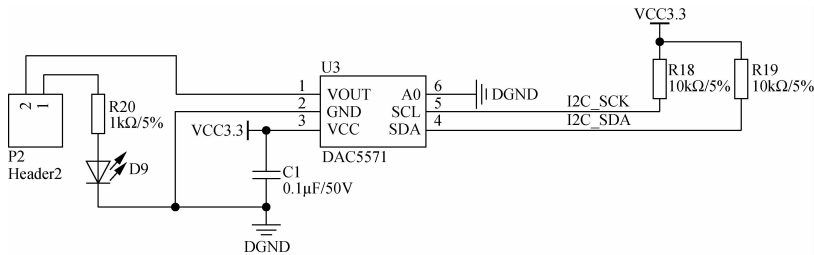


图 3.44 D/A 芯片驱动电路

3.3.2 LCD 显示驱动子板

SF-LCD 子板的各个主要元器件的实物位置如图 3.45 所示。

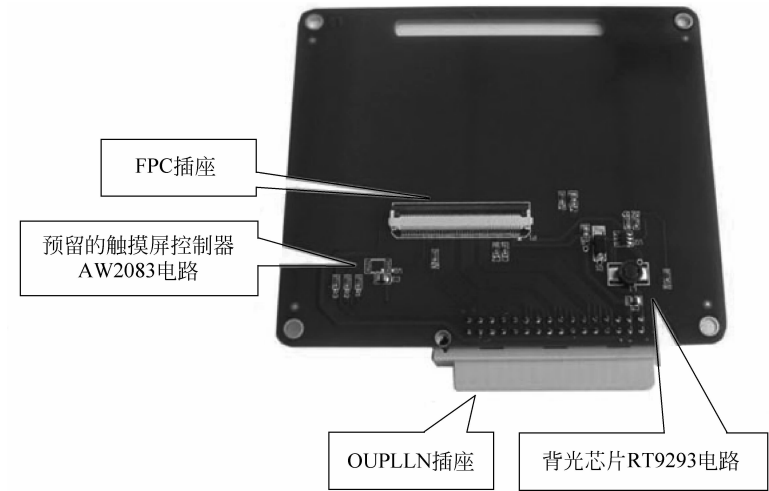


图 3.45 SF-LCD 子板实物图

SF-LCD 子板主要元器件及其功能描述如表 3.3 所示。

表 3.3 SF-LCD 子板主要元器件及其功能描述

外 设 芯 片	主 要 功 能
32PIN 的 OUPLLN 插座	用于 SF-LCD 子板上的各个外设与 SF-CY3 核心板相连
54PIN 的 FPC 插座	用于连接奇美公司的 3.5 寸彩色液晶屏
背光芯片 RT9293	用于产生 3.5 寸液晶屏的背光电压
触摸屏控制器 AW2083	用于电阻触摸屏的模拟电压采集和转换。目前该电路不使用

32PIN 的 OUPLLN 插座电路如图 3.46 所示。该插座用于连接到 SF-CY3 核心板的插座 P3。

SF-LCD 与 FPGA 引脚定义如表 3.4 所示。

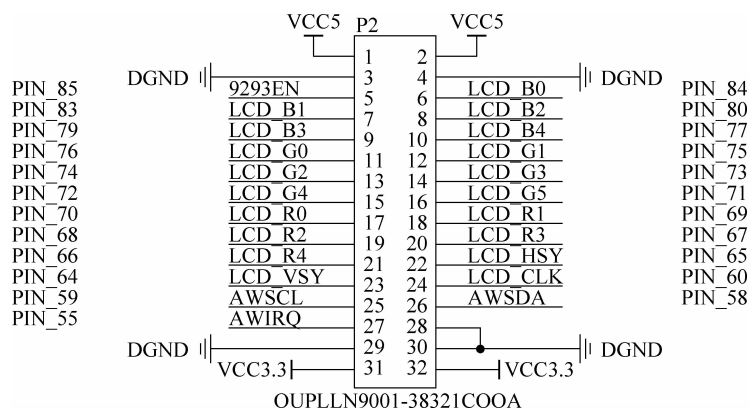


图 3.46 SF-LCD 子板与 FPGA 的连接插座电路

表 3.4 SF-LCD 与 FPGA 引脚定义

分 类	名 称	引 脚 号	功 能 描 述
背光控制	9293EN	85	背光芯片使能信号
LCD 驱动	LCD_B0	84	蓝色数据位 0
	LCD_B1	83	蓝色数据位 1
	LCD_B2	80	蓝色数据位 2
	LCD_B3	79	蓝色数据位 3
	LCD_B4	77	蓝色数据位 4
	LCD_G0	76	绿色数据位 0
	LCD_G1	75	绿色数据位 1
	LCD_G2	74	绿色数据位 2
	LCD_G3	73	绿色数据位 3
	LCD_G4	72	绿色数据位 4
	LCD_G5	71	绿色数据位 5
	LCD_R0	70	红色数据位 0
	LCD_R1	69	红色数据位 1
	LCD_R2	68	红色数据位 2
	LCD_R3	67	红色数据位 3
	LCD_R4	66	红色数据位 4
	LCD_HSY	65	行同步信号
	LCD_VSY	64	场同步信号
	LCD_CLK	60	显示数据锁存时钟
触摸屏控制	AWIRQ	55	中断请求信号
	AWSCL	59	I ² C 接口时钟信号
	AWSDA	58	I ² C 接口数据信号

54PIN 的 FPC 插座用于连接 LCD 进行驱动,这个 LCD 的驱动接口原理图如图 3.47 所示。其接口详细定义和功能描述如表 3.5 所示。

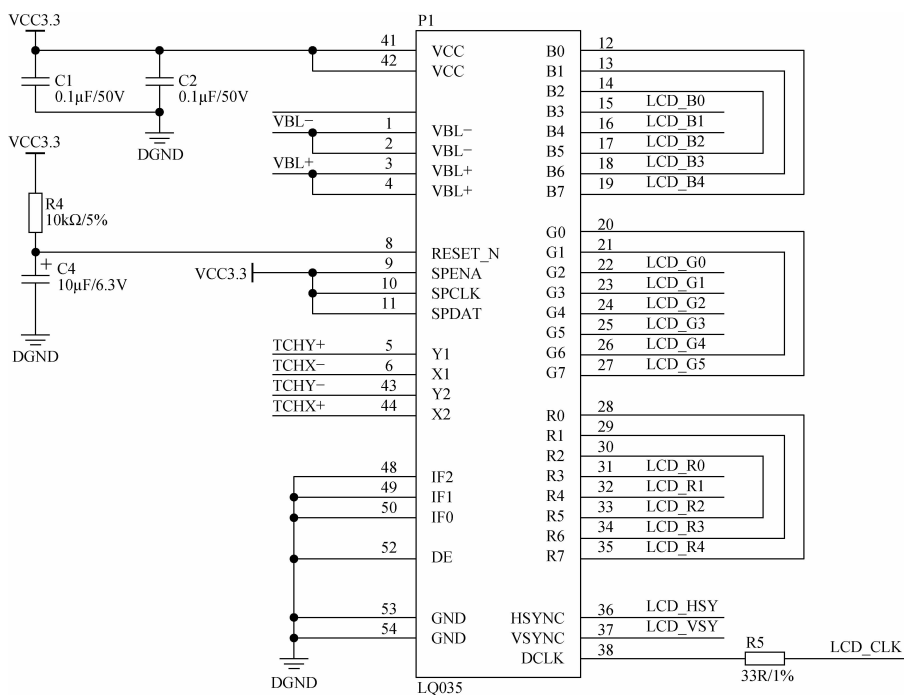


图 3.47 LCD 接口电路

表 3.5 LCD 驱动接口引脚定义

引 脚	信 号	功 能
1	VBL—	LED 背光地
2	VBL—	LED 背光地
3	VBL+	LED 背光电源
4	VBL+	LED 背光电源
5	Y1	触摸屏：上
6	X1	触摸屏：右
7	NC	无连接
8	RESET #	硬件复位
9	SPENA	SPI 接口数据使能信号
10	SPCLK	SPI 接口数据锁存时钟
11	SPDAT	SPI 接口数据信号
12	B0	蓝色数据位 0
13	B1	蓝色数据位 1
14	B2	蓝色数据位 2
15	B3	蓝色数据位 3
16	B4	蓝色数据位 4
17	B5	蓝色数据位 5
18	B6	蓝色数据位 6
19	B7	蓝色数据位 7
20	G0	绿色数据位 0

续表

引 脚	信 号	功 能
21	G1	绿色数据位 1
22	G2	绿色数据位 2
23	G3	绿色数据位 3
24	G4	绿色数据位 4
25	G5	绿色数据位 5
26	G6	绿色数据位 6
27	G7	绿色数据位 7
28	R0	红色数据位 0
29	R1	红色数据位 1
30	R2	红色数据位 2
31	R3	红色数据位 3
32	R4	红色数据位 4
33	R5	红色数据位 5
34	R6	红色数据位 6
35	R7	红色数据位 7
36	HSYNC	行同步信号
37	VSYNC	场同步信号
38	DCLK	显示数据锁存时钟
39	NC	不连接
40	NC	不连接
41	VCC	数字电源
42	VCC	数字电源
43	Y2	触摸屏：下
44	X2	触摸屏：左
45	NC	不连接
46	NC	不连接
47	NC	不连接
48	IF2	数据输入格式控制引脚
49	IF1	数据输入格式控制引脚
50	IF0	数据输入格式控制引脚
51	NC	不连接
52	DE	数据输入使能
53	GND	数字地
54	GND	数字地

可以将表 3.5 中的信号接口归为 5 类。第 1 类是数字信号接口,如 RESET、SPENA、SPCLK、SPDAT、Rx(x 为 0~7)、Gx、Bx、HSYNC、VSYNC、DCLK 和 DE。此类信号主要是传输显示数据给 LCD 面板。这么多接口,是不是所有的引脚都要用上呢? 不是的,其实

仔细看这款 LCD 的 datasheet,可以发现它提供了多种数据传输方式,有常见的并行 RGB 数据传输,也有 CCIR601/656 等方式。前者通常驱动时钟慢一些,而需要的数据总线宽一些,传输协议也更简单,故也更倾向于采用前者进行通信。由于这里的数据接口共 24bit,也就是说每个像素点的色彩可以显示 2^{24} 种,即通常所说的 1600 万色。不过实际上并没有用足这 24bit 数据线,我们的图片是 16bit,基本上人眼感觉已经够绚丽了。因此,在硬件连接上做了如图 3.47 所示的处理,目的是减少数据位宽。SPENA、SPCLK、SPDAT 是 SPI 接口,用于给 LCD 的一些控制寄存器写数据,有些液晶屏需要在 LCD 上电后用该接口做一些配置才能够正常使用,而使用的这款屏则不需要,因此可以不必理会这些引脚。时序的控制上既可以用 HSYNC/VSYNC 模式(本书采用的电路使用了该模式),也可以用只有 DE 的模式。

第 2 类接口,即液晶的模式设置专用输入接口,包括 IF0、IF1、IF2 等接口,它们的主要功能就是设置使用哪种数据传输方式,在设计中统一采用并行 RGB 数据传输。

第 3 类接口是触摸屏信号接口,这是模拟信号,如 Y1、X1、Y2、X2,这些引脚是否使用需要看液晶屏是否接好了触摸屏。

第 4 类接口是电源接口,即 VCC(接 3.3V)和 GND 信号。

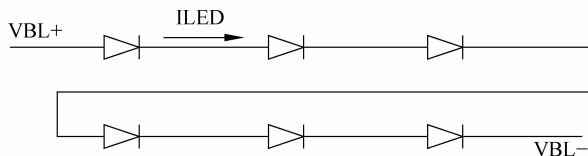
第 5 类是背光电源,即 VBL+ 和 VBL- 信号,这部分硬件上设计了专门的背光电源电路产生 19.8V 电压进行供电。

如图 3.48 所示,LCD 内部的背光是 6 个 LED 串联,每个 LED 的额定电压是 3.3V,电流是 20mA。因此,要驱动这 6 个 LED 就需要 19.8V/20mA 的电压。这里系统输入电源是 5V,必须升压才能够得到 19.8V。

5.2 LED driving conditions

Parameter	Symbol	Min.	Typ.	Max.	Unit	Remark
LED current		—	20	—	mA	
Power Consumption		—	400	420	mW	
LED Voltage	VBL+	18.6	19.8	21	V	Note 1
LED Life Time	—		(50 000)—	—	Hr	Note 2,3

Note 1: There are 1 Groups LED



Note 2: Ta=25°C

Note 3: Brightness to be decreased to 50% of the initial value

图 3.48 LCD 的背光驱动条件

LCD 背光驱动电路如图 3.49 所示,这里使用了升压芯片 RT9293,该芯片为恒流控制,只要设定驱动电流即可使 LCD 的背光正常工作。FB 引脚和 GND 之间有两个 33Ω 电阻并联,得到的阻值是 16.5Ω,该阻值对应设置了约 20mA 的驱动电流。

触摸屏驱动器芯片 AW2083 电路如图 3.50 所示。它由两路的差分模拟电压输入,用于采集电阻式触摸屏的模拟电压。数字端有一个 IRQ 中断信号可以连接到 FPGA,FPGA 接收到中断后,作为主机,可以通过 I²C 接口读取当前的触摸屏坐标数据。由于本书所用电路使用的 3.5 寸液晶屏 LQ035NC111 带触摸屏版本已经停产,所以在电路只是保留,但不焊接芯片。

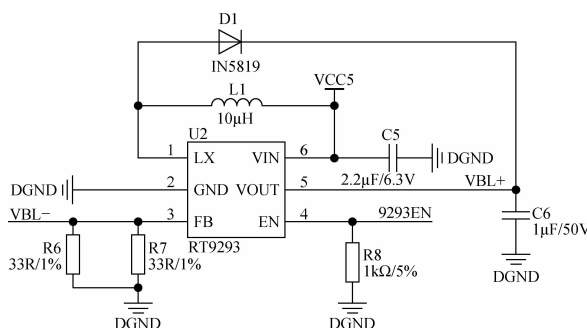


图 3.49 LCD 背光驱动电路

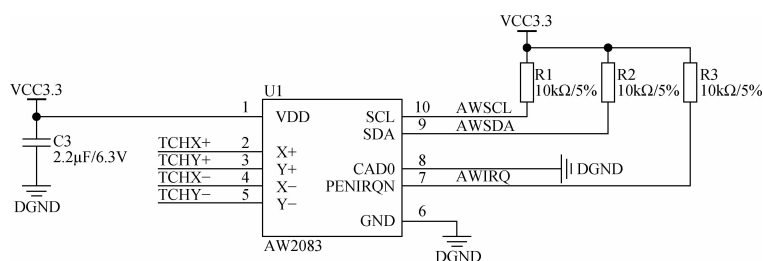


图 3.50 触摸屏驱动电路

SF-LCD 子板装配好后,与 SF-CY3 核心板(同时连接 SF-SENSOR 子板)相连接的实物如图 3.51 所示。

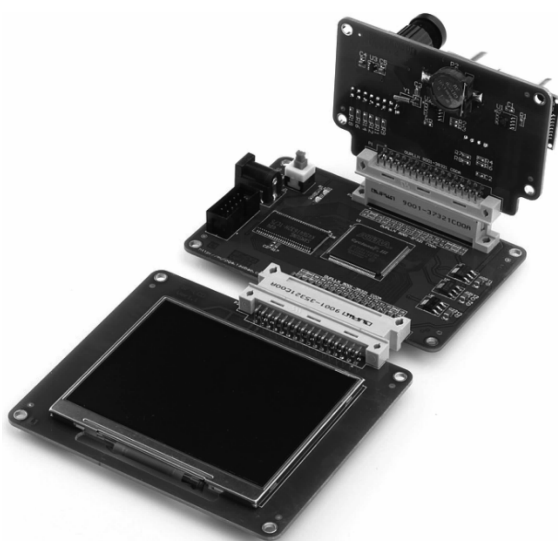


图 3.51 SF-LCD 子板与 SF-CY3 核心板连接实物

3.3.3 VGA 显示驱动子板

SF-VGA 板载用于驱动 VGA 显示器的专用 D/A 转换芯片 AVD7123,FPGA 通过 OUPLLN 连接器驱动 ADV7123 芯片产生供给 VGA 显示器的色彩以及同步信号。SF-CY3 核

心板与 SF-VGA 子板模块连接的系统框图如图 3.52 所示。FPGA 产生 ADV7123 的同步信号以及 3 组供给 ADV7123 内部 3 路并行 D/A 转换的数字信号,经过 ADV7123 的这 3 组 VGA 色彩数字信号最终转换为 $0\sim 0.7\text{V}$ 的模拟电压送给 VGA 显示器。而 FPGA 另外会产生用于同步色彩数据的场同步信号 VSYNC 和行同步信号 HSYNC。

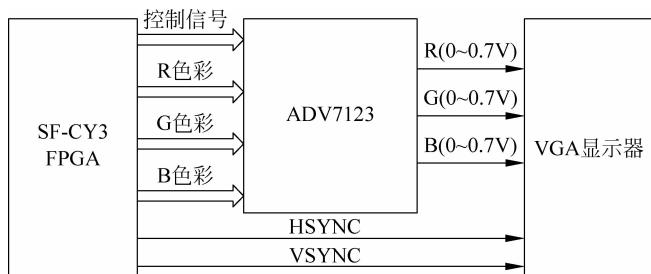


图 3.52 SF-CY3 核心与 SF-VGA 子板模块连接的系统框图

SF-VGA 子板的实物图如图 3.53 和图 3.54 所示。

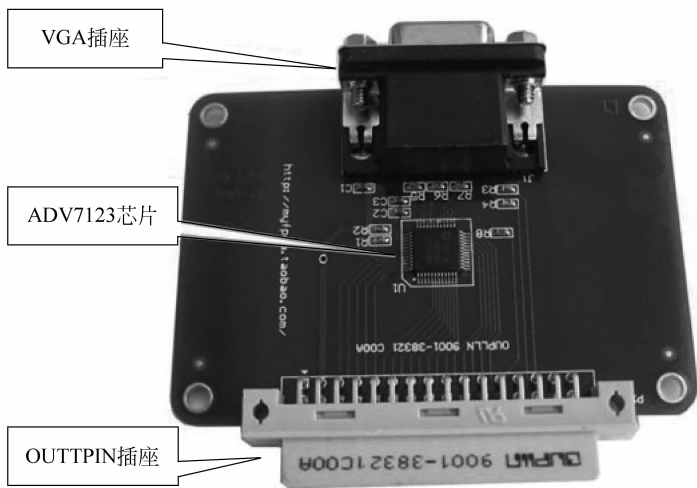


图 3.53 SF-VGA 子板实物图 1

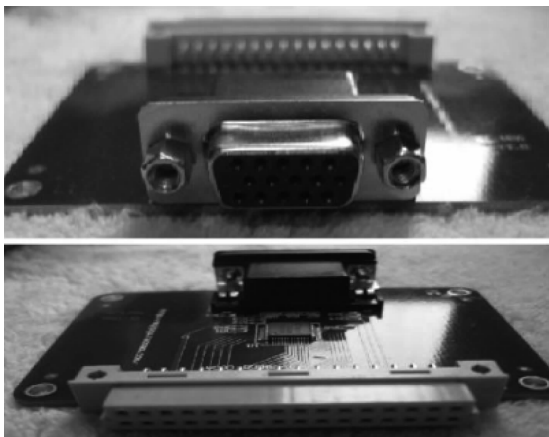


图 3.54 SF-VGA 子板实物图 2

ADV7123 芯片以及外围电路如图 3.55 所示。它的 3 路 D/A 信号实际上都是 8bit,但是此处只使用了 565 的 RGB(即 5bit 的 R 信号,6bit 的 G 信号,5bit 的 B 信号)输出,所以把不使用的 RGB 信号都统一接地。用于同步数据传输的有时钟 LCD_CLK、转换数据有效控制信号 LCD_BLK 和补偿同步控制信号 LCD_SYN。根据 datasheet,实际上无须使用 LCD_SYN,所以逻辑驱动给 0 电平就可以了。而 LCD_CLK 和输出的数据总线同步,根据所需要的显示驱动分辨率和刷新率决定,LCD_BLK 信号则在数据总线有效时拉高即可。

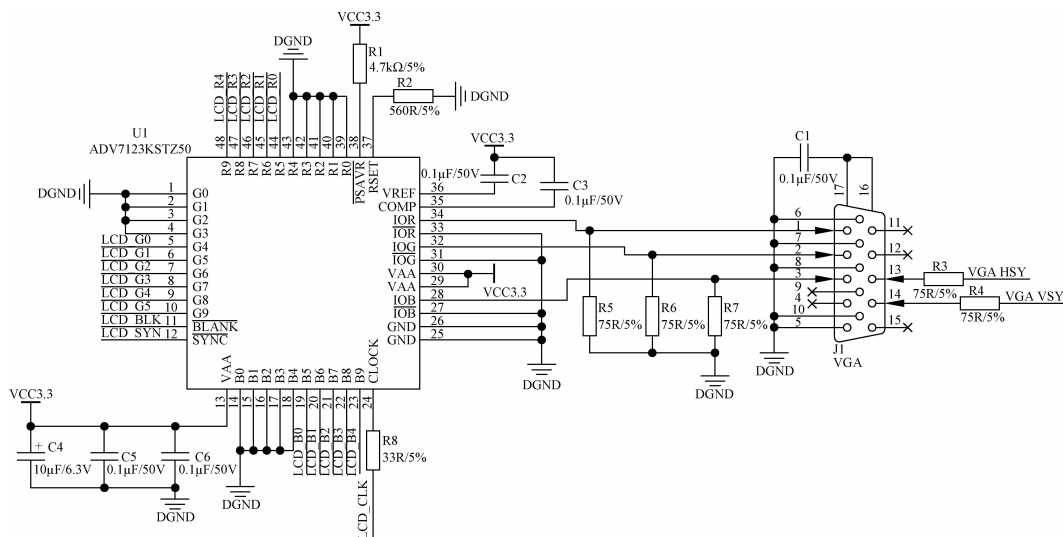


图 3.55 ADV7123 与 VGA 接口电路

ADV7123 的模拟输出 IOR、IOG、IOB 信号直接连接到 VGA 插座上,同时 FPGA 输出的两个同步信号 VGA_HSY 和 VGA_VSY 也直接连接到 VGA 插座上。

SF-VGA 子板上用于连接 SF-CY3 核心板的连接器电路如图 3.56 所示。

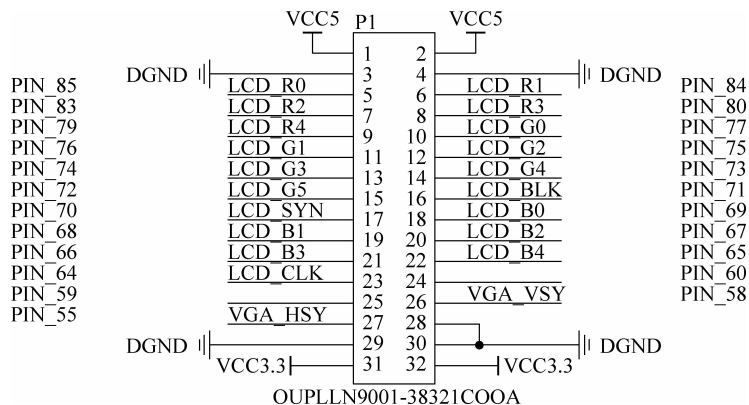


图 3.56 SF-VGA 子板与 FPGA 的连接插座电路

SF-VGA 与 FPGA 引脚定义如表 3.6 所示。

表 3.6 SF-VGA 与 FPGA 引脚定义

分 类	名 称	引 脚 号	功 能 描 述
VGA 数据信号	LCD_R0	85	红色数据位 0
	LCD_R1	84	红色数据位 1
	LCD_R2	83	红色数据位 2
	LCD_R3	80	红色数据位 3
	LCD_R4	79	红色数据位 4
	LCD_G0	77	绿色数据位 0
	LCD_G1	76	绿色数据位 1
	LCD_G2	75	绿色数据位 2
	LCD_G3	74	绿色数据位 3
	LCD_G4	73	绿色数据位 4
	LCD_G5	72	绿色数据位 5
	LCD_B0	69	蓝色数据位 0
	LCD_B1	68	蓝色数据位 1
	LCD_B2	67	蓝色数据位 2
	LCD_B3	66	蓝色数据位 3
	LCD_B4	65	蓝色数据位 4
VGA 同步信号	VGA_VSY	58	场同步信号
	VGA_HSY	55	行同步信号
A/D 控制信号	LCD_CLK	64	数据同步时钟信号
	LCD_BLK	71	转换数据有效控制信号
	LCD_SYN	70	补偿同步控制信号

SF-VGA 子板的 OUPLLN 插座 P1 连接 SF-CY3 核心板的插座 P3,其实物连接如图 3.57 所示。

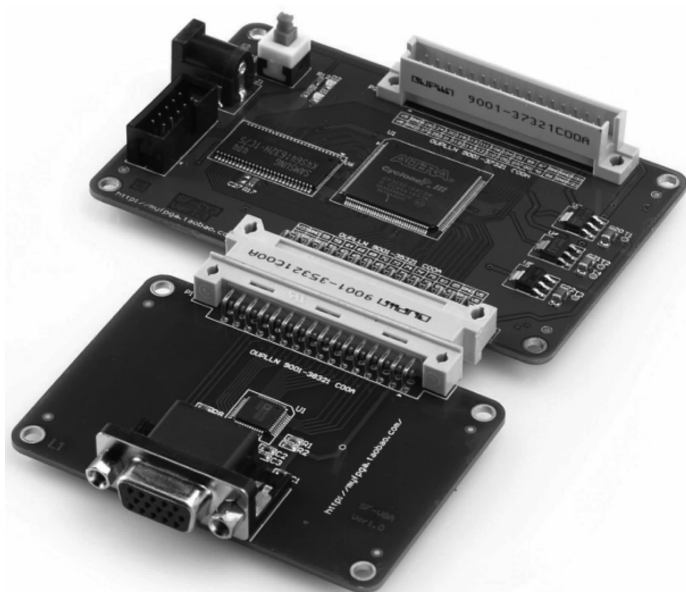


图 3.57 SF-VGA 子板与 SF-CY3 核心板的实物连接图

3.3.4 USB 和 UART 串口子板

SF-USB 子板主要有两颗和 USB 相关的芯片,CH376S 是集成了 USB 物理层/设备/主机的不折不扣的 USB 芯片,它通过一条并行总线连接到 FPGA,FPGA 可以利用这条总线来进行 USB 数据通信。CH376S 不仅可以作为 USB 设备和 PC 通信,而且也可以作为主机连接 U 盘或者 SD 卡等设备。而 FT232R 则是一颗 USB 转 UART 芯片,确切地说,应该是一颗能够借 USB 线缆传输 UART 协议的芯片。SF-USB 子板的功能框图如图 3.58 所示。

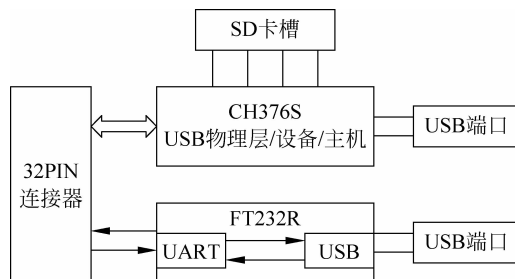


图 3.58 SF-USB 子板的功能框图

SF-USB 子板的实物图如图 3.59 所示。

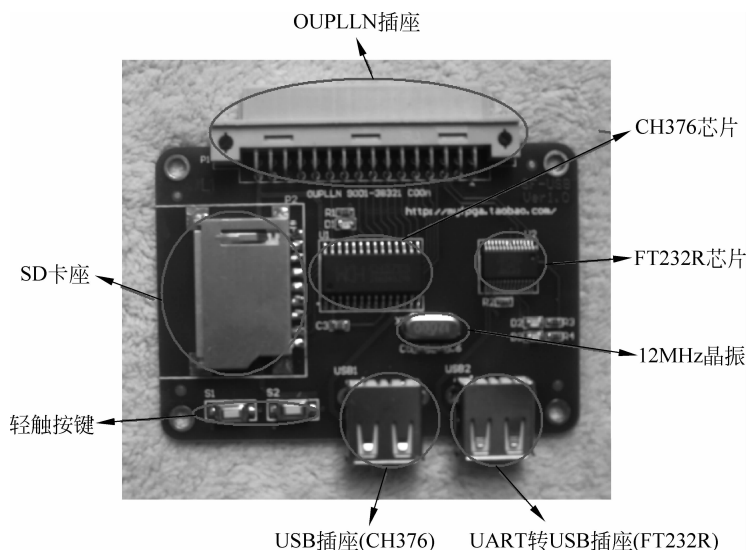


图 3.59 SF-USB 子板实物图

CH376S 是文件管理控制芯片,用于单片机/DSP/MCU/MPU 系统读/写 U 盘或者 SD 卡中的文件。CH376S 支持 USB 设备方式和 USB 主机方式,并且内置了 USB 通信协议的基本固件,内置了处理海量存储设备的专用通信协议的固件,内置了 SD 卡的通信接口固件,内置了 FAT12、FAT16 和 FAT32 文件系统的管理固件,支持常用的 USB 存储设备(包括 U 盘/USB 硬盘/USB 闪存盘/USB 读卡器)和 SD 卡(包括标准容量 SD 卡和高容量 HCSD 卡以及协议兼容的 MMC 卡和 TF 卡)。

CH376S 支持 3 种通信接口：8 位并口 (SF-USB 子板的硬件接口方式)、SPI 接口或者异步串口。单片机/DSP/MCU/MPU 等控制器可以通过上述任何一种通信接口控制 CH376S 芯片,从而存取 U 盘、SD 卡中的文件或者与 PC 通信。

FPGA 与 CH376S 之间通过一组并口总线进行通信。如图 3.60 所示,FPGA 处于主机(注意这里所说的主机和从机只是针对并口通信而言,不是指 USB 的主机和从机)地位,它通过片选信号 $\overline{CS}$ 、写选信号 $\overline{WR}$ 、读选信号 $\overline{RD}$ 、指令/数据信号 A0 和数据总线 DATA[7:0] 对 CH376S 的数据或控制寄存器进行读/写。CH376S 处于从机地位,当它需要返回数据时,则通过中断信号 $\overline{INT}$ 向 FPGA 发出请求,然后 FPGA 根据当前发送过的指令状态执行相应的读取或写入操作。

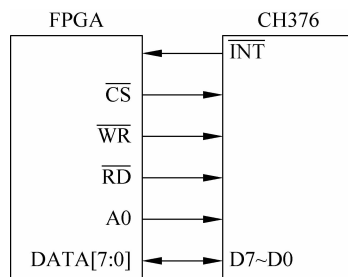


图 3.60 FPGA 与 CH376S 互联

CH376S 接口电路如图 3.61 所示。其 SD 卡接口电路如图 3.62 所示。P3 为 USB 端口,X1 为 12MHz 的晶振,P2 为 SD 座。

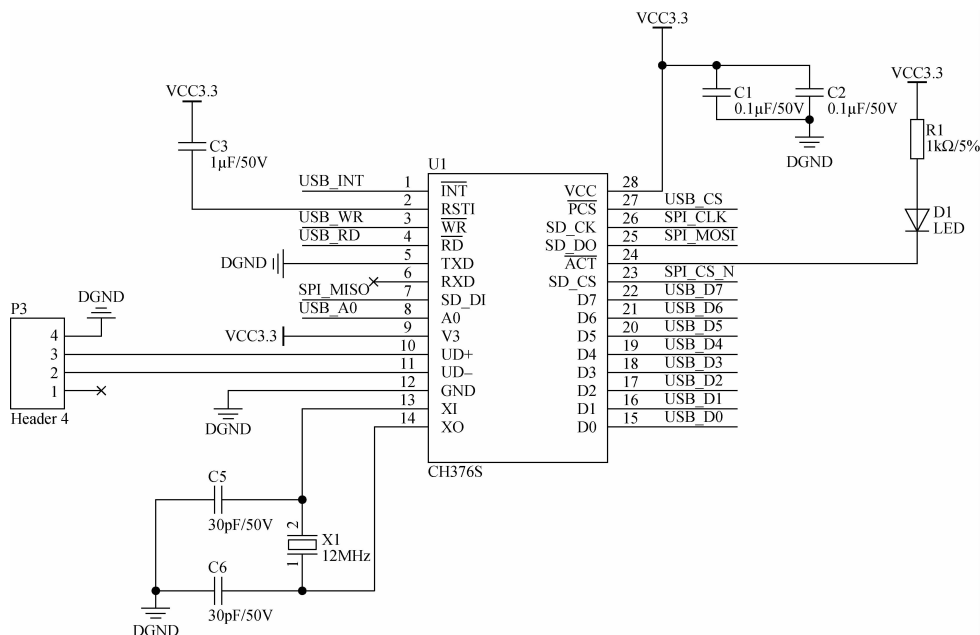


图 3.61 CH376S 接口电路

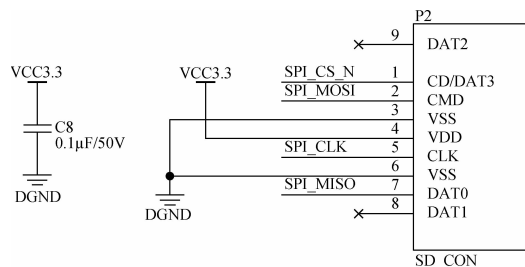


图 3.62 SD 卡接口电路

CH376S 引脚定义如表 3.7 所示。

表 3.7 CH376S 引脚定义

引 脚 号	引 脚 名 称	类 型	说 明
28	VCC	电源	正电源输入端,需要外接 $0.1\mu\text{F}$ 退耦电容
12	GND	电源	公共接地端,需要连接 USB 总线的地线
9	V3	电源	3.3V 电源时,连接 VCC 输入外部电源;5V 电源时,外接 $0.01\mu\text{F}$ 退耦电容
13	X1	输入	晶体振荡的输入端,需要外接 12MHz 晶振
14	X0	输入	晶体振荡的反向输入端,需要外接 12MHz 晶振
10	UD+	USB 信号	USB 总线的 U+ 数据
11	UD-	USB 信号	USB 总线的 U- 数据
23	SD_CS	开漏输出	SD 卡 SPI 接口的片选输出,低电平有效,内置上拉电阻
26	SD_CK	输出	SD 卡 SPI 接口的串行时钟输出
7	SD_DI	输入	SD 卡 SPI 接口的串行输入数据,内置上拉电阻
25	SD_DO	输出	复用引脚;SD 卡 SPI 接口的串行数据输出
25	RST	输出	复用引脚;在进入 SD 卡模式之前是电源上电复位和外部复位输出,高电平有效
22~15	D0~D7	双向三态	并口的 8 位双向数据总线,内置上拉电阻
18	SCS	输入	SPI 接口的片选输入,低电平有效,内置上拉电阻
20	SCK	输入	SPI 接口的串行时钟输入,内置上拉电阻
21	SDI	输入	SPI 接口的串行数据输入,内置上拉电阻
22	SDO	三态输出	SPI 接口的串行数据输出
19	BZ	输出	SPI 接口的忙状态输出,高电平有效
8	A0	输入	并口的地址输入,区分命令和数据;内置上拉电阻,当 $A0=1$ 时可以读/写命令或读状态,当 $A0=0$ 时可以读/写数据
27	$\overline{\text{PCS}}$	输入	并口的片选输入,低电平有效,内置上拉电阻
4	$\overline{\text{RD}}$	输入	并口的读选通输入,低电平有效,内置上拉电阻
3	$\overline{\text{WR}}$	输入	并口的写选通输入,低电平有效,内置上拉电阻
5	TXD	输入/输出	在芯片内部复位期间为接口配置输入,内置上拉电阻; 在芯片复位完成后为异步串口的串行数据输出
6	RXD	输入	异步串口的串行数据输入,内置上拉电阻
1	$\overline{\text{INT}}$	输出	中断请求输出,低电平有效,内置上拉电阻
24	$\overline{\text{ACT}}$	开漏输出	状态输出,低电平有效,内置上拉电阻。在 USB 主机方式下是 USB 设备正在连接状态输出;在 SD 卡主机方式下是 SD 卡 SPI 通信成功状态输出;在内置固件的 USB 设备方式下是 USB 设备配置完成状态输出
2	RSTI	输入	外部复位输出,高电平有效,内置下拉电阻

FT232 芯片内部功能框图如图 3.63 所示。它通过 USB 的 D+ /D- 与 PC 进行通信,芯片内部能够根据 USB 协议对数据进行处理,最终通过 FIFO 将这些数据转换为 UART 协议和 FPGA 进行通信。

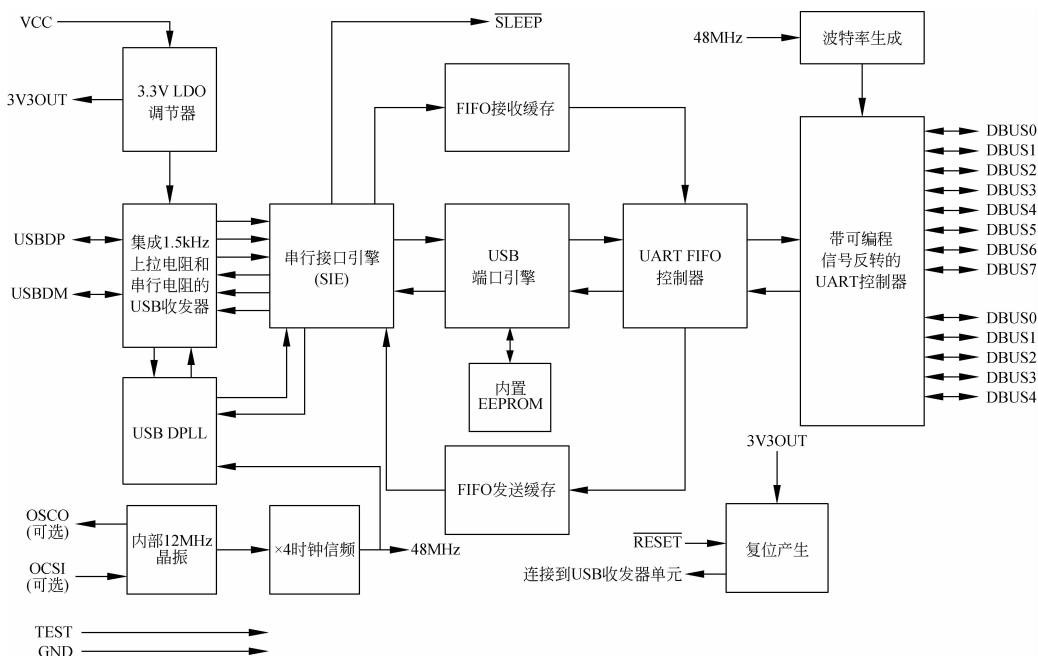


图 3.63 FT232 芯片内部功能框图

FT232R 的接口电路如图 3.64 所示。P4 为 USB 端口,用于连接 PC,UART_TX 和 UART_RX 分别为 FT232R 芯片的 UART 发送和 UART 接收信号,对应地,UART_TX 就是 FPGA 的 UART 接收信号,而 UART_RX 就是 FPGA 的 UART 发送信号。D2 和 D3 连接着 U2-23/22,在 UART_RX 和 UART_TX 收发的时候它们会闪烁以指示工作状态。

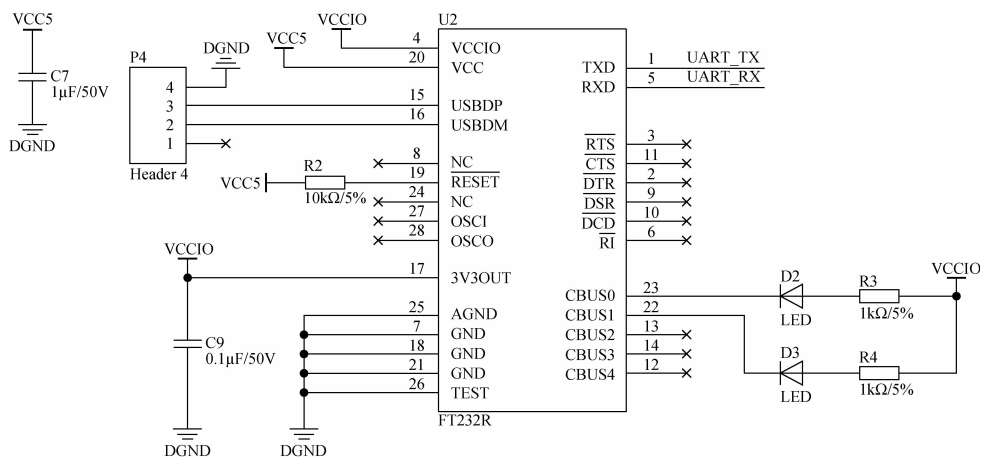


图 3.64 FT232R 的接口电路

FT232R 的引脚定义如表 3.8 所示。

表 3.8 FT232R 的引脚定义

引脚号	引脚名称	类型	说明
15	USBDP	I/O	USB 差分信号正,内部集成串联电阻和 1.5kΩ 上拉到 3.3V
16	USBDM	I/O	USB 差分信号负,内部集成串联电阻
4	VCCIO	PWR	I/O 供电电压
7,18,21	GND	PWR	芯片的地引脚
17	3V3OUT	O	经过内部 LDO 输出的 3.3V 电压,最大供电电流 50mA
20	VCC	PWR	芯片核电压,可以供 3.3~5.25V
25	AGND	PWR	用于内部时钟倍频的模拟地
8,24	NC	NC	无连接
19	RESET	I	复位引脚,低电平有效。内部有上拉电阻,不使用该引脚可以浮空
26	TEST	I	内部测试引脚,正常工作是必须接地
27	OSCI	I	12MHz 晶振输入引脚
28	OSCO	O	12MHz 晶振输出引脚
1	TXD	O	芯片的 UART 数据发送信号
2	DRT	O	数据终端准备控制输出/握手信号
3	RTS	O	请求发送控制输出/握手信号
5	RXD	I	芯片的 UART 数据接收信号
6	RI	I	振铃提示控制输入信号
9	DSR	I	数据设置准备控制输入/握手信号
10	DCD	I	数据传输检测控制输入
11	CTS	I	清除发送控制输入/握手信号
12	CBUS4	I/O	可配置 CBUS 输出引脚
13	CBUS2	I/O	可配置 CBUS 输出引脚
14	CBUS3	I/O	可配置 CBUS 输出引脚
22	CBUS1	I/O	可配置 CBUS 输出引脚
23	CBUS0	I/O	可配置 CBUS 输出引脚

最后,可以看看 32PIN 连接器上的信号定义,如图 3.65 所示。

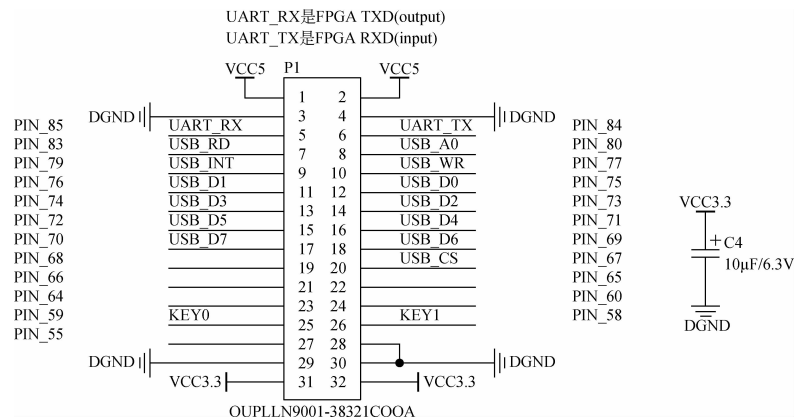


图 3.65 SF-USB 子板与 FPGA 的连接插座电路

SF-USB 与 FPGA 引脚定义如表 3.9 所示。

表 3.9 SF-USB 与 FPGA 引脚定义

分 类	名 称	引 脚 号	功 能 描 述
UART 通信	UART_RX	85	FT232 的 UART 接收信号
	UART_TX	84	FT232 的 UART 发送信号
USB 通信	USB_INT	79	CH376S 芯片的中断请求信号
	USB_A0	80	CH376S 芯片的数据/指令选择信号
	USB_CS	67	CH376S 芯片的片选信号
	USB_RD	83	CH376S 芯片的读选通信号
	USB_WR	77	CH376S 芯片的写选通信号
	USB_D0	75	CH376S 芯片的数据信号
	USB_D1	76	CH376S 芯片的数据信号
	USB_D2	73	CH376S 芯片的数据信号
	USB_D3	74	CH376S 芯片的数据信号
	USB_D4	71	CH376S 芯片的数据信号
	USB_D5	72	CH376S 芯片的数据信号
	USB_D6	69	CH376S 芯片的数据信号
	USB_D7	70	CH376S 芯片的数据信号

SF-USB 子板的 OUPLLN 插座 P1 连接 SF-CY3 核心板的插座 P3,其实物连接如图 3.66 所示。

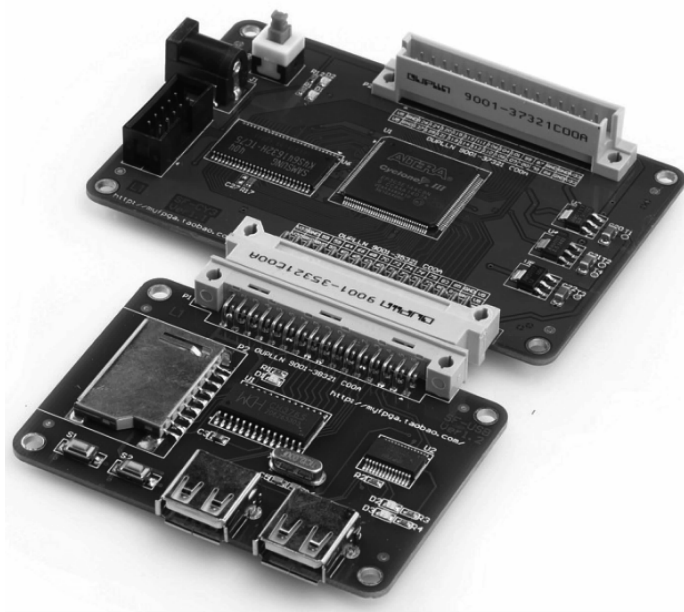


图 3.66 SF-USB 子板与 SF-CY3 核心板的实物连接

3.3.5 超声波与视频采集子板

SF-SENSOR 子板主要外设芯片及其功能描述如表 3.10 所示。

表 3.10 SF-SENSOR 子板主要外设芯片及其功能描述

外 设 芯 片	主 要 功 能
32PIN 的 OUPLLN 插座 P1	用于 SF-SENSOR 子板上的各个外设与 SF-CY3 核心板相连
16PIN 的插座 P2	用于连接视频采集模块
4PIN 的插座 P4	用于连接超声波模块
2PIN 的插座 P3	焊接 RTC 电池座, 安装纽扣电池后, 用于给 RTC 芯片供电
芯片 PCF8563T(U2)	NXP 的实时时钟(RTC)芯片
芯片 GT21L16S2W(U1)	集通公司的中文字库芯片

SF-SENSOR 子板主要外设芯片的实物位置如图 3.67 和图 3.68 所示。

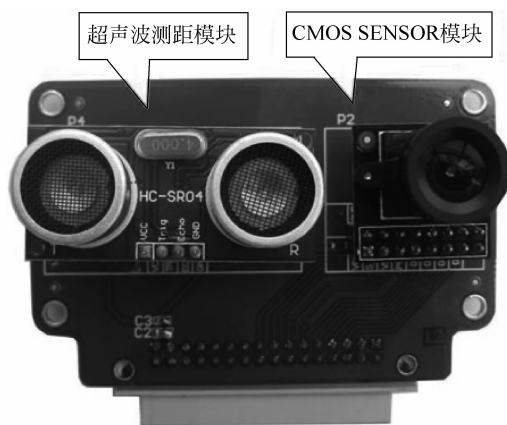


图 3.67 SF-SENSOR 子板实物图 1

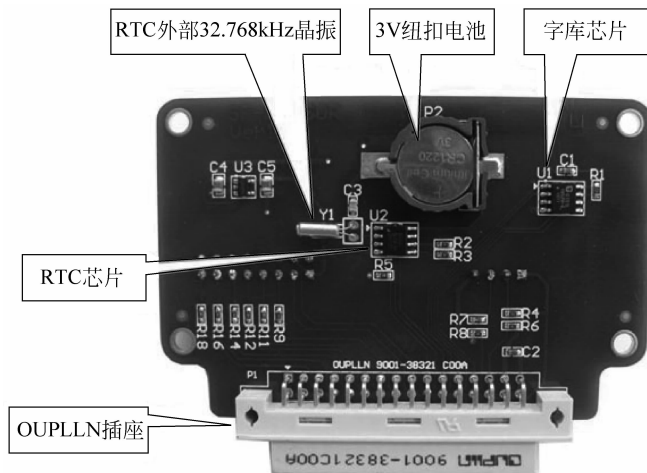


图 3.68 SF-SENSOR 子板实物图 2

视频采集模块上板载了一颗 CMOS SENSOR, 该模块预留了 16PIN 的插针接口, 对应连接到 SF-SENSOR 子板的 P2 插座上。P2 插座的电路如图 3.69 所示。

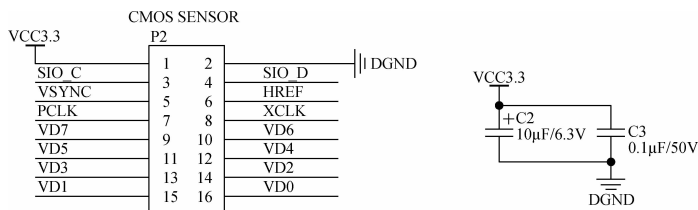


图 3.69 视频采集模块接口电路

P2 插座上各个引脚的定义如表 3.11 所示。

表 3.11 视频采集模块接口引脚功能定义

引 脚	信 号	功 能
1	VCC3.3	电源电压 3.3V
2	DGND	电源地
3	SIO_C	用于配置 CMOS SENSOR 芯片内部寄存器的 I ² C 接口时钟信号
4	SIO_D	用于配置 CMOS SENSOR 芯片内部寄存器的 I ² C 接口数据信号
5	VSYNC	伴随视频数据输出的场同步信号
6	HREF	伴随视频数据输出的行同步信号
7	PCLK	用于视频数据总线同步的时钟信号
8	XCLK	外部(FPGA)输给 CMOS SENSOR 芯片工作的时钟信号
9	VD7	CMOS SENSOR 输出的视频数据总线
10	VD6	CMOS SENSOR 输出的视频数据总线
11	VD5	CMOS SENSOR 输出的视频数据总线
12	VD4	CMOS SENSOR 输出的视频数据总线
13	VD3	CMOS SENSOR 输出的视频数据总线
14	VD2	CMOS SENSOR 输出的视频数据总线
15	VD1	CMOS SENSOR 输出的视频数据总线
16	VD0	CMOS SENSOR 输出的视频数据总线

P4 插座将用于超声波测距模块的连接, 其电路如图 3.70 所示。

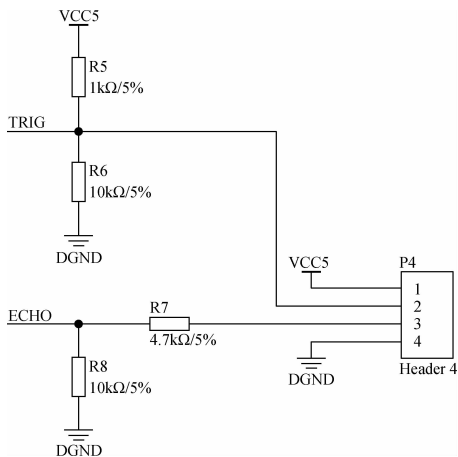


图 3.70 超声波模块接口电路

P4 的 4 个引脚定义如表 3.12 所示。

表 3.12 超声波模块接口引脚功能定义

引 脚	信 号	功 能
1	VCC5	电源电压 5V
2	TRIG	超声波模块的触发输入信号
3	ECHO	超声波模块的响应输出信号
4	DGND	电源地

如图 3.71 所示,U2 是一颗实时时钟(RTC)芯片,该芯片需要外部提供 32.768kHz 的时钟晶体,这个晶体的振荡需要借助一颗 8pF 的电容。该芯片和 FPGA 之间通过 I²C 总线接口进行数据传输。该芯片的供电要借助外部连接的一颗纽扣电池。

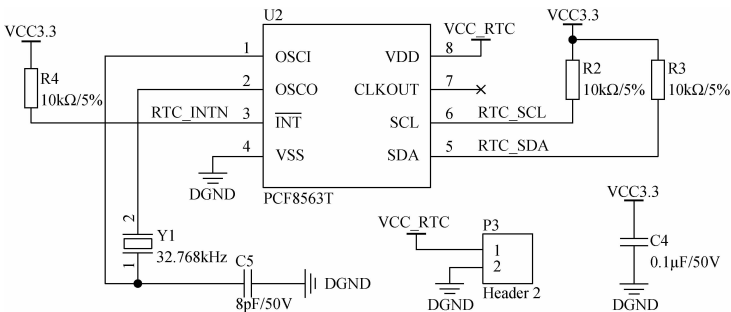


图 3.71 实时时钟接口电路

U2 的各个引脚定义如表 3.13 所示。

表 3.13 实时时钟芯片的引脚定义

引 脚	信 号	功 能
1	OSCI	32.768kHz 晶体输入引脚
2	OSCO	32.768kHz 晶体输出引脚
3	INT	RTC 芯片中断产生引脚
4	DGND	电源地
5	SDA	用于读/写寄存器的 I ² C 总线数据信号
6	SCL	用于读/写寄存器的 I ² C 总线时钟信号
7	CLKOUT	时钟输出引脚,本实例不使用,直接悬空
8	VDD	芯片电源输入,连接到 3V 的纽扣电池供电

最后,再看看字库芯片 U1。该芯片的控制也不难,4 个信号是标准的 SPI 接口,它连接到 FPGA 的 I/O 引脚上。FPGA 通过 SPI 接口读出所需字模数据即可。其实这颗字库芯片和一般的 SPI 接口存储芯片几乎没有什么两样,在控制上反而更加简单。字库芯片的接口电路如图 3.72 所示。

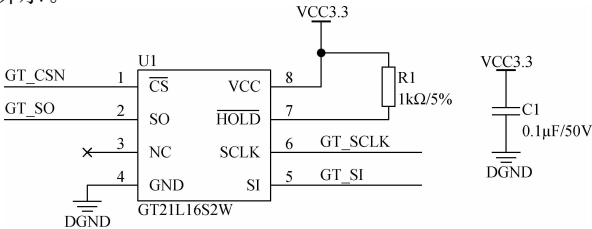


图 3.72 字库芯片的接口电路

U1 的各个引脚定义如表 3.14 所示。

表 3.14 字库芯片的引脚定义

引脚	信号	功 能
1	CS	SPI 总线的片选信号,低电平有效
2	SO	SPI 总线的 MISO 信号,即主机(FPGA)输出从机(U1 芯片)输入信号
3	NC	无连接不使用信号
4	GND	电源地信号
5	SI	SPI 总线的 MOSI 信号,即主机(FPGA)输入从机(U1 芯片)输出信号
6	SCLK	SPI 总线的时钟信号
7	HOLD	总线挂起信号
8	VCC	电源信号,3.3V 供电

SF-SENSOR 子板的 P1 插座定义如图 3.73 所示。

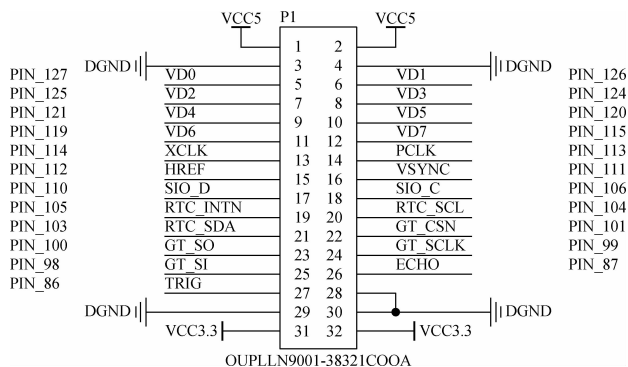


图 3.73 SF-SENSOR 子板与 FPGA 的连接插座电路

SF-SENSOR 与 FPGA 引脚定义如表 3.15 所示。

表 3.15 SF-SENSOR 与 FPGA 引脚定义

分 类	名 称	引 脚 号	功 能 描 述
视频接口	SIO_C	106	用于配置 CMOS SENSOR 芯片内部寄存器的 I ² C 接口时钟信号
	SIO_D	110	用于配置 CMOS SENSOR 芯片内部寄存器的 I ² C 接口数据信号
	VSYNC	111	伴随视频数据输出的场同步信号
	HREF	112	伴随视频数据输出的行同步信号
	PCLK	113	用于视频数据总线同步的时钟信号
	XCLK	114	外部(FPGA)传输给 CMOS SENSOR 芯片工作的时钟信号
	VD7	115	CMOS SENSOR 输出的视频数据总线
	VD6	119	CMOS SENSOR 输出的视频数据总线
	VD5	120	CMOS SENSOR 输出的视频数据总线
	VD4	121	CMOS SENSOR 输出的视频数据总线
	VD3	124	CMOS SENSOR 输出的视频数据总线
	VD2	125	CMOS SENSOR 输出的视频数据总线
	VD1	126	CMOS SENSOR 输出的视频数据总线
	VD0	127	CMOS SENSOR 输出的视频数据总线

续表

分 类	名 称	引 脚 号	功 能 描 述
超声波接口	TRIG	86	超声波模块的触发输入信号
	ECHO	87	超声波模块的响应输出信号
RTC 接口	RTC_SDA	103	用于读/写寄存器的 I ² C 总线数据信号
	RTC_SCL	104	用于读/写寄存器的 I ² C 总线时钟信号
	RTC_INTN	105	RTC 芯片中断产生引脚
字库芯片接口	GT_CSN	101	SPI 总线的片选信号,低电平有效
	GT_SCLK	99	SPI 总线的时钟信号
	GT_SO	100	SPI 总线的 MISO 信号,即主机(FPGA)输出从机(U1 芯片)输入信号
	GT_SI	98	SPI 总线的 MOSI 信号,即主机(FPGA)输入从机(U1 芯片)输出信号

SF-SENSOR 子板与 SF-CY3 核心模块互连的是 P1 插座,该插座连接到 SF-CY3 的 P2 插座上,其实物连接如图 3.74 所示。

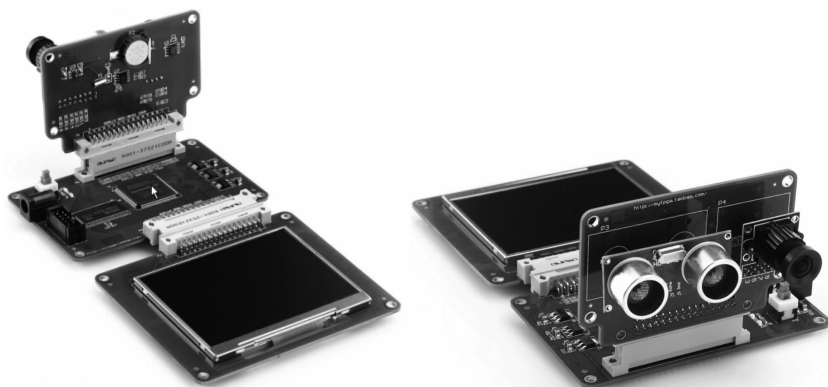


图 3.74 SF-SENSOR 子板与 SF-CY3 核心板的实物连接

思考

- 设计一个 FPGA 电路通常需要参考哪些资料呢?
- FPGA 电路设计有哪几部分?
- FPGA 供电电源有哪几类?
- FPGA 时钟电路设计有什么讲究?