

第5章

通用输入/输出端口

通用输入/输出端口 GPIO 作为与其他设备进行数据交换的通道,具有重要作用,在 F28335 DSP 有限的引脚中,大多数引脚具有第二或第三功能,可以通过配置相应的寄存器 (GPIO MUX)在各个功能之间进行切换。

5.1 GPIO 概述

F28335 芯片提供了多达 88 个多功能引脚,每个引脚都可以配置成数字 I/O 工作模式或外设 I/O 工作模式,可以通过功能切换寄存器 (GPxMUX1/2)进行切换。当不使用片内外设时,可以将其配置成数字 I/O 工作模式,通过方向控制寄存器 (GPxDIR)控制数字 I/O 的输入/输出方向,并可以通过输入限定寄存器 (GPxQSEL1/2)对输入信号进行限定,从而消除外部噪声信号。F28335 的 88 个引脚被分为 A、B、C 三组端口,其中 A 端口包括 GPIO0~GPIO31,B 端口包括 GPIO32~GPIO63,C 端口包括 GPIO64~GPIO87。表 5-1 和表 5-2 所示的寄存器可用来对 GPIO 进行配置,从而满足系统要求,在 5.2 节中将对各个寄存器的具体定义进行介绍。

表 5-1 GPIO 控制寄存器

名称	地址	大小(×16 位)	寄存器说明
GPACTRL	0x6F80	2	GPIO A 控制寄存器(GPIO0~GPIO31)
GPAQSEL1	0x6F82	2	GPIO A 输入限定选择寄存器 1(GPIO0~GPIO15)
GPAQSEL2	0x6F84	2	GPIO A 输入限定选择寄存器 2(GPIO16~GPIO31)
GPAMUX1	0x6F86	2	GPIO A 功能选择控制寄存器 1(GPIO0~GPIO15)
GPAMUX2	0x6F88	2	GPIO A 功能选择控制寄存器 2(GPIO16~GPIO31)
GPADIR	0x6F8A	2	GPIO A 方向控制寄存器(GPIO0~GPIO31)
GPAPUD	0x6F8C	2	GPIO A 上拉控制寄存器(GPIO0~GPIO31)
GPBCTRL	0x6F90	2	GPIO B 控制寄存器(GPIO0~GPIO31)
GPBQSEL1	0x6F92	2	GPIO B 输入限定选择寄存器 1(GPIO0~GPIO15)

续表

名称	地址	大小(×16 位)	寄存器说明
GPBQSEL2	0x6F94	2	GPIO B 输入限定选择寄存器 2(GPIO16~GPIO31)
GPBMUX1	0x6F96	2	GPIO B 功能选择控制寄存器 1(GPIO0~GPIO15)
GPBMUX2	0x6F98	2	GPIO B 功能选择控制寄存器 2(GPIO16~GPIO31)
GPBDIR	0x6F9A	2	GPIO B 方向控制寄存器(GPIO0~GPIO31)
GPBPUD	0x6F9C	2	GPIO B 上拉控制寄存器(GPIO0~GPIO31)
GPCMUX1	0x6FA6	2	GPIO C 功能选择控制寄存器 1(GPIO0~GPIO15)
GPCMUX2	0x6FA8	2	GPIO C 功能选择控制寄存器 2(GPIO16~GPIO31)
GPCDIR	0x6FAA	2	GPIO C 方向控制寄存器(GPIO0~GPIO31)
GPCPUD	0x6FAC	2	GPIO C 上拉控制寄存器(GPIO0~GPIO31)

表 5-2 GPIO 中断及低功耗模式唤醒选择寄存器

名称	地址	大小(×16 位)	寄存器说明
GPIOXINT1SEL	0x6FE0	1	外部中断源 XINT1 输入端口选择寄存器(GPIO0~GPIO31)
GPIOXINT2SEL	0x6FE1	1	外部中断源 XINT2 输入端口选择寄存器(GPIO0~GPIO31)
GPIOXINMISEL	0x6FE2	1	外部中断源 XINMI 输入端口选择寄存器(GPIO0~GPIO31)
GPIOXINT3SEL	0x6FE3	1	外部中断源 XINT3 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT4SEL	0x6FE4	1	外部中断源 XINT4 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT5SEL	0x6FE5	1	外部中断源 XINT5 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT6SEL	0x6FE6	1	外部中断源 XINT6 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT7SEL	0x6FE7	1	外部中断源 XINT7 输入端口选择寄存器(GPIO32~GPIO63)
GPIOLPMSEL	0x6FE8	1	LPM 唤醒输入端口选择寄存器(GPIO0~GPIO31)

5.1.1 GPIO 工作模式

由于 F28335 采用了引脚复用技术,在使用这些引脚时需在各个功能之间进行切换,GPIO 功能选择寄存器(GPIOxMUX1/2)被用来实现引脚的功能切换。图 5-1 给出了 GPIO 的复用原理框图。

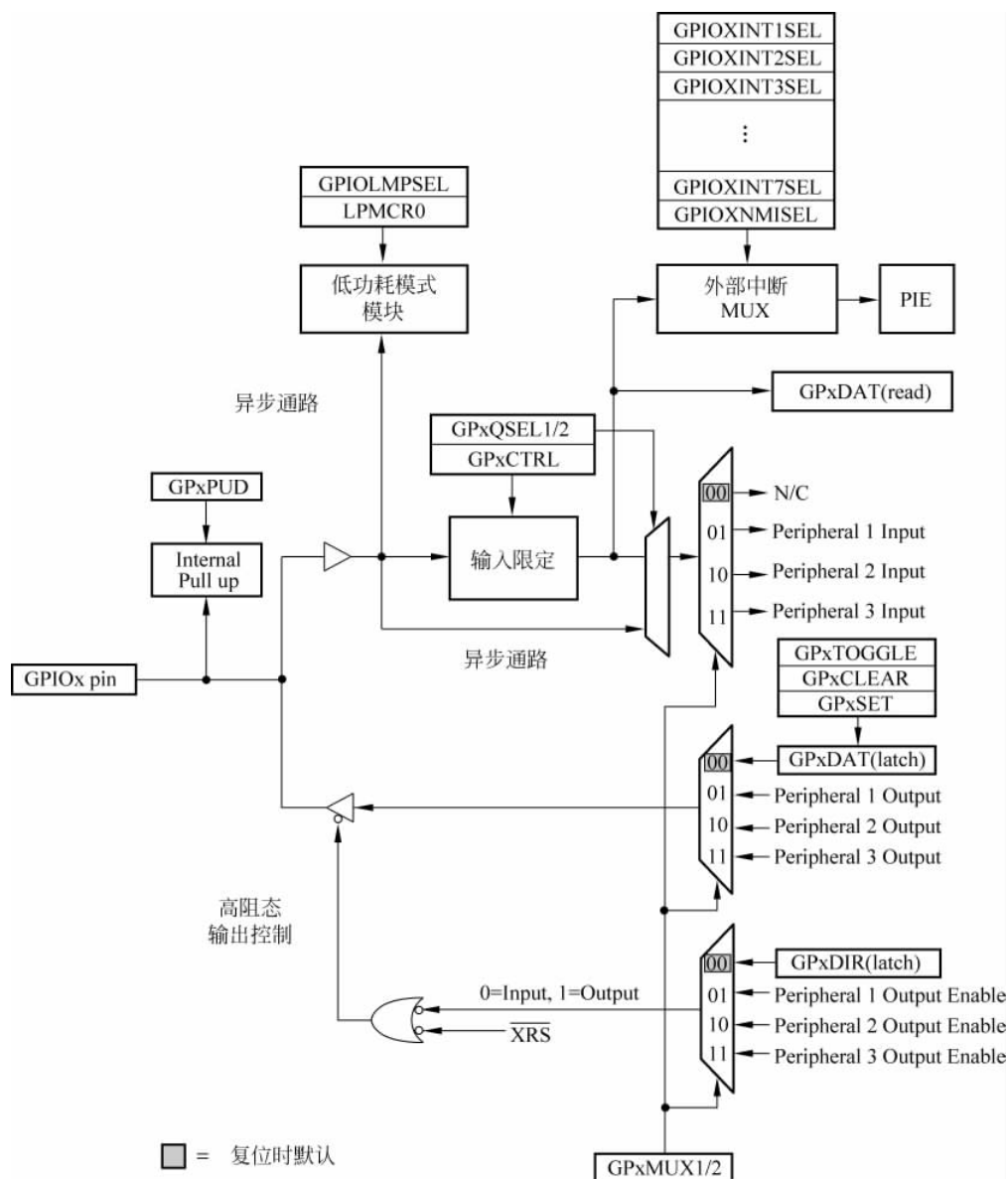


图 5-1 GPIO 复用原理框图

5.1.2 数字 I/O 工作模式下的控制

在实际使用 GPIO 时,如果 GPIO 工作在外设 I/O 模式下,只需通过 GPxMUX1/2 寄存器将其配置成相应的外设 I/O 模式即可,此时由片内外设决定 I/O 的输入/输出数据。而当 GPIO 工作在数字 I/O 模式下时,可以通过表 5-3 所示的数据寄存器对引脚上的值进行改变。

表 5-3 GPIO 数据寄存器

名称	地址	大小(×16 位)	寄存器说明
GPADAT	0x6FC0	2	GPIO A 数据寄存器(GPIO0~GPIO31)
GPASET	0x6FC2	2	GPIO A 置位寄存器(GPIO0~GPIO31)
GPACLEAR	0x6FC4	2	GPIO A 清零寄存器(GPIO0~GPIO31)
GPATOGGLE	0x6FC6	2	GPIO A 状态翻转寄存器(GPIO0~GPIO31)
GPBDAT	0x6FC8	2	GPIO B 数据寄存器(GPIO0~GPIO31)
GPBSET	0x6FCA	2	GPIO B 置位寄存器(GPIO32~GPIO63)
GPBCLEAR	0x6FCC	2	GPIO B 清零寄存器(GPIO32~GPIO63)
GPBTOGGLE	0x6FCE	2	GPIO B 状态翻转寄存器(GPIO32~GPIO63)
GPCDAT	0x6FD0	2	GPIO C 数据寄存器(GPIO64~GPIO87)
GPCSET	0x6FD2	2	GPIO C 置位寄存器(GPIO64~GPIO87)
GPCCLEAR	0x6FD4	2	GPIO C 清零寄存器(GPIO64~GPIO87)
GPCTOGGLE	0x6FD6	2	GPIO C 状态翻转寄存器(GPIO64~GPIO87)

1. GPxDAT 寄存器

端口 A、B 和 C 分别对应一个数据寄存器,寄存器中的每一位都对应一个 I/O 口。不论相应的 GPIO 被配置成数字 I/O 模式还是外设 I/O 模式,数据寄存器中的每一位都反映引脚的当前状态。向 GPxDAT 寄存器中写数据,可以对相应的输出锁存器清零或置位,此时如果引脚被配置成数字 I/O 模式,相应的引脚将被驱动为低电平或高电平。需要注意的是,当使用 GPxDAT 改变一个输出引脚的状态时,可能会对同一端口的其他引脚产生不确定的影响。例如,当使用读—校正—写模式对 GPADAT 的最低位 GPIOA0 写 0 时,如果此时 A 端口中的任一个引脚的电平发生了改变,将会出现不可预知的错误。而通过 GPxDAT 读引脚的当前状态则不会出现类似错误。

2. GPxSET 寄存器

置位寄存器用于在不影响其他引脚状态的情况下将相应的引脚驱动到高电平。每一个端口都对应一个置位寄存器,且寄存器中的每一位都对应一个 I/O 口。读 GPxSET 寄存器的值,将返回 0。如果相应的引脚配置成输出状态,那么向置位寄存器中相应的位写 1 会将引脚驱动为高电平,写 0 则不影响引脚当前状态。

3. GPxCLEAR 寄存器

清零寄存器用于在不影响其他引脚状态的情况下将相应的引脚驱动到低电平。每一个端口都对应一个清零寄存器,且寄存器中的每一位都对应一个 I/O 口。读 GPxCLEAR 寄存器的值,将返回 0。如果相应的引脚配置成输出状态,那么向清零寄存器中相应的位写 1 会将引脚驱动为低电平,写 0 则不影响引脚当前状态。

4. GPxTOGGLE 寄存器

状态翻转寄存器用于在不影响其他引脚状态的情况下将相应的引脚状态进行翻转。每一个端口都对应一个状态翻转寄存器,且寄存器中的每一位都对应一个 I/O 口。读 GPxTOGGLE 寄存器的值,将返回 0。如果相应的引脚配置成输出状态,那么向状态翻转寄存器中相应的位写 1 会将引脚当前状态翻转。例如,如果引脚当前状态为低电平,向相应位写 1,则引脚将翻转到高电平;如果当前状态为高电平,向相应位写 1,则引脚将翻转到低

电平；写 0 则不影响引脚当前状态。

5.1.3 输入限定功能

通过输入限定功能可方便地消除引脚输入中的噪声信号。只有端口 A 和端口 B 具有输入限定功能,通过配置相应的寄存器 GPAQSEL1/2 和 GPBQSEL1/2 可选择输入限定的类型,在数字 I/O 工作模式下的引脚,其输入限定类型可以与系统时钟 SYSCLKOUT 同步或为采样窗限制。对于工作在外设 I/O 模式下的引脚,其限定类型还可以设置为异步状态。

1. 异步输入

由于工作在外设 I/O 模式下的引脚不需要输入同步信号或其自身具有信号同步功能,此时其限定类型可选择异步输入。例如,通信接口 SCI、SPI、eCAN 和 I2C。当引脚工作在数字 I/O 模式下时,异步输入功能无效。

2. 仅与 SYSCLKOUT 同步

所有引脚在复位时都默认采用此种限定方式。在此模式下,输入信号被限定到与系统时钟 SYSCLKOUT 同步,由于引脚的输入信号是异步的,在与系统时钟 SYSCLKOUT 同步过程中,会产生一个 SYSCLKOUT 周期的延时。

3. 通过采样窗限定

该种模式下,外部引脚的输入信号首先与系统时钟 SYSCLKOUT 同步,然后经过对输入进行限定的采样窗,得到最终的信号,只有输入信号在一个采样窗内保持不变,采样窗后的信号才允许改变,从而滤除了噪声信号,具体结构如图 5-2 所示。在该类型的限定模式下有两种参数需要进行配置:采样周期和采样窗长度。

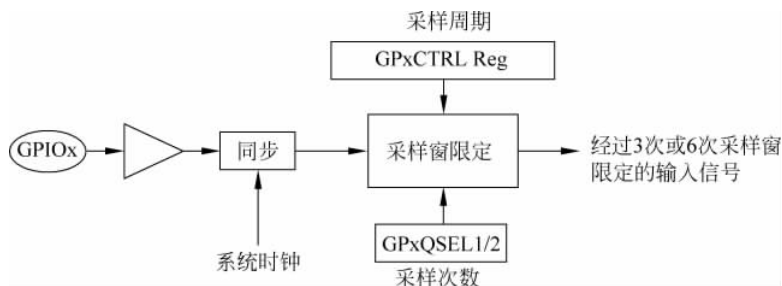


图 5-2 基于采样窗的输入限定

(1) 采样周期。

为了对输入信号进行限定,要间隔一定的周期对输入信号进行采样。采样周期由用户设定,并以 CPU 系统时钟 SYSCLKOUT 为基本单位。采样周期由寄存器 GPxCTRL 的 QUALPRDn 位决定,并且在配置过程中以 8 个输入引脚作为一组。例如,GPIO0~GPIO7 由 GPACTRL[QUALPRD0]位设置,GPIO8~GPIO15 由 GPACTRL[QUALPRD1]位设置。表 5-4 及表 5-5 给出了采样周期及采样频率与 GPxCTRL[QUALPRDn]位之间的关系。

表 5-4 采样周期与 GPxCTRL[QUALPRDn]的关系

寄存器的配置	采样周期
GPxCTRL[QUALPRDn]=0	$1 \times T_{\text{SYSCLKOUT}}$
GPxCTRL[QUALPRDn]≠0	$2 \times \text{GPxCTRL[QUALPRDn]} \times T_{\text{SYSCLKOUT}}$

注： $T_{\text{SYSCLKOUT}}$ 为系统时钟 SYSCLKOUT 的周期。

表 5-5 采样频率与 GPxCTRL[QUALPRDn]的关系

寄存器的配置	采样周期
GPxCTRL[QUALPRDn]=0	$f_{\text{SYSCLKOUT}}$
GPxCTRL[QUALPRDn]≠0	$f_{\text{SYSCLKOUT}} \div (2 \times \text{GPxCTRL[QUALPRDn]})$

注： $f_{\text{SYSCLKOUT}}$ 为系统时钟 SYSCLKOUT 的频率。

(2) 采样窗长度。

一个采样窗内可包含 3 次或 6 次采样,可以通过寄存器 GPAQSEL1/2 或 GPBQSEL1/2 进行设置。当输入信号在 3 次或 6 次采样内保持不变时,信号可以通过采样窗输送到 DSP 内部。采样窗所包含的采样周期的个数始终比采样次数少 1,例如,当采样窗设定为 3 次采样时,采样窗的宽度为 2 个采样周期;当采样窗设定为 6 次采样时,采样窗的宽度为 5 个采样周期。图 5-3 给出了相应的工作时钟。

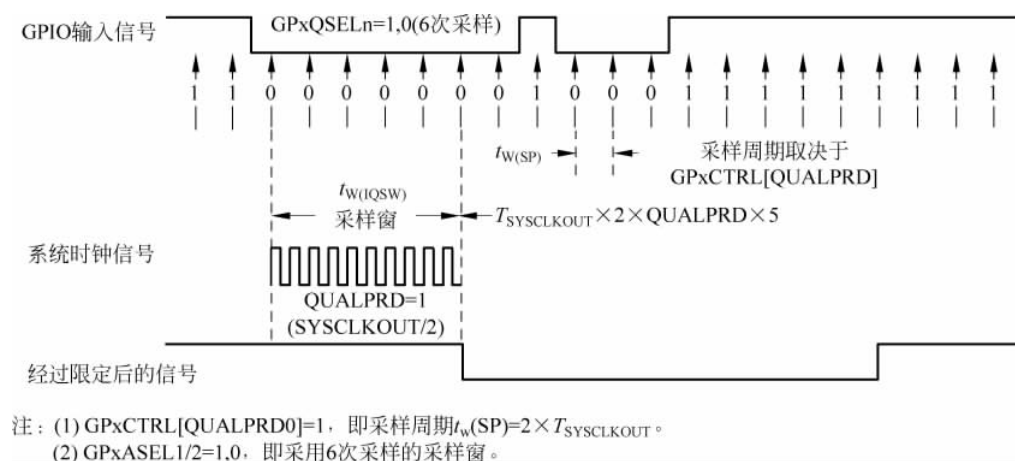


图 5-3 输入限定模式下的工作时钟

5.2 相关寄存器

本节将对 GPIO 的所有相关寄存器进行详细说明,给出各位的定义及功能描述。

5.2.1 功能选择寄存器

F28335 的功能选择寄存器有 6 个,即 GPAMUX1、GPAMUX2、GPBMUX1、

GPBMUX2、GPCMUX1 及 GPCMUX2,如表 5-6~表 5-8 所示。

表 5-6 GPIOA MUX

寄存器位	复位时默认功能	外设选择 1	外设选择 2	外设选择 3
GPAMUX1 寄存器位	00	01	10	11
1~0	GPIO0(I/O)	EPWM1A(O)	保留	保留
3~2	GPIO1(I/O)	EPWM1B(O)	ECAP6(I/O)	MFSRB(I/O)
5~4	GPIO2(I/O)	EPWM2A(O)	保留	保留
7~6	GPIO3(I/O)	EPWM2B(O)	ECAP5(I/O)	MCLKRB(I/O)
9~8	GPIO4(I/O)	EPWM3A(O)	保留	保留
11~10	GPIO5(I/O)	EPWM3B(O)	MFSRA(I/O)	ECAP1(I/O)
13~12	GPIO6(I/O)	EPWM4A(O)	EPWMSYNCI(I)	EPWMSYNCO(O)
15~14	GPIO7(I/O)	EPWM4B(O)	MCLKRA(I/O)	ECAP2(I/O)
17~16	GPIO8(I/O)	EPWM5A(O)	CANTXB(O)	ADCSOAO(O)
19~18	GPIO9(I/O)	EPWM5BB(O)	SCITXDB(O)	ECAP3(I/O)
21~20	GPIO10(I/O)	EPWM6A(O)	CANRXB(I)	ADCSOCBO(O)
23~22	GPIO11(I/O)	EPWM6B(O)	SCIRXDB(I)	ECAP4(I/O)
25~24	GPIO12(I/O)	$\overline{TZ1}$ (I)	CANTXB(O)	MDXB(O)
27~26	GPIO13(I/O)	$\overline{TZ2}$ (I)	CANRXB(I)	MDRB(I)
29~28	GPIO14(I/O)	$\overline{TZ3}/\overline{XHOLD}$ (I)	SCITXDB(O)	MCLKXB(I/O)
31~30	GPIO15(I/O)	$\overline{TZ4}/\overline{XHOLDA}$ (O)	SCIRXDB(I)	MFSXB(I/O)
GPAMUX2 寄存器位	00	01	10	11
1~0	GPIO16(I/O)	SPISIMOA(I/O)	CANTXB(O)	$\overline{TZ5}$ (I)
3~2	GPIO17(I/O)	SPISOMIA(I/O)	CANRXB(I)	$\overline{TZ6}$ (I)
5~4	GPIO18(I/O)	SPICLKA(I/O)	SCITXDB(O)	CANRXA(I)
7~6	GPIO19(I/O)	$\overline{SPISTEA}$ (I/O)	SCIRXDB(I)	CANTXA(O)
9~8	GPIO20(I/O)	EQEP1A(I)	MDXA(O)	CANRXB(O)
11~10	GPIO21(I/O)	EQEP1B(I)	MDRA(I)	CANTXB(I)
13~12	GPIO22(I/O)	EQEP1S(I/O)	MCLKXA(I/O)	SCITXDB(O)
15~14	GPIO23(I/O)	EQEP1I(I/O)	MFSXA(I/O)	SCIRXDB(I)
17~16	GPIO24(I/O)	ECAP1(I/O)	EQEP2A(I)	MDXB(O)
19~18	GPIO25(I/O)	ECAP2(I/O)	EQEP2B(I)	MDRB(I)
21~20	GPIO26(I/O)	ECAP3(I/O)	EQEP2S(I/O)	MCLKXB(I/O)
23~22	GPIO27(I/O)	ECAP4(I/O)	EQEP2I(I/O)	MFSXB(I/O)
25~24	GPIO28(I/O)	SCIRXDA(I)	$\overline{XZCS6}$ (O)	$\overline{XZCS6}$ (O)
27~26	GPIO29(I/O)	SCITXDA(O)	XA19(O)	XA19(O)
29~28	GPIO30(I/O)	CANRXA(I)	XA18(O)	XA18(O)
31~30	GPIO31(I/O)	CANTXA(O)	XA17(O)	XA17(O)

表 5-7 GPIOB MUX

寄存器位	复位时默认功能	外设选择 1	外设选择 2	外设选择 3
GPBMUX1 寄存器位	00	01	10	11
1~0	GPIO32(I/O)	SDAA(I/OC)	EPWMSYNCl(I)	ADCSOCAl(O)
3~2	GPIO33(I/O)	SCLAl(I/OC)	EPWMSYNCO(O)	ADCSOCBO(O)
5~4	GPIO34(I/O)	ECAP1(I/O)	XREADY(I)	XREADY(I)
7~6	GPIO35(I/O)	SCITXDA(O)	XR/ $\overline{W}$ (O)	XR/ $\overline{W}$ (O)
9~8	GPIO36(I/O)	SCITXDA(I)	$\overline{XZCS0}$ (O)	$\overline{XZCS0}$ (O)
11~10	GPIO37(I/O)	ECAP2(I/O)	$\overline{XZCS7}$ (O)	$\overline{XZCS7}$ (O)
13~12	GPIO38(I/O)	保留	$\overline{XWE0}$ (O)	$\overline{XWE0}$ (O)
15~14	GPIO39(I/O)	保留	XA16(O)	XA16(O)
17~16	GPIO40(I/O)	保留	XA0/ $\overline{XWE1}$ (O)	XA0/ $\overline{XWE1}$ (O)
19~18	GPIO41(I/O)	保留	XA1(O)	XA1(O)
21~20	GPIO42(I/O)	保留	XA2(O)	XA2(O)
23~22	GPIO43(I/O)	保留	XA3(O)	XA3(O)
25~24	GPIO44(I/O)	保留	XA4(O)	XA4(O)
27~26	GPIO45(I/O)	保留	XA5(O)	XA5(O)
29~28	GPIO46(I/O)	保留	XA6(O)	XA6(O)
31~30	GPIO47(I/O)	保留	XA7(O)	XA7(O)
GPBMUX2 寄存器位	00	01	10	11
1~0	GPIO48(I/O)	ECAP5(I/O)	XD31(I/O)	XD31(I/O)
3~2	GPIO49(I/O)	ECAP6(I/O)	XD30(I/O)	XD30(I/O)
5~4	GPIO50(I/O)	EQEP1A(I)	XD29(I/O)	XD29(I/O)
7~6	GPIO51(I/O)	EQEP1B(I)	XD28(I/O)	XD28(I/O)
9~8	GPIO52(I/O)	EQEP1S(I/O)	XD27(I/O)	XD27(I/O)
11~10	GPIO53(I/O)	EQEP1I(I/O)	XD26(I/O)	XD26(I/O)
13~12	GPIO54(I/O)	SPISIMOA(I/O)	XD25(I/O)	XD25(I/O)
15~14	GPIO55(I/O)	SPISOMIA(I/O)	XD24(I/O)	XD24(I/O)
17~16	GPIO56(I/O)	SPICLKA(I/O)	XD23(I/O)	XD23(I/O)
19~18	GPIO57(I/O)	$\overline{SPISTEA}$ (I/O)	XD22(I/O)	XD22(I/O)
21~20	GPIO58(I/O)	MCLKRA(I/O)	XD21(I/O)	XD21(I/O)
23~22	GPIO59(I/O)	MFSRA(I/O)	XD20(I/O)	XD20(I/O)
25~24	GPIO60(I/O)	MCLKRB(I/O)	XD19(I/O)	XD19(I/O)
27~26	GPIO61(I/O)	MFSRB(I/O)	XD18(I/O)	XD18(I/O)
29~28	GPIO62(I/O)	SCIRXDC(I)	XD17(I/O)	XD17(I/O)
31~30	GPIO63(I/O)	SCITXDC(O)	XD16(I/O)	XD16(I/O)

表 5-8 GPIOC MUX

寄存器位	复位时默认功能	外设选择 1	外设选择 2	外设选择 3
GPCMUX1 寄存器位	00	01	10	11
1~0	GPIO64(I/O)	GPIO64(I/O)	XD15(I/O)	XD15(I/O)
3~2	GPIO65(I/O)	GPIO65(I/O)	XD14(I/O)	XD14(I/O)
5~4	GPIO66(I/O)	GPIO66(I/O)	XD13(I/O)	XD13(I/O)
7~6	GPIO67(I/O)	GPIO67(I/O)	XD12(I/O)	XD12(I/O)

续表

寄存器位	复位时默认功能	外设选择 1	外设选择 2	外设选择 3
9~8	GPIO68(I/O)	GPIO68(I/O)	XD11(I/O)	XD11(I/O)
11~10	GPIO69(I/O)	GPIO69(I/O)	XD10(I/O)	XD10(I/O)
13~12	GPIO70(I/O)	GPIO70(I/O)	XD9(I/O)	XD9(I/O)
15~14	GPIO71(I/O)	GPIO71(I/O)	XD8(I/O)	XD8(I/O)
17~16	GPIO72(I/O)	GPIO72(I/O)	XD7(I/O)	XD7(I/O)
19~18	GPIO73(I/O)	GPIO73(I/O)	XD6(I/O)	XD6(I/O)
21~20	GPIO74(I/O)	GPIO74(I/O)	XD5(I/O)	XD5(I/O)
23~22	GPIO75(I/O)	GPIO75(I/O)	XD4(I/O)	XD4(I/O)
25~24	GPIO76(I/O)	GPIO76(I/O)	XD3(I/O)	XD3(I/O)
27~26	GPIO77(I/O)	GPIO77(I/O)	XD2(I/O)	XD2(I/O)
29~28	GPIO78(I/O)	GPIO78(I/O)	XD1(I/O)	XD1(I/O)
31~30	GPIO79(I/O)	GPIO79(I/O)	XD0(I/O)	XD0(I/O)
GPCMUX2 寄存器位	00	01	10	11
1~0	GPIO80(I/O)	GPIO80(I/O)	XA8(O)	XA8(O)
3~2	GPIO81(I/O)	GPIO81(I/O)	XA9(O)	XA9(O)
5~4	GPIO82(I/O)	GPIO82(I/O)	XA10(O)	XA10(O)
7~6	GPIO83(I/O)	GPIO83(I/O)	XA11(O)	XA11(O)
9~8	GPIO84(I/O)	GPIO84(I/O)	XA12(O)	XA12(O)
11~10	GPIO85(I/O)	GPIO85(I/O)	XA13(O)	XA13(O)
13~12	GPIO86(I/O)	GPIO86(I/O)	XA14(O)	XA14(O)
15~14	GPIO87(I/O)	GPIO87(I/O)	XA15(O)	XA15(O)
31~16	保留	保留	保留	保留

5.2.2 其他相关寄存器

在描述寄存器的读/写功能及复位时的初始状态时,约定如下符号。

(1) R/W: Read/Write,表明相应的寄存器既可读也可写。

(2) R: Read Only,表明相应的寄存器仅可读。

(3) n: 取值为 0、1 或 x,分别表明复位后的默认值为 0、1 或不确定值。

例如,一个寄存器的某位标明 R/W-0,表明此位既可读也可写,复位后默认值为 0。

当输入限定为 3 次或 6 次采样窗模式时,GPxCTRL 寄存器可设定相应的采样周期,采样周期的设定是以系统时钟 SYSCLKOUT 为基本单位的。GPxQSEL1/2 寄存器可设定采用 3 次或 6 次采样窗。

端口 A 控制寄存器 GPACTRL 各位信息如表 5-9 所示,每位的功能描述如表 5-10 所示。

表 5-9 GPACTRL 寄存器各位信息

31~24	23~16	15~8	7~0
QUALPRD3	QUALPRD2	QUALPRD1	QUALPRD0
R/W-0	R/W-0	R/W-0	R/W-0

表 5-10 GPACTRL 功能描述

位	字段	取值及功能描述
31~24	QUALPRD3	为 GPIO24~GPIO31 指定采样周期。0x00: 采样周期 = $T_{\text{SYSCLKOUT}}$; 0x01: 采样周期 = $2 \times T_{\text{SYSCLKOUT}}$; 0x02: 采样周期 = $4 \times T_{\text{SYSCLKOUT}}$; ; 0xFF: 采样周期 = $510 \times T_{\text{SYSCLKOUT}}$
23~16	QUALPRD2	为 GPIO16~GPIO23 指定采样周期。配置同 QUALPRD3
15~8	QUALPRD1	为 GPIO8~GPIO15 指定采样周期。配置同 QUALPRD3
7~0	QUALPRD0	为 GPIO0~GPIO7 指定采样周期。配置同 QUALPRD3

端口 B 控制寄存器 GPBCTRL 各位信息如表 5-11 所示,每位的功能描述如表 5-12 所示。

图 5-11 GPBCTRL 寄存器各位信息

31~24	23~16	15~8	7~0
QUALPRD3	QUALPRD2	QUALPRD1	QUALPRD0
R/W-0	R/W-0	R/W-0	R/W-0

表 5-12 GPBCTRL 功能描述

位	字段	取值及功能描述
31~24	QUALPRD3	为 GPIO56~GPIO63 指定采样周期。配置情况与表 5-10 中相同
23~16	QUALPRD2	为 GPIO48~GPIO55 指定采样周期。配置情况与表 5-10 中相同
15~8	QUALPRD1	为 GPIO40~GPIO47 指定采样周期。配置情况与表 5-10 中相同
7~0	QUALPRD0	为 GPIO32~GPIO39 指定采样周期。配置情况与表 5-10 中相同

端口 A 的选择限定寄存器 GPAQSEL1 各位信息如表 5-13 所示,每位的功能描述如表 5-14 所示。

表 5-13 GPAQSEL1 寄存器各位信息

31	30	29	28	...	3	2	1	0
GPIO15		GPIO14		...	GPIO1		GPIO0	
R/W-0		R/W-0		...	R/W-0		R/W-0	

表 5-14 GPAQSEL1 功能描述

位	字段	取值及功能描述
31~0	GPIO15~GPIO0	为 GPIO0~GPIO15 选择输入限定模式。00: 仅与 SYSCLKOUT 同步,对外设模式和数字 I/O 模式都有效; 01: 采用 3 次采样的采样窗; 10: 采用 6 次采样的采样窗; 11: 异步模式,仅用于外设 I/O 模式

端口 A 的选择限定寄存器 GPAQSEL2 各位信息如表 5-15 所示,每位的功能描述如表 5-16 所示。

表 5-15 GPAQSEL2 寄存器各位信息

31	30	29	28	...	3	2	1	0
GPIO31		GPIO30		...	GPIO17		GPIO16	
R/W-0		R/W-0		...	R/W-0		R/W-0	

表 5-16 GPAQSEL2 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO16	为 GPIO31~GPIO16 选择输入限定模式。配置与表 5-14 相同

端口 B 的选择限定寄存器 GPBQSEL1 各位信息如表 5-17 所示,每位的功能描述如表 5-18 所示。

表 5-17 GPBQSEL1 寄存器各位信息

31	30	29	28	...	3	2	1	0
GPIO47		GPIO46		...	GPIO33		GPIO32	
R/W-0		R/W-0		...	R/W-0		R/W-0	

表 5-18 GPBQSEL1 功能描述

位	字段	取值及功能描述
31~0	GPIO47~GPIO32	为 GPIO47~GPIO32 选择输入限定模式。配置与表 5-14 相同

端口 B 的选择限定寄存器 GPBQSEL2 各位信息如表 5-19 所示,每位的功能描述如表 5-20 所示。

表 5-19 GPBQSEL2 寄存器各位信息

31	30	29	28	...	3	2	1	0
GPIO63		GPIO62		...	GPIO49		GPIO48	
R/W-0		R/W-0		...	R/W-0		R/W-0	

表 5-20 GPBQSEL2 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO48	为 GPIO63~GPIO48 选择输入限定模式。配置与表 5-14 相同

当引脚工作在数字 I/O 模式下时,可以通过 GPxDIR 设定 GPIO 的输入/输出方向。当引脚工作在外设 I/O 模式下时,GPxDIR 寄存器相应的配置位不起作用。

端口 A 的方向控制寄存器 GPADIR 各位信息如表 5-21 所示,每位的功能描述如表 5-22 所示。

表 5-21 GPADIR 寄存器各位信息

31	30	...	1	0
GPIO31	GPIO30	...	GPIO1	GPIO0
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-22 GPADIR 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	当端口 A 工作在数字 I/O 模式时,设定 GPIO31~GPIO0 的输入/输出方向。0: 配置成输入状态(默认); 1: 配置成输出状态

端口 B 的方向控制寄存器 GPBDIR 各位信息如表 5-23 所示,每位的功能描述如表 5-24 所示。

表 5-23 GPBDIR 寄存器各位信息

31	30	...	1	0
GPIO63	GPIO62	...	GPIO33	GPIO32
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-24 GPBDIR 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	当端口 A 工作在数字 I/O 模式时,设定 GPIO63~GPIO32 的输入/输出方向。0: 配置成输入状态(默认); 1: 配置成输出状态

端口 C 的方向控制寄存器 GPCDIR 各位信息如表 5-25 所示,每位的功能描述如表 5-26 所示。

表 5-25 GPCDIR 寄存器各位信息

31~24	23	...	1	0
保留	GPIO87	...	GPIO65	GPIO64
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-26 GPCDIR 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	当端口 A 工作在数字 I/O 模式时,设定 GPIO87~GPIO64 的输入/输出方向。0: 配置成输入状态(默认); 1: 配置成输出状态

端口 A 上拉控制寄存器 GPAPUD 各位信息如表 5-27 所示,每位的功能描述如表 5-28 所示。

表 5-27 GPAPUD 寄存器各位信息

31	30	...	13	12
GPIO31	GPIO30	...	GPIO13	GPIO12
R/W-0	R/W-0	...	R/W-0	R/W-0
11	10	...	1	0
GPIO11	GPIO10	...	GPIO1	GPIO0
R/W-1	R/W-1	...	R/W-1	R/W-1

表 5-28 GPAPUD 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	为端口 A 配置内部上拉电阻,每个 I/O 引脚都与寄存器中的一位相对应。0: 使能内部上拉功能(GPIO12~GPIO31 的默认状态); 1: 禁止内部上拉功能(GPIO0~GPIO11 的默认状态)

端口 B 上拉控制寄存器 GPBPUD 各位信息如表 5-29 所示,每位的功能描述如表 5-30 所示。

表 5-29 GPBPUD 寄存器各位信息

31	30	...	1	0
GPIO63	GPIO62	...	GPIO33	GPIO32
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-30 GPBPUD 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	为端口 B 配置内部上拉电阻,每个 I/O 引脚都与寄存器中的一位相对应。0: 使能内部上拉功能(默认); 1: 禁止内部上拉功能

端口 C 上拉控制寄存器 GPCPUD 各位信息如表 5-31 所示,每位的功能描述如表 5-32 所示。

表 5-31 GPCPUD 寄存器各位信息

31~24	23	...	1	0
保留	GPIO87	...	GPIO65	GPIO64
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-32 GPCPUD 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	为端口 C 配置内部上拉电阻,每个 I/O 引脚都与寄存器中的一位相对应。0: 使能内部上拉功能(默认); 1: 禁止内部上拉功能

端口 A 的数据寄存器 GPADAT 各位信息如表 5-33 所示,每位的功能描述如表 5-34 所示。

表 5-33 GPADAT 寄存器各位信息

31	30	...	1	0
GPIO31	GPIO30	...	GPIO1	GPIO0
R/W-x	R/W-x	...	R/W-x	R/W-x

注: x 表明 GPADAT 在复位后的值不可预知,其决定于引脚的当前电平。

表 5-34 GPADAT 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 与寄存器中的位一一对应。 0: 读 0, 无论引脚工作在何种模式, 引脚的当前状态为低电平; 写 0, 如果引脚配置成数字 I/O 模式, 则直接驱动相应的引脚为低电平; 如果引脚工作在外设模式, 则值被锁存, 但并不驱动相应引脚。 1: 读 1, 无论引脚工作在何种模式, 引脚的当前状态为高电平; 写 1, 如果引脚配置成数字 I/O 模式, 则直接驱动相应的引脚为高电平; 如果引脚工作在外设模式, 则值被锁存, 但并不驱动相应引脚

端口 B 的数据寄存器 GPBDAT 各位信息如表 5-35 所示, 每位的功能描述如表 5-36 所示。

表 5-35 GPBDAT 寄存器各位信息

31	30	...	1	0
GPIO63	GPIO62	...	GPIO33	GPIO32
R/W-x	R/W-x	...	R/W-x	R/W-x

表 5-36 GPBDAT 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 与寄存器中的位一一对应。描述与表 5-34 相同

端口 C 的数据寄存器 GPCDAT 各位信息如表 5-37 所示, 每位的功能描述如表 5-38 所示。

表 5-37 GPCDAT 寄存器各位信息

31~24	23	...	1	0
保留	GPIO87	...	GPIO65	GPIO64
R/W-x	R/W-x	...	R/W-x	R/W-x

表 5-38 GPCDAT 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 与寄存器中的位一一对应。描述与表 5-34 相同

端口 A 控制置位、清零及状态翻转寄存器(GPASET、GPACLEAR、GPATOGGLE)具有相同的位信息, 如表 5-39 所示, 功能描述分别如表 5-40、表 5-41 及表 5-42 所示。

表 5-39 GPASET、GPACLEAR、GPATOGGLE 寄存器各位信息

31	30	...	1	0
GPIO31	GPIO30	...	GPIO1	GPIO0
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-40 GPASET 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器置位,如果引脚配置成数字 I/O 模式,则直接驱动引脚为高电平;如果引脚为外设 I/O 模式,则不驱动相应引脚

表 5-41 GPACLEAR 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器清零,如果引脚配置成数字 I/O 模式,则直接驱动引脚为低电平;如果引脚为外设 I/O 模式,则不驱动相应引脚

表 5-42 GPATOGGLE 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器的值取反,如果引脚配置成数字 I/O 模式,则直接驱动引脚翻转当前电平状态;如果引脚为外设 I/O 模式,则不驱动相应引脚

端口 B 控制置位、清零及状态翻转寄存器 (GPBSET、GPBCLEAR、GPBTOGGLE) 具有相同的位信息,如表 5-43 所示,功能描述分别如表 5-44、表 5-45 及表 5-46 所示。

表 5-43 GPBSET、GPBCLEAR、GPBTOGGLE 寄存器各位信息

31	30	...	1	0
GPIO63	GPIO62	...	GPIO33	GPIO32
R/W-x	R/W-x	...	R/W-x	R/W-x

表 5-44 GPBSET 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器置位,如果引脚配置成数字 I/O 模式,则直接驱动引脚为高电平;如果引脚为外设 I/O 模式,则不驱动相应引脚

表 5-45 GPBCLEAR 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器清零,如果引脚配置成数字 I/O 模式,则直接驱动引脚为低电平;如果引脚为外设 I/O 模式,则不驱动相应引脚

表 5-46 GPBTOGGLE 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器的值取反,如果引脚配置成数字 I/O 模式,则直接驱动引脚翻转当前电平状态;如果引脚为外设 I/O 模式,则不驱动相应引脚

端口 C 控制置位、清零及状态翻转寄存器 (GPCSET、GPCCLEAR、GPCTOGGLE) 具有相同的位信息,如表 5-47 所示,功能描述分别如表 5-48、表 5-49 及表 5-50 所示。

表 5-47 GPCSET、GPCCLEAR、GPCTOGGLE 寄存器各位信息

31~24	23	...	1	0
保留	GPIO87	...	GPIO65	GPIO64
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-48 GPCSET 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器置位,如果引脚配置成数字 I/O 模式,则直接驱动引脚为高电平;如果引脚为外设 I/O 模式,则不驱动相应引脚

表 5-49 GPCCLEAR 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器清零,如果引脚配置成数字 I/O 模式,则直接驱动引脚为低电平;如果引脚为外设 I/O 模式,则不驱动相应引脚

表 5-50 GPCTOGGLE 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 与寄存器中的位一一对应。 0: 写 0 没有影响,读操作始终返回 0; 1: 写 1 会将输出寄存器的值取反,如果引脚配置成数字 I/O 模式,则直接驱动引脚翻转当前电平状态;如果引脚为外设 I/O 模式,则不驱动相应引脚

GPIO 中断 XINT_n 的选择寄存器 GPIOXINT_nSEL($n=1,2,3,4,5,6,7$)具有相同的位信息,如表 5-51 所示。其中中断源 XINT1/2 可以设定为从端口 A 的任意一个引脚输入,即 GPIO0~GPIO31,功能描述如表 5-52 所示。中断源 XINT3/4/5/6/7 可以设定为从端口 B 的任意一个引脚输入,即 GPIO32~GPIO63,功能描述如表 5-53 所示。

图 5-51 GPIOXINT_nSEL 寄存器各位信息

15~5	4~0
保留	GPIOXINT _n SEL
R	R/W-0

表 5-52 XINT1/2 中断选择寄存器 GPIOXINT1/2SEL 的功能描述

位	字段	取值及功能描述
4~0	GPIOXINT _n SEL	为中断 XINT1/2 从端口 A(GPIO0~GPIO31)中选择相应的输入引脚。 00000: 选择 GPIO0 引脚作为 XINT1/2 的输入引脚; 00001: 选择 GPIO1 引脚作为 XINT1/2 的输入引脚; 11111: 选择 GPIO31 引脚作为 XINT1/2 的输入引脚

表 5-53 XINT3/4/5/6/7 中断选择寄存器 GPIOXINT1/2/3/4/5/6/7SEL 的功能描述

位	字段	取值及功能描述
4~0	GPIOXINT _n SEL	为中断 XINT3/4/5/6/7 从端口 B(GPIO32~GPIO63)中选择相应的输入引脚。 00000: 选择 GPIO32 引脚作为 XINT3/4/5/6/7 的输入引脚; 00001: 选择 GPIO33 引脚作为 XINT3/4/5/6/7 的输入引脚; 11111: 选择 GPIO63 引脚作为 XINT3/4/5/6/7 的输入引脚

XNMI 中断源可以设定为从端口 A 的任意一个引脚输入,即 GPIO0~GPIO31,其位信息如表 5-54 所示,功能描述如表 5-55 所示。

表 5-54 GPIOXNMSEL 寄存器各位信息

15~5	4~0
保留	GPIOSEL
R	R/W-0

表 5-55 XNMI 中断选择寄存器 GPIOXNMSEL 的功能描述

位	字段	取值及功能描述
4~0	GPIOSEL	为中断 XNMI 从端口 A(GPIO0~GPIO31)中选择相应的输入引脚。 00000: 选择 GPIO0 引脚作为 XNMI 的输入引脚; 00001: 选择 GPIO1 引脚作为 XNMI 的输入引脚; ; 11111: 选择 GPIO31 引脚作为 XNMI 的输入引脚

GPIO 低功耗模式唤醒寄存器 GPIOLPMSEL 的位信息如表 5-26 所示,功能描述如表 5-37 所示。

表 5-56 GPIOLPMSEL 寄存器各位信息

31	30	...	1	0
GPIO31	GPIO30	...	GPIO1	GPIO0
R/W-0	R/W-0	...	R/W-0	R/W-0

表 5-57 GPIOLPMSEL 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	低功耗模式唤醒选择,寄存器每一位与 GPIO31~GPIO0 一一对应。 0: 相应引脚上的信号对 HALT 和 STANDBY 两种低功耗模式无影响; 1: 相应引脚上的信号可将 CPU 从 HALT 和 STANDBY 两种低功耗模式中唤醒

5.3 应用实例

【例 5-1】 检测 GPIO0 引脚上的电平信号,当其为高电平时,驱动 GPIO32 引脚为高电平,当其为低电平时,驱动 GPIO32 引脚为低电平。

5.3.1 GPIO 配置步骤

要使用一个 GPIO,可参照如下步骤进行配置:

(1) 选择 GPIO 工作模式。

首先搞清每个 GPIO 引脚所具有的功能,并通过配置 GPxMUXn 寄存器选择其工作在外设 I/O 模式或数字 I/O 模式。默认情况下,GPIO 被配置成数字 I/O 模式,且为输入状态。

(2) 使能或禁止内部上拉电阻。

通过对相应的内部上拉控制寄存器 GPxPUD 进行配置,可使能或禁止内部上拉功能。

(3) 选择输入/输出方向。

如果一个 GPIO 被配置成数字 I/O 模式,还需要为其配置输入/输出方向,通过写 GPxDIR 寄存器,可完成输入/输出方向的配置。

(4) 选择输入限定模式。

当一个数字 I/O 被配置成输入状态,可以为其选择限定模式。默认情况下,所有的输入信号与系统时钟 SYSCLKOUT 同步。

(5) 选择低功耗模式的唤醒端口。

通过配置 GPIOLPMSEL 寄存器,可以指定一个 GPIO 引脚,用其将 CPU 从 HALT 和 STANDBY 低功耗模式中唤醒。

(6) 为外部中断源选择输入引脚。

为 XINT1~XINT7 及 XNMI 外部中断选择合适的输入引脚。

5.3.2 软件设计

在本例中,需要检测 GPIO0 引脚上的电平状态,所以要将其配置成数字 I/O 方式,并配置成输入状态。同时要在 GPIO32 引脚上输出电平状态可变的信号,所以也将其配置成数字 I/O 模式,且为输出状态。

程序清单 5-1: GPIO 控制程序

```
//=====
//aMain.c 文件
//=====
#include "DSPF28335_Project.h"
//===== 函数声明 =====
void Gpio_setup1(void);
//===== 主程序 =====
void main(void)
{
    InitSysCtrl();                //系统初始化
    DINT;                         //关闭全局中断
    InitPieCtrl();                //初始化中断控制寄存器
    IER=0x0000;                  //关闭 CPU 中断
    IFR=0x0000;                  //清除 CPU 中断信号
    InitPieVectTable();           //初始化中断向量表
    Gpio_setup1();
    while(1)
    {
        //方案 1:采用 GPBDAT 寄存器实现
        if(GpioDataRegs.GPADAT.bit.GPIO0==1) //读 GPIO0 引脚的状态
        {
            GpioDataRegs.GPBDAT.bit.GPIO32=1; //写 GPIO32 引脚的状态
        }
        else
        { GpioDataRegs.GPBDAT.bit.GPIO32=0; }
        /*
            //方案 2:采用 GPBSET、GPBCLEAR 寄存器实现
            if(GpioDataRegs.GPADAT.bit.GPIO0==1)
            {
                GpioDataRegs.GPBSET.bit.GPIO32=1;
            }
            else
            { GpioDataRegs.GPBCLEAR.bit.GPIO32=1; }
        */
    }
}
//===== 子函数 =====
void Gpio_setup1(void)
```

```

{
    //配置 GPIO0
    EALLOW;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0=0;    //选择数字 I/O 模式
    GpioCtrlRegs.GPAPUD.bit.GPIO0=0;      //使能内部上拉电阻
    GpioCtrlRegs.GPADIR.bit.GPIO0=0;      //配置成输入方向
    GpioCtrlRegs.GPAQSEL1.bit.GPIO0=0;    //与系统时钟 SYSCOUT 同步
    EDIS;
    //配置 GPIO32
    EALLOW;
    GpioCtrlRegs.GPBMUX1.bit.GPIO32=0;    //选择数字 I/O 模式
    GpioCtrlRegs.GPBPUD.bit.GPIO32=0;      //使能内部上拉电阻
    GpioCtrlRegs.GPBDIR.bit.GPIO32=1;      //配置成输出方向
    EDIS;
}
//=====
//End of file
//=====

```

5.4 习题

1. F28335 的 88 个引脚被分为几组端口？
2. 每组 GPIO 有哪些寄存器？
3. 描述 GPIO 输入限定功能的作用。
4. 简要描述 GPIO 的配置步骤。
5. 如果希望配置 GPIO 为 SCI-A 的发送引脚，可以配置哪些 GPIO？