

第3章

51系列单片机的基本硬件结构及其功能

51 系列单片机是具有 8051 内核体系结构、引脚信号和指令系统完全兼容的单片机的总称,是指 51 系列单片机和其他公司的 8051 派生产品。虽然这些单片机产品在某些方面存在差异,但它们的基本结构和功能是相同的。

3.1 单片机的封装形式及其引脚识别方法

3.1.1 单片机的封装形式

芯片的封装是采用特定的材料将芯片或模块固化在其中以防损坏的保护措施,一般必须在封装后才能交付用户使用。芯片的封装方式取决于芯片安装形式和器件集成设计。

芯片的封装技术已经历了好几代的变迁,从 DIP、QFP、PGA、BGA 到 CSP,再到 MCM,技术指标一代比一代先进,包括芯片面积与封装面积之比越来越接近于 1,适用频率越来越高,耐高温性能越来越好,引脚数增多,引脚间距减小,质量减小,可靠性提高,使用更加方便等。

单片机的封装有 DIP、PLCC、PQFP 等多种形式,以适应不同产品的需求。各种封装形式简要说明如下。

(1) DIP(Double In-line Package),双列直插式封装。插装型封装之一,引脚从封装两侧引出。封装材料有塑料和陶瓷两种。DIP 是最普及的插装型封装,应用范围包括标准逻辑 IC、存储器 LSI、微机电路等。DIP 单片机封装如图 3.1(a)所示。

(2) PLCC(Plastic Leaded Chip Carrier),塑封方形引脚插入式封装,外形呈正方形,四周都有引脚,引脚向内折起,外形尺寸比 DIP 封装小得多,可将引脚直接插入到对应的标准插座内。PLCC 封装适合用 SMT 表面安装技术在 PCB 上安装布线,具有外形尺寸小、可靠

性高的优点。PLCC 单片机封装如图 3.1(b)所示。

(3) PQFP(Plastic Quad Flat Package), 塑封方形引脚贴片式封装, 外形呈正方形, 四周都有引脚, 引脚向外侧伸展, 可直接将引脚敷贴在印刷板上焊牢。此封装要用贴片机焊接。PQFP 封装的芯片引脚之间距离很小, 引脚很细, 一般大规模或超大规模集成电路采用这种封装形式。PQFP 单片机封装如图 3.1(c)所示。

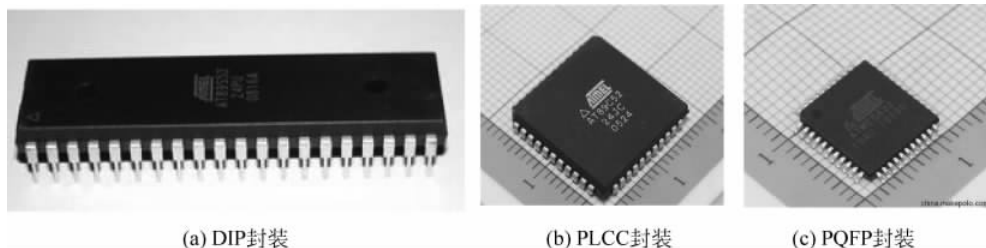


图 3.1 单片机的封装形式

3.1.2 单片机的引脚识别方法

对 DIP 封装的单片机的型号及引脚识别方法如下。

对于 DIP 封装的 51 系列单片机来说, 在外壳正中央印有字(型号)的一面是它的正面, 在单片机外壳的正面的一侧边有一个半月形的小坑, 同时还有一个圆形的小坑在旁边。这两个标志说明离圆形小坑最近的引脚为单片机的 1 号引脚。把单片机印有型号的一侧朝上, 1 号引脚放在左边, 向右依次为 2、3、4、…、20 引脚, 单片机上边沿从右到左为 21、22、23、…、40 引脚。

对于其他所有的 DIP 封装的芯片, 识别方法与此类同。

对于其他封装的器件, 方法与 DIP 封装的单片机引脚识别方法类似, 也可参考实际的器件使用手册来找到引脚的排列。

3.2 51 系列单片机的引脚及功能

51 系列单片机最常用的是 40 引脚 DIP 集成电路芯片, 由于单片机是一个芯片, 体积较小, 为了增加其功能, 许多引脚具有两个功能, 其引脚排列如图 3.2 所示。

现对 51 系列单片机各个引脚及其功能进行简要说明。

1. 主电源引脚

V_{CC} (40 脚): 接 +5V 电源;

V_{SS} (20 脚): 接数字电路地。

2. 外接晶体引脚

XTAL1(19 脚): 接外部石英晶体一端。在单片机内部, 它是片内振荡器的反相放大器的输入端, 这个放大器构成了片内振荡器。当采用外部时钟时, 对于 HMOS 单片机, 该引脚接地, 对于 CHMOS 单片机, 该引脚作为外部振荡信号的输入端。

XTAL2(18 脚): 接外部石英晶体的另一端。在单片机内部, 它是片内振荡器的反相放

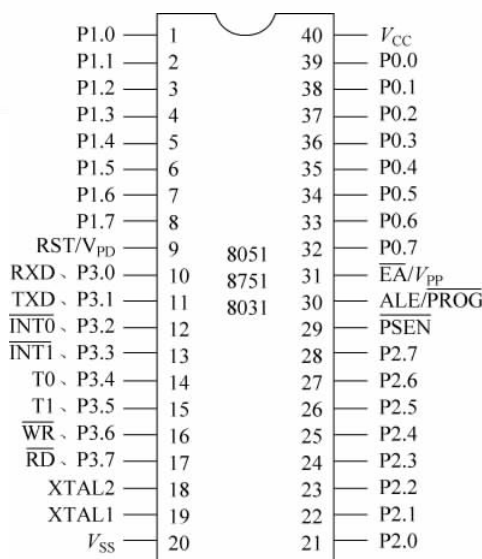


图 3.2 51 系列 DIP 封装单片机引脚排列

大器的输出端。当采用外部时钟时,对于 HMOS 单片机,该引脚作为外部振荡信号的输入端,对于 CHMOS 单片机,该引脚悬空不接。

3. 输入/输出引脚

P0 口(32~39 脚): P0.0~P0.7 统称为 P0 口,是一组 8 位漏极开路型双向 I/O 口,也是地址/数据总线复用口。在访问片外存储器或程序存储器时,P0 口分时复用为低 8 位地址总线和双向数据总线,在访问期间激活内部上拉电阻。在 Flash 编程时,P0 口接收指令字节,而在程序校验时,输出指令字节。校验时,要求外接上拉电阻。

P1 口(1~8 脚): P1.0~P1.7 统称为 P1 口,是一组带内部上拉电阻的 8 位准双向 I/O 口。对于 52 系列,P1.0 与 P1.1 还有第二功能:P1.0 可用作定时/计数器 2 的计数脉冲输入端 T2,P1.1 可用作定时/计数器 2 的外部控制端 T2EX。

P2 口(21~28 脚): P2.0~P2.7 统称为 P2 口,是一组带内部上拉电阻的 8 位双向 I/O 口,一般可作为准双向 I/O 口使用。在接有片外存储器或扩展 I/O 口且寻址范围超过 256B 时,P2 口用作高 8 位地址总线。

P3 口(10~17 脚): P3.0~P3.7 统称为 P3 口,是一组带内部上拉电阻的 8 位双向 I/O 口,除作为准双向 I/O 口使用外,还可以将每一位用于第二功能,而且 P3 口的每一条引脚均可独立定义为第一功能的输入/输出或第二功能。P3 口第二功能如表 3.1 所示。

表 3.1 P3 口第二功能表

引 脚	功 能
P3.0	RXD 串行口输入端
P3.1	TXD 串行口输出端
P3.2	INT0 外部中断 0 请求输入端,低电平有效
P3.3	INT1 外部中断 1 请求输入端,低电平有效

续表

引 脚	功 能
P3. 4	T0 定时/计数器 0 计数脉冲输入端
P3. 5	T1 定时/计数器 1 计数脉冲输入端
P3. 6	$\overline{\text{WR}}$ 外部数据存储器写选通信号输出端,低电平有效
P3. 7	$\overline{\text{RD}}$ 外部数据存储器读选通信号输出端,低电平有效

4. 控制信号引脚

RST/ V_{PD} (9 脚): RST 即 RESET, V_{PD} 为备用电源,该引脚为单片机的上电复位或掉电保护端。当单片机振荡器工作时,该引脚上出现持续两个机器周期的高电平,就可实现复位操作,使单片机回复到初始状态。上电时,考虑到振荡器有一定的起振时间,该引脚上高电平必须持续 10ms 以上才能保证有效复位。

当 V_{CC} 发生故障,降低到低电平规定值或掉电时,该引脚可接上备用电源 $V_{\text{PD}}(+5\text{V})$ 为内部 RAM 供电,以保证 RAM 中的数据不丢失。

$\overline{\text{PSEN}}$ (29 脚): 片外程序存储器读选通信号输出端,低电平有效。在从外部程序存储器读取指令或常数期间,在每个机器周期内该信号两次有效,以通过数据总线 P0 口读回指令或常数。在访问片外数据存储器期间, $\overline{\text{PSEN}}$ 信号将不出现。

$\text{ALE}/\overline{\text{PROG}}$ (30 脚): 地址锁存有效信号输出端,高电平有效。在访问片外存储器期间, ALE (允许地址锁存)输出脉冲用于锁存 P0 端口 8 位复用的地址/数据总线上的 8 位地址(16 位地址线中的低 8 位)。 ALE 信号通常连接到外部地址锁存器(如 74HC373)的使能引脚上。在不访问片外程序存储器期间, ALE 信号端仍以不变的频率周期性地出现正脉冲信号(振荡频率 f_{OSC} 的 1/6),可作为对外输出的时钟脉冲或用于定时的目的。在复位期间, ALE 被强制输出高电平。对于片内含有 EPROM 的机型,在编程期间,该引脚用作编程脉冲 $\overline{\text{PROG}}$ 的输入端。

$\overline{\text{EA}}/V_{\text{PP}}$ (31 脚): $\overline{\text{EA}}$ 为片外程序存储器选用端。该引脚有效(低电平)时,只选用片外程序存储器,否则单片机上电或复位后选用片内程序存储器。对于片内含有 EPROM 的机型,在编程期间,此引脚用作 2.1V 编程电源 V_{PP} 的输入端。

3.3 51 系列单片机的总线结构

总线就是各种信号线的集合,是单片机各部件之间传送数据、地址和控制信息的公共通道。按相对于 CPU 与其芯片的位置,可分为片内总线和片外总线。片内总线是指在 CPU 内部各寄存器、算术逻辑部件 ALU、控制部件及内部高速缓冲存储器之间传输数据所用的总线,即芯片内部总线。片外总线是 CPU 与内存 RAM、ROM 和输入/输出设备接口之间进行通信的数据通道。通常所说的总线(BUS)指的是片外总线。CPU 通过总线实现程序存取命令、内存/外设的数据交换等。

按照传递信息的类型,总线可分为数据总线 DB(Data Bus)、地址总线 AB(Address Bus)和控制总线 CB(Control Bus)。对于 51 系列单片机,每种总线都包含一系列引脚,其

中 DIP 封装引脚功能分类如图 3.3 所示。

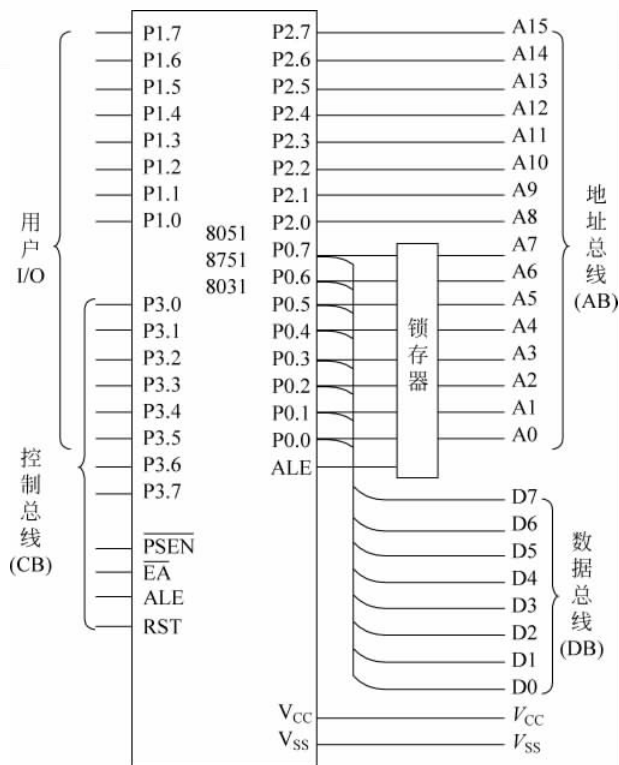


图 3.3 51 系列单片机 DIP 封装引脚功能分类

数据总线是 CPU 与存储器、I/O 接口、外设等部件之间传递数据的一组信号线,由 P0 口构成,是 8 位双向总线(89C2051 无 P0 口,无总线),既可以由 CPU 向存储器、I/O 接口、外设等部件传递数据,也可以由存储器、I/O 接口、外设等部件向 CPU 传递数据。

地址总线是 CPU 将地址传送给存储单元或 I/O 接口的一组信号线,由 P2 口和 P0 口构成,是 16 位单向总线,其中 P2 口提供地址的高 8 位,P0 提供地址的低 8 位。

控制总线主要用来传送控制信号和时序信号,由 P3 口的第二功能和控制信号引脚构成。在控制信号中,有的是 CPU 送往存储器和输入/输出设备接口电路的,如读/写信号、片选信号、中断响应信号等;也有的是其他部件反馈给 CPU 的,如中断申请信号、复位信号、总线请求信号、设备就绪信号等。因此,控制总线的传送方向由具体控制信号而定,一般是单向的。

3.4 单片机中的数制

所谓数制,就是利用符号和一定的规则进行计数的方法。在日常生活中,人们习惯的计数方法是十进制数,而数字电路中只有两种电平特性,即高电平和低电平,这也就决定了数字电路中使用二进制。

1. 十进制

十进制数大家都很熟悉,它的基本特点如下。

- (1) 共有 10 个基本数码：0、1、2、3、4、5、6、7、8、9。
- (2) 逢十进一，借一当十。

2. 二进制

二进制数的基本特点如下。

- (1) 共有两个基本数码：0、1。
- (2) 逢二进一，借一当二。

十进制数 1 转换为二进制数是 1B(这里用后缀 B 表示二进制数)；十进制数 2 转换为二进制数，因为已到 2，则进 1，所以对应的二进制数是 10B；十进制数 3 为 11B，4 为 100B，5 为 101B。以此类推，当十进制数为 255 时，对应的二进制数是 11111111B。

从上面的过程可以看出，当二进制数转换为十进制数时，从二进制数的最右一位数起，最右边的第一个数乘以 2 的 0 次方，第二个数乘以 2 的 1 次方，以此类推，把各结果累计相加就是转换后的十进制数。如：

$$11010B=1\times2^4+1\times2^3+0\times2^2+1\times2^1+0\times2^0=16+8+0+2+0=26$$

3. 十六进制

二进制数太长了，书写不方便并且很容易出错，转换成十进制数又太麻烦，所以就出现了十六进制。

十六进制数的基本特点如下。

- (1) 共有 16 个基本数码：0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F。
- (2) 逢十六进一，借一当十六。

十进制数的 0~15 表示成十六进制数分别为 0~9、A、B、C、D、E、F，其中 A 对应十进制数 10，B 对应 11，C 对应 12，D 对应 13，E 对应 14，F 对应 15。为了与十进制数相区分，一般在十六进制数的最后面加上后缀 H，表示该数为十六进制数，如 BH、46H 等。但在 C 语言编程时是在十六进制数的最前面加上前缀 0x，表示该数为十六进制数，如 0xb、0x46 等。这里的字母不区分大小写。

4. 各进制数之间的相互转换

一个 4 位二进制数共有 16 个数，正好对应十六进制的 16 个数码，这样一个 1 位十六进制数与一个 4 位二进制数形成一一对应的关系。而在单片机编程中使用最多的是 8 位二进制数，如果使用两位十六进制数来表示将变得极为方便。

表 3.2 十进制、二进制与十六进制 0~15 的对应表

十 进 制	二 进 制	十 六 进 制	十 进 制	二 进 制	十 六 进 制
0	0000	0	8	1000	8
1	0001	1	9	1001	9
2	0010	2	10	1010	A
3	0011	3	11	1011	B
4	0100	4	12	1100	C
5	0101	5	13	1101	D
6	0110	6	14	1110	E
7	0111	7	15	1111	F

关于十进制、二进制与十六进制数之间的转换,要熟悉 0~15 之间的数的相互转换。十进制、二进制与十六进制 0~15 的对应关系如表 3.2 所示。表中的二进制数不足 4 位均在其前面补“0”。

在进行单片机编程时常常会碰到其他较大的数,这时可用 Windows 系统自带的计算器,非常方便地进行二进制、八进制、十进制、十六进制数之间的任意转换。首先打开附件中的计算器,选择“查看”→“科学型”选项,其界面如图 3.4 所示。然后选择一种进制,输入数值,再单击需要转换的进制,即可得到相应进制的数。



图 3.4 Windows 系统自带的计算器界面

3.5 51 系列单片机的内部结构

51 系列单片机内部结构中包含运算器、控制器、片内存储器、中断系统、串行口、定时/计数器、并行 I/O 口、振荡器等功能部件,如图 3.5 所示。

3.5.1 运算器

运算器是以算术逻辑单元(Arithmetic Logic Unit, ALU)为核心,再加上累加器 ACC、寄存器 B、暂存器 TMP1 和 TMP2、程序状态字(Program Status Word, PSW)等部件构成的。它能实现数据的算术逻辑运算、位变量处理、数据传输等操作。

1. 算术逻辑单元 ALU、累加器 ACC 与寄存器 B

算术逻辑单元不仅能完成 8 位二进制的加、减、乘、除、加 1、减 1 及 BCD 加法的十进制调整等算术运算,还能对 8 位变量进行逻辑“与”、“或”、“异或”、循环移位、求补、清零等逻辑运算,并具有数据传输、程序转移等功能。

累加器(ACC,简称累加器 A)为一个 8 位寄存器,它是 CPU 中使用最频繁的寄存器。进入 ALU 作算术和逻辑运算的操作数多来自于累加器 A,运算结果也常送回累加器 A 保存。

寄存器 B 是为 ALU 进行乘除法运算设置的,若不作乘除运算时,则可作为通用寄存器使用。

2. 程序状态字寄存器

程序状态字 PSW 是一个 8 位标志寄存器,用于存放程序运行的状态信息,以供程序查

询和判别(字节地址 D0H)。PSW 中各位状态通常是在指令执行的过程中自动形成的,但也可以由用户根据需要采用传送指令加以改变。PSW 各位定义格式如图 3.6 所示。

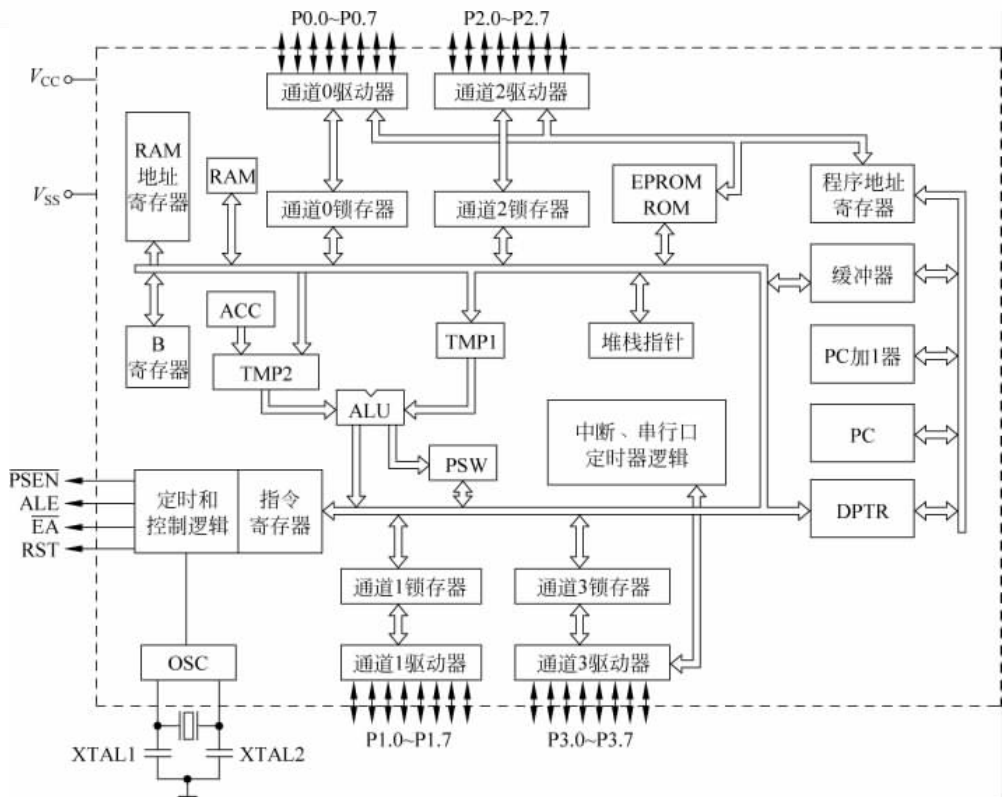


图 3.5 51 系列单片机内部结构

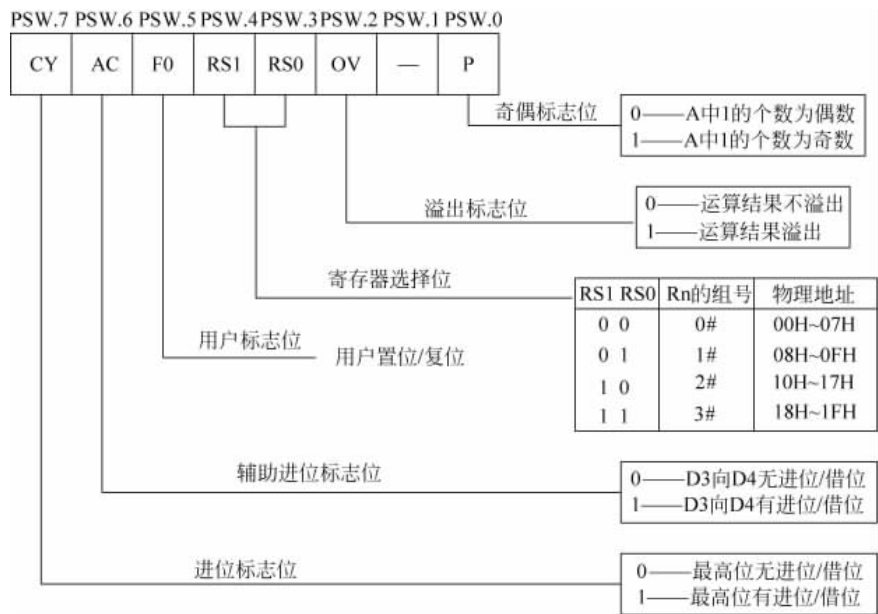


图 3.6 程序状态字寄存器各位定义格式

进位标志位 CY(PSW. 7): 在执行某些算术操作类、逻辑操作类指令时, 可被硬件或软件置位或清零。它表示运算结果是否有进位或借位。如果在最高位有进位(加法时)或有借位(减法时), 则 CY=1, 否则 CY=0。

辅助进位(或称半进位)标志位 AC(PSW. 6): 它表示两个 8 位数运算, 低 4 位有无进/借位状况。当低 4 位相加(或相减)时, 若 D3 位向 D4 位有进位(或借位)时, 则 AC=1, 否则 AC=0。在 BCD 码运算的十进制调整中要用到该标志位。

用户自定义标志位 F0(PSW. 5): 用户可根据自己的需要对 F0 赋予一定的含义, 通过软件置位或清零, 并根据 F0=1 或 0 来决定程序的运行方式。

工作寄存器组选择位 RS1、RS0(PSW. 4、PSW. 3): 可用软件置位或清零, 用于选定当前使用的 4 个寄存器组中的某一组。

溢出标志位 OV(PSW. 2): 做加法或减法时, 由硬件置位或清零, 以指示运算结果是否溢出。OV=0 反映运算结果超出了累加器的数值范围(无符号数的范围是 0~255)以补码形式表示一个有符号数的范围是 -128~+127。做无符号数的加法或减法时, OV 的值与进位 C 的值相同; 在做有符号数加法时, 如最高位、次高位之一有进位, 或做减法时, 如最高位、次高位之一有借位, 则 OV 被置位, 即 OV 的值为最高位和次高位的异或($C_7 \oplus C_8$)。

执行乘法指令 MUL AB 也会影响 OV 标志, 积大于 255 时, OV=1, 否则 OV=0。

执行除法指令时 DIV AB 也会影响 OV 标志, 如 B 中所放除数为 0 时, OV=1, 否则 OV=0。

奇偶标志位 P(PSW. 0): 在执行指令后, 单片机根据累加器 A 中 1 的个数的奇偶性自动给标志置位或清零。若 A 中 1 的个数为奇数, 则 P=1, 否则 P=0。该标志对串行通信的数据传输非常有用, 通过奇偶位校验传输的可靠性。

3. 位处理

位处理是 51 系列单片机 ALU 所具有的一种功能。单片机指令系统总的位处理指令集(17 条位操作指令), 存储器中的位地址空间, 以及程序状态字寄存器 PSW 中的进位标志 CY 作为位操作“累加器”, 构成了 51 系列单片机内的位处理机。它可对直接寻址的位(bit)变量进行位处理, 如置位、清零、取反、测试转移, 以及逻辑“与”、“或”等位操作, 使用户在编程时可以利用指令完成原来单凭复杂的硬件逻辑所完成的功能, 并可方便地设置标志。

3.5.2 控制器

控制器即控制电路, 是单片机的指挥控制器件, 用于发出控制信号, 指挥单片机各元器件协调工作, 是单片机的神经中枢。控制电路包括定时与控制电路、程序计数器(Program Counter, PC)、指令寄存器(Instruction Register, IR)、指令译码器(Instruction Decoder, ID)、堆栈指针(Stack Pointer, SP)、数据指针寄存器(Data Pointer Register, DPTR), 以及信息传送控制等部件。

程序计数器(PC)是由 16 位(8+8)寄存器构成的计数器。要单片机执行一个程序, 就必须把该程序按顺序预先装入存储器 ROM 的某个区域。单片机动作时应按顺序一条条取出指令来加以执行。因此, 必须有一个电路能找出指令所在的单元地址, 该电路就是程序计数器(PC)。

当单片机开始执行程序时,给 PC 装入第一条指令所在的地址,它每取出一条指令(如多字节指令,则每取出一个指令字节),PC 的内容就自动加 1,以指向下一条指令的地址,使指令能顺序执行。只有当程序遇到转移指令、子程序调用指令,或中断时,PC 才转到所需要的地方去。CPU 指定的地址,从 ROM 相应单元中取出指令字节放在指令寄存器 IR 中寄存,然后指令寄存器中的指令代码被指令译码器 ID 译成各种形式的控制信号,这些信号与单片机时钟振荡器产生的时钟脉冲在定时与控制电路中相结合,形成按一定时间节拍变化的电平和时钟,即所谓控制信息,在 CPU 内部协调寄存器之间的数据传输、运算等操作。

指令寄存器 IR 存放当前从主存储器读出的正在执行的一条指令。当执行一条指令时,先把它从内存取到数据寄存器(Data Register, DR)中,然后再传送至 IR。计算机执行一条指定的指令时,必须首先分析这条指令的操作码是什么,以决定操作的性质和方法,然后才能控制计算机其他各部件协同完成指令表达的功能。这个分析工作由译码器来完成。

指令由操作码和地址码组成。操作码表示要执行的操作性质,即执行什么操作,或做什么,地址码是操作码执行时的操作对象的地址。为了执行任何给定的指令,必须对操作码进行测试,以便识别所要求的操作。指令译码器就是做这项工作的。指令寄存器中操作码字段的输出就是指令译码器的输入。它先以主振频率为基准发出 CPU 的时序,对指令进行译码。操作码一经译码后,即可向操作控制器发出具体操作的特定信号,完成一系列定时控制的微操作,用来协调单片机内部各功能部件之间的数据传送、数据运算等操作,并对外发出地址锁存 ALE、外部程序存储器选通 $\overline{\text{PSEN}}$,以及通过 P3.7 和 P3.6 发出数据存取信号,并且接受处理外接的复位和外部程序存储器访问控制 $\overline{\text{EA}}$ 信号。

3.5.3 振荡器

单片机的定时控制功能是由片内的时钟电路来完成的,而片内时钟的产生方式有两种:内部时钟方式和外部时钟方式。

1. 内部时钟方式

内部时钟方式是采用单片机内部振荡器来工作的,其内部包含了一个高增益的单级反相放大器,引脚 XTAL1 和 XTAL2 分别为片外反相放大器的输入端口和输出端口,其工作频率为 0~33MHz。对于 Intel 8051,工作频率为 1.2~12MHz。

当单片机工作于内部时钟方式时,只需在 XTAL1 引脚和 XTAL2 引脚连接一个晶体振荡器或陶瓷振荡器,并接两个电容后接地即可,如图 3.7 所示。

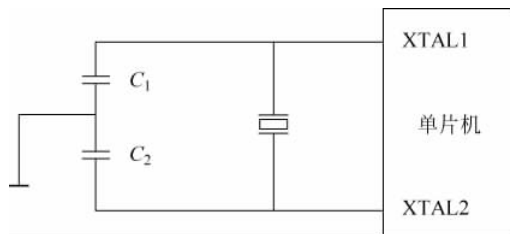


图 3.7 单片机外接晶体的接法

使用时,对于电容的选择有一定的要求,当外接晶体振荡器时,电容值一般选择 $C_1 = C_2 = 30 \pm 10 \text{pF}$; 当外接陶瓷振荡器时,电容值一般选择 $C_1 = C_2 = 40 \pm 10 \text{pF}$ 。

在实际电路设计时,应该注意保证外接的振荡器和电容尽可能靠近单片机的 XTAL1 和 XTAL2 引脚,这样可以减少寄生电容的影响,使振荡器能够稳定可靠地为单片机 CPU 提供时钟信号。

2. 外部时钟方式

外部时钟方式是采用外部振荡器产生时钟信号,直接提供给单片机使用。对于不同结构的单片机,外部时钟信号接入的方式按不同工艺制造的单片机芯片,其接法各不相同,如表 3.3 所示。

表 3.3 单片机外部时钟接法

芯片类型	XTAL1 接法	XTAL2 接法
MOS 型	接地	接片外振荡脉冲输入端(带上拉电阻)
CMOS 型	接片外振荡脉冲输入端(带上拉电阻)	悬浮

对于普通的 8051 系列单片机,外部时钟信号由 XTAL2 引脚引入后直接送到单片机内部的时钟发生器,而引脚 XTAL1 则应直接接地,要注意,由于 XTAL2 引脚的逻辑电平不是 TTL 信号,因此建议外接一个上拉电阻。

对于 CMOS 型的 80C51、80C52、AT89S52 等单片机,与普通的 8051 不同的是其内部时钟发生器的信号取自于反相放大器的输入端。因此,外部的时钟信号应该接到单片机的 XTAL1 引脚,而 XTAL2 引脚则悬空即可。

外部时钟信号的频率应该满足不同单片机的工作频率要求,如普通的 8051 频率应该低于 12MHz,对于 AT89S52 则为 0~33MHz。如果采用其他的型号,则应具体参考该单片机的数据手册中的说明。

3.5.4 CPU 时序

计算机在执行指令时,是将一条指令分解为若干个基本的微操作,这些微操作所对应的脉冲信号在时间上的先后次序称为计算机时序。51 系列单片机的时序由 4 种周期构成,即振荡周期、状态周期、机器周期和指令周期,各种周期的关系如图 3.8 所示。

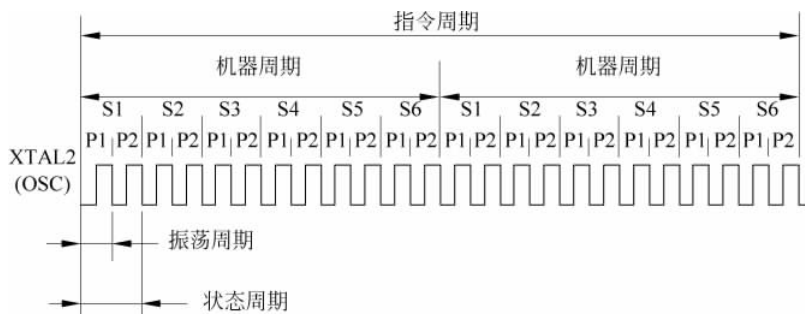


图 3.8 各种周期的关系

(1) 振荡周期：振荡脉冲的周期。

(2) 状态周期：两个振荡周期为一个状态周期，也称为时钟周期，用 S 表示。两个振荡周期作为两个节拍分别称为节拍 1 和节拍 2。在状态周期的前半周期 P1 有效时，通常完成算术逻辑运算操作；在后半周期 P2 有效时，一般进行内部寄存器之间的传输。

(3) 机器周期：一个机器周期包括 6 个状态周期，用 S1、S2、…、S6 表示，共 12 个节拍，一次可表示为 S1P1、S1P2、S2P1、…、S6P1、S6P2。

(4) 指令周期：执行一条指令所占用的全部时间，它以机器周期为单位。51 系列单片机除乘法、除法指令是 4 周期指令外，其余都是单周期指令和双周期指令。若用 12MHz 晶振，则单周期指令和双周期指令的指令周期时间分别为 $1\mu\text{s}$ 和 $2\mu\text{s}$ ，乘法和除法指令为 $4\mu\text{s}$ 。

各周期指令的 CPU 时序如图 3.9 所示。

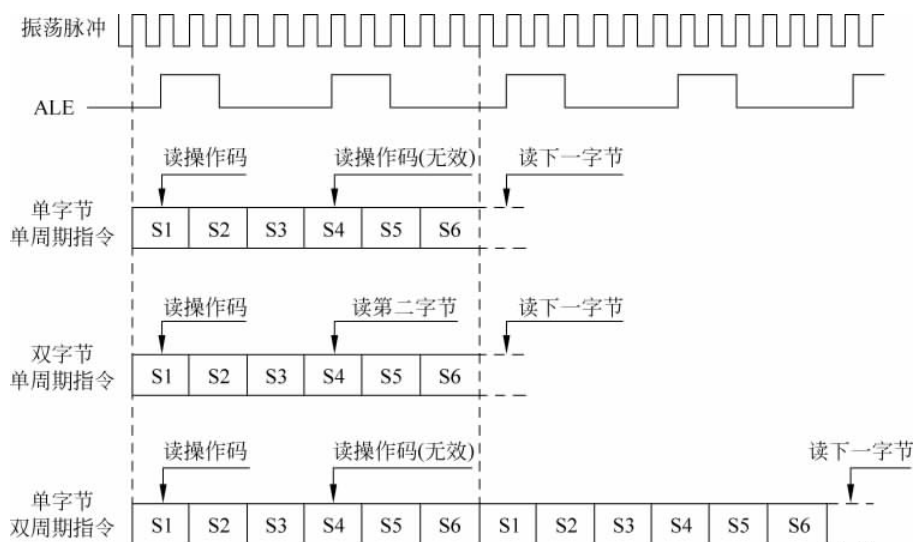


图 3.9 各周期指令的 CPU 时序

从图 3.9 中可知，CPU 在固定时刻执行某种内部操作，都是在 S1P2 和 S2P1 期间由 CPU 取指令，将指令码读入指令寄存器，同时程序计数器 PC 加 1。双字节单周期指令在同一机器周期的 S4P2 再读第二字节，只是第一个 ALE 信号有效时读的是操作码，第二个 ALE 信号有效时读的是操作数。单字节单周期指令在 S4P2 虽也读操作码，但既是单字节指令，读出的还是原指令，故读后丢弃不用，PC 也不加 1。两种指令在 S6P2 结束时都会完成操作。

如果是单字节双周期指令，则在两个机器周期内将 4 次读操作码，不过后 3 次读后都丢弃不用。

3.5.5 存储器

多数单片机系统(包括 51 系列单片机)的存储器组织方式与通用微机系统不同，其程序存储器地址空间和数据存储器地址空间是相互独立的。

51 系列单片机存储器从物理结构上可分为片内、片外程序存储器(8031 和 8032 没有片

内程序存储器)与片内、片外数据存储器 4 个部分;从功能上可分为程序存储器、片内数据存储器、特殊功能存储器、位地址空间和片外数据存储器 5 个部分;其寻址空间可划分为程序存储器、片内数据存储器 and 片外数据存储器 3 个独立的地址空间。

1. 程序存储器

1) 编址与访问

计算机在执行任务时,是按照事先编制好的程序命令一条条顺序执行的。程序存储器就是用来存放这些已编好的程序和表格常数,它由 ROM 或 EPROM 组成。计算机为了有序的工作,设置了一个专用寄存器——程序计数器 PC,用以存放将要执行的指令地址。每取出指令的一个字节后,其内容就加 1,指向下一个字节地址,使计算机从程序存储器取指令并加以执行,从而完成某程序操作。由于普通的 51 系列单片机的程序计数器为 16 位,因此可寻址的程序存储器的地址空间为 64KB。

51 系列单片机在物理配置上有片内、片外程序存储器,但作为一个编址空间,其编址规律为先片内,后片外,片内、片外连续,两者一般不重叠。程序存储器编址方法如图 3.10 所示。

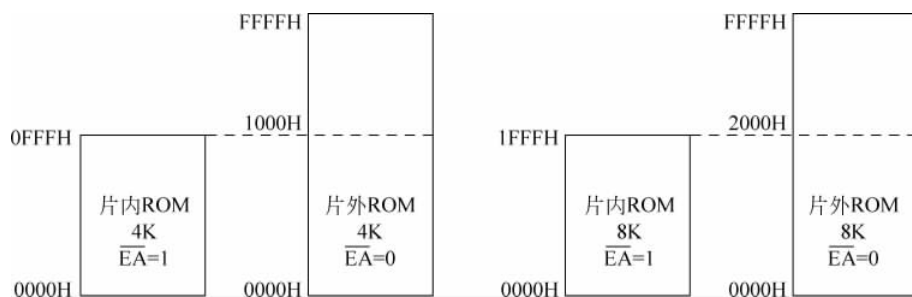


图 3.10 程序存储器编址方法

单片机执行指令时,是从片内程序存储器取指令,还是从片外程序存储器取指令,这首先由单片机 $\overline{EA}$ 引脚电平的高低来决定。

$\overline{EA}=1$ 时,先执行片内程序存储器的程序,当 PC 的内容超过片内程序存储器地址的最大值(51 子系列为 0FFFH,52 子系列为 1FFFH)时,将自动去执行片外程序存储器的程序。

$\overline{EA}=0$ 时,CPU 则从片外程序存储器中取指令。对于片内无程序存储器的 51 系列单片机, $\overline{EA}$ 引脚应接低电平。对于片内有程序存储器的单片机,如果 $\overline{EA}$ 引脚接低电平,将强行执行片外程序存储器的程序。此时在片外程序存储器中存放调试程序,以使单片机工作在调试状态。

注意:片外程序存储器的存放调试程序的部分,其编址与片内程序存储器的编址是可以重叠的,借 $\overline{EA}$ 的换接可实现分别访问。现在以 8051 位内核的单片机大都带有内部的 FLASH 程序存储器,如 AT89C51 或 AT89S51 均自带 4KB 的 FLASH 程序存储器,还有的单片机带有 20KB 甚至更大容量的程序存储器。

2) 程序的入口地址

程序地址空间原则上可由用户任意安排,但复位和中断源的程序入口地址在 51 系列单片机中是固定的,用户不能更改。这些入口地址如表 3.4 所示。

表 3.4 51 系列单片机复位和中断入口地址

操 作	入 口 地 址
复位	0000H
外部中断 0	0003H
定时/计数器 0 溢出	000BH
外部中断 1	0013H
定时/计数器 1 溢出	001BH
串行口中断	0023H
定时/计数器 2 溢出或 T2EX 端负跳变(52 子系列)	002BH

复位后,CPU 从 0000H 地址开始执行程序。响应某个中断时,其地址为中断服务程序入口地址。

表中的各个入口地址互相离得很近,只隔几个单元,容纳不下稍长的程序段。所以,其中实际存放的往往是一条无条件转移指令,使其分别跳转到用户程序真正的起始地址,或所对应的中断服务程序真正的入口地址。

2. 数据存储器

1) 编址与访问

51 系列单片机片内、片外数据存储器是两个独立的地址空间,应分别单独编址。其编址方法如图 3.11 所示。

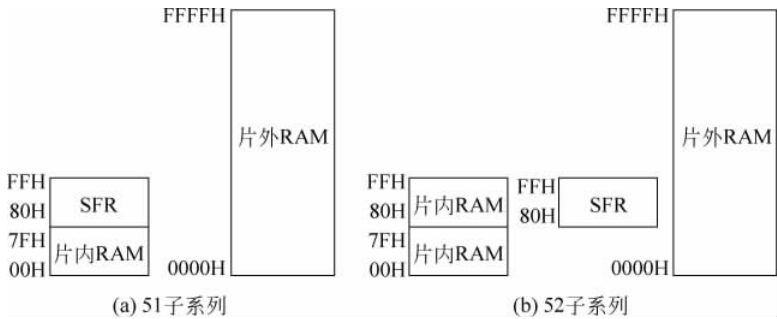


图 3.11 数据存储器编址方法

片内数据存储器除 RAM 块外,还有特殊功能寄存器(SFR)块。

对于 51 子系列,前者有 128 个字节,其编址为 00H~7FH,后者也占 128 个字节,其编址为 80H~FFH,两者连续而不重叠。

对于 52 子系列,前者有 256 个字节,其编址为 00H~FFH,后者占 128 个字节,其编址为 80H~FFH,后者与前者高 128 个字节的编址是重叠的,由于访问所用的指令不同,因而并不会引起混乱。

片外数据存储器一般是 16 位编址。如果只扩展少量片外数据存储器,且容量不超过 256 个字节,也可按 8 位编址,自 00H 开始,最大可至 FFH。在这种情况下,地址空间与片内数据存储器重叠,但访问片内、片外用不同的指令,也不会引起混乱。

片外数据存储器按 16 位编址时,其地址空间与片内存储器重叠,但也不会引起混乱,访问程序存储器是用 $\overline{\text{PSEN}}$ 信号选通,而访问片外数据存储器时,由 $\overline{\text{RD}}$ 信号(读)和 $\overline{\text{WR}}$ 信号

(写)选通。

2) 片内数据存储器

51 子系列单片机内 RAM 配置图如图 3.12 所示。由图可见,片内数据存储器共分为工作寄存器区、位寻址区、数据缓冲区 3 个区域。

(1) 工作寄存器区。00H~1FH 单元为工作寄存器区。工作寄存器也称为通用寄存器,用于临时寄存 8 位信息。工作寄存器分成 4 组,每组都有 8 个寄存器,用 R0~R7 来表示。程序中每次只有一组,其他各组不工作。

使用哪一组寄存器工作由程序状态字 PSW. 3 (RS0)和 PSW. 4(RS1)两位来选择,其对应关系如表 3.5 所示。通过软件设置 RS0 和 RS1 两位的状态,就可任意选一组工作寄存器工作。这个特点使 51 系列单片机具有快速现场保护功能,对提高程序效率和响应中断的速度是很有利的。



图 3.12 51 系列单片机片内 RAM 配置图

表 3.5 工作寄存器组的选择表

PSW. 4(RS1)	PSW. 3(RS0)	当前使用的工作寄存器组 R0~R7
0	0	0 组(00H~07H)
0	1	1 组(08H~0FH)
1	0	2 组(10H~17H)
1	1	3 组(18H~1FH)

(2) 位寻址区。20H~2FH 单元是位寻址区。这 16 个单元(共计 128 位)的每一位都赋予一个位地址,位地址范围为 00H~7FH。位寻址区的每一位都可当作软件触发器,由程序直接进行位处理。通常可以把各种程序状态标志、位控制变量存放于位寻址区。

(3) 数据缓冲区。30H~7FH 单元是数据缓冲区,也即用户 RAM 区,共 80 个单元。

由于工作寄存器区、位寻址区、数据缓冲区统一编址,使用同样的指令访问,因此这 3 个区的单元既有自己独特的功能,又可统一调度使用。前两个区未使用的单元也可作为一般的用户 RAM 单元,使容量较小的片内 RAM 得以充分利用。

52 子系列片内 RAM 有 256 个单元,前两个区的单元数与地址都和 51 子系列的一致,用户 RAM 区却为 30H~FFH,有 208 个单元。

3) 堆栈和堆栈指针

堆栈是按先进后出或后进先出的规则进行读/写的特殊 RAM 区域。

51 系列单片机的堆栈区是不固定的,原则上可设置在内部 RAM 的任意区域内。实际应用中,要根据对片内 RAM 各功能区的使用情况而灵活的设置,应避开工作寄存器区、位寻址区和用户实际使用的数据区,一般设在 2FH 地址单元以后的区域。栈顶的位置由专门设置的堆栈指针寄存器 SP 指出。

51 系列单片机的 SP 是 8 位寄存器,堆栈属向上生长型的(即栈顶地址总是大于栈底地

址,堆栈从栈底地址单元开始,向高地址端延伸),如图 3.13 所示。

当数据压入堆栈时,SP 的内容自动加 1,作为本次进栈的指针,然后再存入数据。SP 的值随着数据的存入而增加。当数据从堆栈弹出之后,SP 的值随之减少。

复位时,SP 的初值为 07H,堆栈实际上从 08H 开始堆放信息,即堆栈初始位置位于工作寄存器区内。为此,用户在初始化程序中要给 SP 赋初值以规定堆栈的初始位置(即栈底位置)。

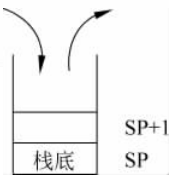


图 3.13 51 系列单片机堆栈

4) 特殊功能寄存器

特殊功能寄存器(Special Function Registers,SFR)又称为专用寄存器,专用于控制、管理片内算术逻辑部件、并行 I/O 口、串行 I/O 口、定时/计数器、中断系统等功能模块的工作。用户在编程时可以置数设定,却不能移作它用。在 51 子系列单片机中,各专用寄存器(PC 例外)与片内 RAM 统一编址,且作为直接寻址字节,可直接寻址。特殊功能寄存器的名称、表示符、地址如表 3.6 所示。

表 3.6 特殊功能寄存器的名称、表示符、地址一览表

专用寄存器名称	符号	地址	位地址与位名称							
			D7	D6	D5	D4	D3	D2	D1	D0
P0 口	P0	80H	87	86	85	84	83	82	81	80
堆栈指针	SP	81H								
数据指针 DPTR 低字节	DPL	82H								
数据指针 DPTR 高字节	DPH	83H								
定时/计数器控制	TCON	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
定时/计数器方式	TMOD	89H	GATE	C/ ^T	M1	M0	GATE	C/ ^T	M1	M0
定时/计数器 0 低字节	TL0	8AH								
定时/计数器 1 低字节	TL1	8BH								
定时/计数器 0 高字节	TH0	8CH								
定时/计数器 1 高字节	TH1	8DH								
P1 口	P1	90H	97	96	95	94	93	92	91	90
电源控制	PCON	97H	SMOD	—	—	—	GF1	GF0	PD	IDL
串行控制	SCON	98H	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
串行数据缓冲器	SBUF	99H								
P2 口	P2	A0H	A7	A6	A5	A4	A3	A2	A1	A0
中断允许控制	IE	A8H	EA	—	ET2	ES	ET1	EX1	ET0	EX0
P3 口	P3	B0H	B7	B6	B5	B4	B3	B2	B1	B0
中断优先级控制	IP	B8H	—	—	PT2	PS	PT1	PX1	PT0	PX0
定时/计数器 2 控制	T2CON *	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/ ^{T2}	CP/ ^{RL2}
定时/计数器 2 模式	T2MOD *	C9H								
捕获/自动重装低 8 位	RLDL *	CAH								
捕获/自动重装高 8 位	RLDH *	CBH								

续表

专用寄存器名称	符号	地址	位地址与位名称							
			D7	D6	D5	D4	D3	D2	D1	D0
定时/计数 2 重装低字节	TL2 *	CCH								
定时/计数 2 重装高字节	TH2 *	CDH								
程序状态字	PSW	D0H	CY	AC	F0	RS1	RS0	OV	—	P
累加器	A	E0H	E7	E6	E5	E4	E3	E2	E1	E0
B 寄存器	B	F0H	F7	F6	F5	F4	F3	F2	F1	F0

注：表中带 * 的寄存器都与定时/计数器 2 有关，只在 52 子系列芯片中存在；RLDH、RLDL 也可写作 RCAP2H、RCAP2L，分别称为定时/计数器 2 高字节、低字节寄存器。

除 PC 外，51 子系列有 18 个专用寄存器，其中 3 个为双字节寄存器，共占用 21 个字节；52 子系列有 21 个专用寄存器，其中 5 个双字节寄存器，共占用 26 个字节；其中有 12 个专用寄存器可以位寻址，其字节地址的低半字节都为 0H 或 8H（即可位寻址的特殊功能寄存器字节地址具有能被 8 整除的特征），共有可寻址位 $12 \times 8 - 3$ （未定义）= 93 位。在表 3.5 中也表示出了这些位的位地址与位名称。

（1）程序计数器（Program Counter, PC）。程序计数器（PC）是控制器中最基本的寄存器，不属于 SFR 存储器块，是一个独立的 16 位计数器，专门用于存放 CPU 将要执行的指令地址（即下一条指令的地址），寻址范围为 64KB。

PC 有自动加 1 功能，不可寻址，用户无法对它进行读写，但是可以通过转移、调用、返回等指令改变其内容，以控制程序执行的顺序。

（2）累加器（Accumulator, A）。累加器（A）是 8 位寄存器，又称为 ACC，是一个最常用的专用寄存器。在算术/逻辑运算中用于存放操作数或结果。

（3）寄存器 B。寄存器 B 是 8 位寄存器，是专门为乘除法指令设计的，也作通用寄存器用。

（4）工作寄存器。内部 RAM 的工作寄存器区 00H~1FH 共 32 个字节被均匀地分成 4 个组（区），每个组（区）有 8 个寄存器，分别用 R0~R7 表示，称为工作寄存器或通用寄存器，其中，R0、R1 还经常用于间接寻址的地址指针。

在程序中通过程序状态字寄存器（PSW）第 3、4 位可设置工作寄存器区。

（5）数据指针（Data Pointer, DPTR）。数据指针（DPTR）是 16 位的专用寄存器，即可作为 16 位寄存器使用，也可作为两个独立的 8 位寄存器 DPH（高 8 位）、DPL（低 8 位）使用。DPTR 主要用作 16 位寻址寄存器，访问程序存储器和片外数据寄存器，如“MOV DPTR, #2000H”。

（6）堆栈指针（Stack Pointer, SP）。堆栈是内部 RAM 的一段区域，是一个特殊的存储区，用来暂存数据和地址。堆栈共有两种操作：进栈和出栈。堆栈存取数据的原则是“先进后出”或“后进先出”。

堆栈指针（SP）是一个 8 位寄存器，用于指示堆栈的栈顶，它决定了堆栈在内部 RAM 中的物理位置。51 系列单片机的堆栈地址向大的方向变化（与微机堆栈地址向小的方向变化相反）。

堆栈主要是为子程序调用和中断操作而设立的,主要有两个作用:保护断点和保护现场。所谓保护断点,就是在调用子程序或调用中断服务程序时,先把主程序的断点地址保护起来,为程序正确返回作准备。所谓保护现场,就是在执行子程序或中断服务程序时,会用到单片机的一些相同的寄存器,预先将这些寄存器的内容压入堆栈,保护这些寄存器的内容,保证返回主程序时按照原来的状态继续执行。

系统复位后,SP 初值为 07H,使得堆栈事实上由 08H 单元开始,占用 1~3 工作寄存器区,实际应用中通常根据需要在主程序开始处对堆栈指针 SP 进行初始化,一般 SP 设置为 60H。

(7) I/O 口专用寄存器(P0、P1、P2、P3)。8051 片内有 4 个 8 位并行 I/O 接口 P0、P1、P2 和 P3,在 SFR 中相应地有 4 个 I/O 口寄存器 P0、P1、P2 和 P3。

(8) 定时/计数器(TL0、TH0、TL1 和 TH1)。51 系列单片机中有两个 16 位的定时/计数器 T0 和 T1,它们由 4 个 8 位寄存器(TL0、TH0、TL1 和 TH1)组成,两个 16 位定时/计数器是完全独立的。可以单独对这 4 个寄存器进行寻址,但不能把 T0 和 T1 当作 16 位寄存器来使用。

(9) 串行数据缓存器 SBUF。串行数据缓存器 SBUF 用于存放需要发送和接收的数据,它由两个独立寄存器组成(发送缓存器和接收缓存器),要发送和接收的操作其实都是对串行数据缓存器 SBUF 进行的。

(10) 其他控制寄存器。除上述外,还有 IP、IE、TCON、SCON 和 PCON 等几个寄存器,主要用于中断、定时/计数和串行口的控制。

特殊寄存器 SFR 的字节寻址问题的几点说明如下。

(1) 在 SFR 块的地址空间 80FH~FFH 中,仅有 21 个(51 子系列)或 26 个(52 子系列)字节作为特殊功能寄存器离散分布在这 128 个字节范围内。其余字节无定义,但用户不能对这些字节进行读/写操作。若对其进行访问,则将得到一个不确定的随机数,因而是没有意义的。

(2) 程序计数器 PC 不占据 RAM 单元,它在物理上是独立的,是不可寻址的寄存器。

(3) 对专用寄存器只能使用直接寻址方式,书写时既可使用寄存器符号,也可使用寄存器地址。

3.5.6 单片机工作原理实例分析

单片机通过执行程序实现用户所要求的功能,执行不同的程序就能完成不同的任务。因此,单片机的工作过程实际上就是执行程序的过程。

单片机执行程序也就是逐条执行指令,通常一条指令的执行分为 3 个阶段:取指令、分析指令和执行指令。

(1) 取指令:根据程序计数器 PC 的值从 ROM 读出下一条要执行的指令,送到指令寄存器 IR(当执行一条指令时,先把它从内存取到数据寄存器 DR 中,然后再传送到 IR)。

(2) 分析指令:将 IR 中的指令操作码取出进行译码,分析指令要求实现的操作性质。

(3) 执行指令:取出操作数,按照操作码的性质对操作数进行操作。

单片机执行程序的过程实质上就是对每条指令重复上述操作的过程。

例如, $Y=5+10$ 的求解过程。

```
MOV    A, # 05H
ADD    A, # 0AH
SJMP   $
```

汇编语言源程序指令代码编译后的程序存储地址及机器代码如下:

2000H	7405H
2002H	240AH
2004H	0FEH

CPU 工作原理如图 3.14 所示。CPU 由运算器和控制器构成,其中运算器由算术逻辑单元 ALU、累加器 A、暂存器 TMP1 和程序状态字 PSW 构成;控制器包括程序计数器 PC、地址寄存器 AR、数据寄存器 DR、指令寄存器 IR、指令译码器 ID、时序部件及微操作控制部件。

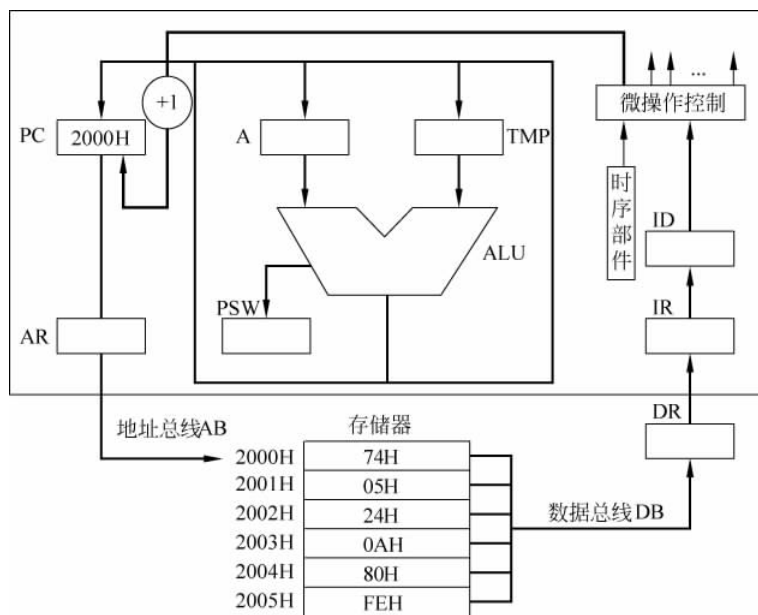


图 3.14 CPU 工作原理分析

(3) 地址寄存器 AR 的内容(2000H)通过内部地址总线送到存储器,经存储器中的地

址译码电路选中地址为 2000H 的存储单元。

- (4) CPU 使读控制线有效。
- (5) 在读命令的控制下,被选中存储单元的内容(74H)送到内部数据总线上。
- (6) 该内容通过数据总线被送到指令寄存器 IR(74H)。

至此,取指令完成。下面进入译码分析和执行指令阶段。由于指令寄存器 IR 中的内容是 74H(操作码),经指令译码器 ID 译码后,单片机就会知道该指令是要将一个立即数送到累加器 A 中,而该数是此代码的下一个存储单元。所以,执行该指令就是要把数据(05H)从存储器中取出,送到累加器 A,因此执行指令实质上就是要到存储器中取第二个字节。

执行指令过程如下。

- (1) 程序计数器 PC 的内容(2001H)送到地址寄存器 AR。
- (2) 程序计数器 PC 的内容自动加 1(变为 2002H)。
- (3) 地址寄存器 AR 的内容(2001H)通过内部地址总线送到存储器,经存储器中的地址译码电路选中地址为 2001H 的存储单元。
- (4) CPU 使读控制线有效。
- (5) 在读命令的控制下,被选中存储单元的内容(05H)送到内部数据总线上。
- (6) 取得的数据被送到累加器 A(05H)。

至此,一条指令执行完毕。此时 $PC=2002H$,单片机又进入下一个取指令阶段(“ADD A, #0AH”的操作码 24H),然后分析执行这一指令,取得的数据(0AH)与累加器 A 的数据(05H)相加,相加后的数据(15H)被送到累加器 A(15H)。这样一直重复下去,直到遇到循环等待指令(“SJMP \$”的操作码 80FEH,双字节指令,无条件相对转移指令)才停止。

3.6 51 系列单片机的复位电路与复位状态

3.6.1 复位电路

51 系列单片机的第 9 脚(RST)为复位引脚。系统上电后,时钟电路开始工作,只要 RST 引脚上出现大于两个机器周期时间的高电平即可引起单片机执行复位操作。

单片机的外部复位电路有上电自动复位和按键手动复位两种。所谓上电自动复位,是指计算机加电瞬间,要在 RST 引脚产生两个机器周期(即 24 个时钟周期)以上的高电平(如单片机的时钟频率为 12MHz,则复位脉冲宽度应在 $2\mu s$ 以上),使单片机进入复位状态。按键手动复位是指用户按下“复位”按键,使单片机进入复位状态。

上电自动复位电路是最简单的复位电路,由电容和电阻串联构成,如图 3.15(a)所示。上电瞬间,由于电容两端电压不能突变,RST 引脚端电压 V_{RST} 为 V_{CC} 。随着对电容的充电,RST 引脚的电压呈指数规律下降,如图 3.15(b)所示。经过时间 t_1 后, V_{RST} 降为高电平所需电压的下限 3.6V。随着对电容充电的进行,经一定时间后(约 10ms), V_{RST} 最后将接近 0V,单片机开始工作。

为了确保单片机复位, t_1 必须大于两个机器周期的时间。 t_1 可以通过 $t_1=RC$ 来粗略

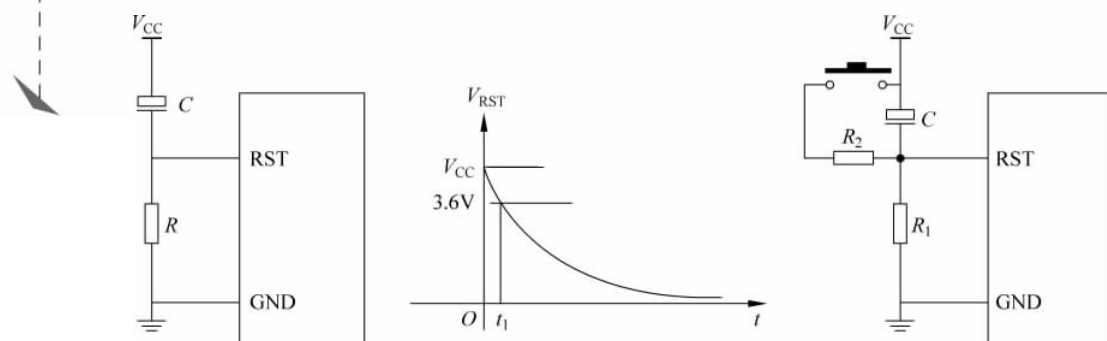


图 3.15 复位电路

地计算。上电自动复位电路中,时间常数 RC 越大,上电时保持高电平的时间越长。当振荡频率为 12MHz 时,典型值 $C=10\mu\text{F}$ 、 $R=8.2\text{k}\Omega$; 当振荡频率为 6MHz 时, $C=22\mu\text{F}$ 、 $R=1\text{k}\Omega$ 。

上电复位和按键复位组合电路,如图 3.15(c)所示。 R_2 的阻值一般很小,当然也可以直接短接。当按下复位按键后,电容迅速通过 R_2 放电,放电结束时 V_{RST} 为 $(R_1 \times V_{\text{CC}})/(R_1 + R_2)$, 由于 R_1 远大于 R_2 , V_{RST} 非常接近 V_{CC} ,使 RST 引脚为高电平。松开复位按键后,过程与上电复位相同。电容量和电阻值的参考值是 $C=22\mu\text{F}$ 、 $R_1=1\text{k}\Omega$ 、 $R_2=200\Omega$ 。

以上两种电路是最基本的复位电路,51 系列单片机多采用上电复位和按键复位组合电路。

在单片机应用系统中,有些外围芯片也需要复位。如果这些芯片的复位电平与单片机一致,则可以与单片机复位引脚相连,提供一个同步的复位信号。

3.6.2 复位状态

当单片机的 RST 引脚被加上大于两个机器周期时间的高电平之后,单片机进入复位方式,复位之后,单片机的内部各个寄存器进入复位状态,即初始化状态,其数值如表 3.7 所示。

表 3.7 51 系列单片机复位状态表

寄 存 器	复 位 状 态	寄 存 器	复 位 状 态
PC	0000H	TCON	00H
A	00H	T2CON	00H
B	00H	TH0	00H
PSW	00H	TL0	00H
SP	07H	TH1	00H
DPTR	0000H	TL1	00H
P0~P3	FFH	TMOD	00H
IE	00H	IP	00H

各个寄存器初始化状态及其对应的功能简要说明如下。

PC=0000H: 程序的初始入口地址为 0000H。

PSW=00H: 由于 RS1(PSW. 4)=0, RS0(PSW. 3)=0, 复位后单片机选择工作寄存器 0 组。

SP=07H: 复位后堆栈在片内 RAM 的 08H 单元处建立。

TH1、TL1、TH0、TL0: 它们的内容为 00H, 定时/计数器的初值为 0。

TMOD=00H: 复位后定时/计数器 T0、T1 定时器方式为 0, 非门控方式。

TCON=00H: 复位后定时/计数器 T0、T1 停止工作, 外部中断 0、1 为电平触发方式。

T2CON=00H: 复位后定时/计数器 T2 停止工作。

SCON=00H: 复位后串行口工作在移位寄存器方式, 且禁止串行口接收。

IE=00H: 复位后屏蔽所有中断。

IP=00H: 复位后所有中断源都设置为低优先级。

P0~P3: 锁存器都是全 1 状态, 说明复位后 4 个并行接口设置为数据入口。

3.7 51 系列单片机的低功耗方式

51 系列单片机采用两种半导体工艺生产。一种是 HMOS 工艺, 即高密度短沟道 MOS 工艺; 另一种是 CHMOS 工艺, 即互补金属氧化物 MOS 工艺。CHMOS 是 CMOS 和 HMOS 的结合, 除保持了高速度和高密度的特点外, 还具有 CMOS 低功耗的特点。在便携式、手提式或野外作业仪器设备上, 低功耗是非常有意义的, 因此, 在这些产品中必须使用 CHMOS 的单片机芯片。

采用 CHMOS 工艺的单片机不仅运行时耗电少, 而且还提供两种节电工作方式, 即空闲(等待、待机)工作方式和掉电(停机)工作方式, 以进一步降低功耗。

实现这两种工作方式的内部控制电路如图 3.16 所示。

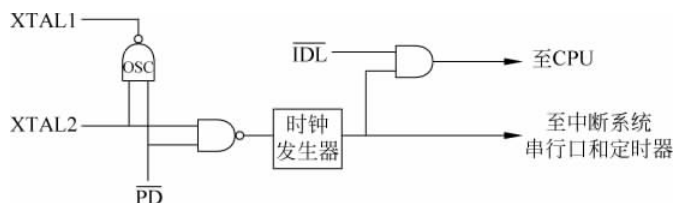


图 3.16 空闲和掉电工作方式的内部控制电路

由图可知, 若 $\overline{IDL}=0$, 则进入空闲工作方式。在这种方式下, 振荡器仍继续工作, 但 $\overline{IDL}=0$ 封锁了 CPU 的时钟信号, 而中断、串行口和定时器却在时钟的控制下正常工作。若 $\overline{PD}=0$, 则进入掉电工作方式, 振荡器被冻结。 $\overline{IDL}$ 和 $\overline{PD}$ 信号由电源控制寄存器 PCON 中 IDL 和 PD 触发器的 $\overline{Q}$ 输出端提供。

3.7.1 方式设定

空闲工作方式和掉电工作方式通过电源控制寄存器 PCON(地址为 87H)的相应位进行设置。电源控制寄存器 PCON(字节地址 87H)的格式如表 3.8 所示。

表 3.8 电源控制寄存器 PCON 位定义

D7	D6	D5	D4	D3	D2	D1	D0
SMOD	—	—	—	GF1	GF0	PD	IDL

其中各位说明如下。

SMOD: 波特率倍频位。当串行端口工作于方式 1、方式 2、方式 3, 使用定时器作为波特率产生器时, 若其为 1, 则波特率加倍。

GF1、GF0: 一般用途标志位, 用户可自行设定或清除这两个标志。通常使用这两个标志位来说明中断是在正常操作还是在待机期间发生的。

PD: 掉电方式控制位。此位置 1 时, 进入掉电工作方式; 此位为 0 时, 结束掉电工作方式。

IDL: 空闲方式控制位。此位置 1 时, 进入空闲工作方式; 此位为 0 时, 结束空闲工作方式。

如果 PD 和 IDL 两位都被置 1, 则 PD 无效。

3.7.2 空闲(等待、待机)工作方式

可通过置位 PCON 寄存器的 IDL 位来进入空闲工作方式。在空闲工作方式下, 内部时钟不向 CPU 提供, 只供给中断、串行口、定时器部分。CPU 的内部状态维持, 即包括堆栈指针 SP、程序计数器 PC、程序状态字 PSW、累加器 ACC 的所有内容保持不变, 片内 RAM 和端口状态也保持不变, 所有中断和外围功能仍然有效。

进入空闲工作方式后, 有两种方法可以使系统退出空闲工作方式。

一种方法是任何中断请求被响应都可以由硬件将 PCON. 0 (IDL) 清为“0”而终止空闲工作方式。当执行完中断服务程序返回到主程序时, 在主程序中, 下一条要执行的指令将是原先使 IDL 置位指令后面的那条指令。PCON 中的通用标志 GF1 和 GF2 可以用来指明中断是在正常操作还是在空闲工作方式期间发生的。

另一种退出空闲工作方式的方法是硬件复位。RST 端的复位信号直接将 PCON. 0 (IDL) 清为“0”, 从而退出空闲状态。CPU 则从空闲工作方式的下一条指令重新执行程序。

3.7.3 掉电(停机)工作方式

可通过置位 PCON 寄存器的 PD 位来进入掉电工作方式。在掉电工作方式下, 内部振荡器停止工作, 由于没有振荡时钟, 所有的功能部件都将停止工作, 但内部 RAM 区和特殊功能寄存器的内容被保留。

退出掉电工作方式的唯一方法是由硬件复位。复位后将所有特殊功能寄存器的内容初始化, 但不改变片内 RAM 的数据。

在掉电工作方式下, V_{CC} 可以降到 2V, 但在进入掉电方式之前, V_{CC} 不能降低。在准备退出掉电方式之前, 必须恢复正常的工作电压值, 并维持一段时间(约 10ms), 使振荡器重新启动并稳定后, 方可退出掉电方式。

3.8 51 系列单片机的最小系统

单片机的最小系统是单片机能够工作的最小硬件组合。对于 8051 系列单片机,其电路的最小系统大致相同,主要包括电源、晶体振荡电路、复位电路等,如图 3.17 所示。

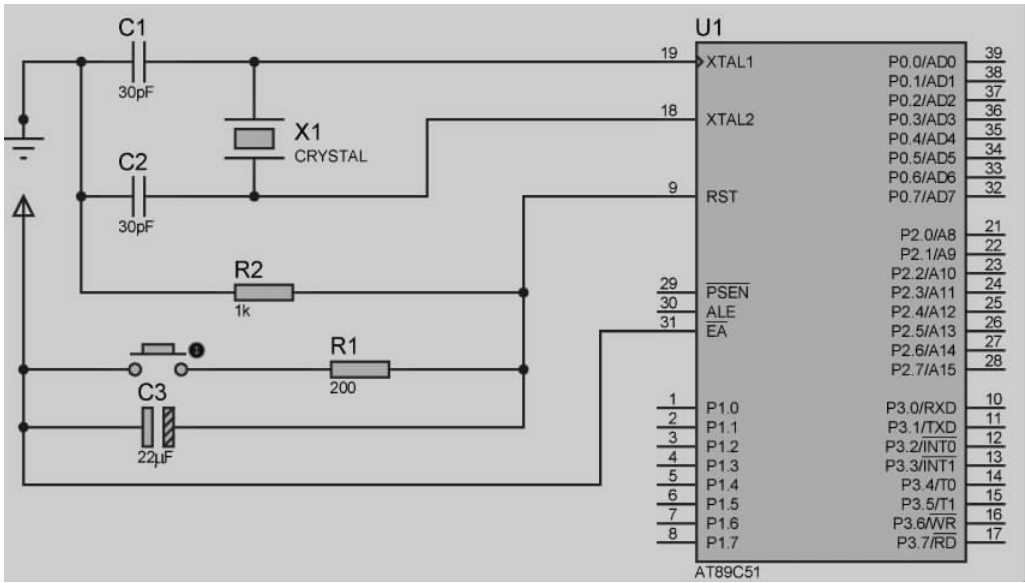


图 3.17 单片机的最小系统

在这里,外接晶振通过两个 30pF 的电容接地,同时采用了手动加上电复位电路,电容量和电阻值的参考值是 $C3=22\mu\text{F}$ 、 $R1=200\Omega$ 、 $R2=1\text{k}\Omega$ 。

该电路可以实现复位及程序运行的基本功能,对于其他一些兼容型号的单片机同样使用。

如前所述的“用单片机点亮一盏灯”的单片机应用系统设计实例,就是以该最小系统为硬件设计基础,在 P1.0 引脚连接“一盏 LED 灯”。

在后续的单片机应用系统设计实例中,均以该最小系统为硬件设计基础,并根据系统设计的需要,在此基础上进行相应的硬件扩充。

课外设计作业

查找相关资料,进一步理解和掌握 51 系列单片机的硬件结构,为后续单片机应用系统的设计奠定较好的基础。