

第3章 存储映像、中断源与硬件最小系统

本章导读：本章简要概述了 KL25/26 的存储映像、中断源与硬件最小系统，有助于读者了解 KL25/26 软硬件系统的大致框架，以便开始 KL25/26 的软硬件设计。3.1 节简要介绍了 Kinetis 全系列微控制器产品分类及应用领域；3.2 节给出 KL 系列 MCU 的型号标识、基本特点及体系结构概述；3.3 节给出 KL25/26 系列芯片的存储映像及中断源，存储映像主要包括 Flash 区、片内 RAM 区，以便于配置链接文件；3.4 节将引脚分为硬件最小系统引脚及对外提供服务的引脚两类，并介绍其各自的功能；3.5 节给出了 KL25/26 硬件最小系统的原理图及简明分析。

本章参考资料：3.1 节主要参考自官网 Kinetis 的简介；3.2 节主要参考自官网资料 KL 系列介绍以及《KL 参考手册》^①；3.3 节的 KL25/26 系列存储映像与中断源参考自《KL 参考手册》的第 3 章；3.4 节的 KL25/26 的引脚功能，参考自《KL 参考手册》的第 10 章。

3.1 恩智浦 Kinetis 系列微控制器简介

飞思卡尔(2015 年与恩智浦合并)在 2010 年飞思卡尔技术论坛(FTF2010)美国站推出了 Kinetis 系列微控制器，这是基于新 ARM Cortex-M4 处理器的 90nm 32 位 MCU，开创了其微控制器领先地位的新纪元。它基于低功率混合信号 ARM Cortex-M4 处理器，是业内扩展能力最强的 MCU 系列之一。面向不同应用领域，Kinetis 系列基于不同的 ARM Cortex-M 内核陆续推出了 Kinetis K 系列、L 系列、M 系列、W 系列、E 系列、EA 系列以及 V 系列。了解这些系列概况有助于应用时选型。

1. K 系列

Kinetis K 系列产品组合有超过两百种基于 ARM Cortex-M4 结构的低功耗、高性能、可兼容的微控制器。这个系列产品集成度高，它包含多种快速 16 位 ADC、DAC 和可编程增益放大器以及强大、经济有效的信号转换器。目标应用领域是便携式医疗设备、仪器仪表、工业控制及测量设备等。

2. KL 系列

Kinetis L 系列(KL 系列)MCU 不仅汲取了新型 ARM Cortex-M0+处理器的卓越能效和易用性、功耗更低、价格更低、效率更高，而且体现了 Kinetis 产品优质的性能、多元化的外设、广泛的支持和可扩展性。目标应用领域是 8/16 位 MCU 应用领域的升级换代，适用于价格敏感、能效比相对较高的领域，如手持设备、智能终端等。

3. KM 系列

KM 系列也是基于 32 位 ARM Cortex-M0+内核的 MCU。所有 KM 系列 MCU 都包

^① 本书随后所说的《KL 参考手册》均分别指《KL25 参考手册》《KL26 参考手册》。

含一个模拟前端,使 CPU 的电源计算可以达到 0.1% 的精确度。它包含 4 个 24 位 Σ - Δ 模数转换器、两个低噪声可编程增益放大器,温度漂移范围小和具有相对补偿的精密参考电压,以简化精确的功率计算。目标应用领域是经济高效的单相或两相电表设计中。

4. KW 系列

KW 系列 MCU 扩展了 K 系列基于 ARM Cortex-M4 的成功之处。KW20 无线 MCU 集成了领先的 RF 收发器和 ARM Cortex-M4 内核,并且支持一个强大的、安全的、可靠的和低功耗的 IEEE 802.15.4 的无线解决方案。KW 系列是一个性能优越的无线 MCU 选择方案,可以提供良好的混合性能、集成、连通性和安全性。KW01 超低功耗无线 MCU 是基于 ARM Cortex-M0+ 内核的智能无线解决方案,旨在解决低于 1GHz(290~1020MHz)的无线连接应用。目标应用领域是智能电表、传感器控制网络、工业控制、数据采集等。

5. KE 系列

KE 系列产品可在复杂电气噪声环境和要求高可靠性的应用中保持高稳定性,而且有丰富的存储器、外设和产品包可供选择。它们具有通用的外设和引脚数量,使开发人员能够轻松实现相同 MCU 系列内或多个 MCU 系列间的迁移,以利用更多存储器或特性集成。这种可扩展性使开发人员能够在 KE 系列上实现其终端产品平台的标准化,最大程度地提高硬件和软件的再利用,并加快产品上市速度。

6. KEA 系列

KEA 系列 32 位 MCU 广泛适用于质量要求和长期供货保证要求都很高的汽车和工业应用。KEA 系列是广泛的 ARM 生态合作体系的入门级产品,拥有出色的 EMC/ESD 兼容性,能够适应高温环境,并且辐射排放较低。恩智浦为 KEA 系列提供可扩展、稳定可靠的高性能解决方案,适合成本敏感型汽车应用。此外恩智浦还提供了丰富的参考设计、工具和应用说明,最大程度缩短设计开发时间,加快产品上市速度。

7. KV 系列

KV 系列 MCU 基于 ARM Cortex-M0+、Cortex-M4 和 Cortex-M7 内核,专为各种 BLDC、PMSM 和 ACIM 电机控制以及数字电源转换应用而设计。凭借飞思卡尔逾二十年的电机控制处理器专长,推出针对电机控制和数字功率的 MCU 是顺理成章的事。KV 系列凭借出色的性能/价格比、量身定制的外设和捆绑型电机套件,可以使开发人员比以前更快、更容易地进行高效的设计。

3.2 KL 系列 MCU 简介与体系结构概述

3.2.1 KL 系列 MCU 简介

KL 系列 MCU 于 2012 年 6 月提供样片,2013 年正式上市。该系列 MCU 是业内首款基于 ARM Cortex-M0+ 内核的 MCU,具有超低功耗、应用设计方便、扩展性好、系列品种齐全等特点。目标市场是传统 8 位 MCU 应用领域的 32 位升级换代。Kinetis L 系列 MCU 面向家用电器、便携式医疗系统、智能电表、照明、电源、电机控制及工业控制系统等,对稳定性、功耗、成本和易用性等方面有较严格要求的市场。该系列的设计充分考虑了应用

的简约性,使得应用工程师可以像使用 8 位机一样进行 32 位机的应用开发。同时,KL 系列 MCU 和基于 ARM Cortex-M4 内核的 K 系列 MCU 完全兼容,包括引脚。为提高性能、扩大闪存和未来集成提供了扩展途径,也使得软件、硬件的可复用性与可移植性得到了较宽的延伸。

KL 系列 MCU 具有多个低功率操作模式,包括新的门控时钟,该模式在要求最低功耗时通过关闭总线、系统时钟减少动态功耗,外设仍可在一个可选异步时钟源下继续运作;在未唤醒内核情况下,UART、SPI、I2C、ADC、DAC、TPM、LPT 和 DMA 等可支持低功耗模式。KL 系列 MCU 主要特点如下: CPU 最高工作频率 48MHz、支持直接存储器访问(Direct Memory Access,DMA)、位操作引擎(Bit Manipulation Engine,BME)、内核单周期访问内存速度可达 1.77CoreMark/MHz、单周期访问 I/O、关键外设速度比标准 I/O 最大提高 50%; 2 级流水线设计减少了指令周期数(CPI),提高跳转指令和执行 ISR 中断服务例程速度;与 8 位、16 位 MCU 相比具有更精简的代码密度,减少 Flash 空间、系统资源及功耗;更精简的指令系统优化访问程序存储空间,完全兼容 ARM Cortex-M0,兼容 Cortex-M3/M4 指令集子集。执行跟踪缓冲区:实现轻量级追踪解决方案,更快定位修正 bug。

1. KL 系列 MCU 的型号标识

恩智浦 Kinetis 系列 MCU 的型号众多,但同一子系列的 CPU 核是相同的,多种型号只是为了适用于不同的应用场合。为了方便选型或订购,需记忆 MCU 型号标识的基本含义。KL 系列命名格式为:“**Q KL## A FFF R T PP CC (N)**”,其中,各字段说明如表 3-1 所示,本书使用的芯片命名为 MKL25Z128VLK4。

表 3-1 KL 系列芯片命令字段说明

字 段	说 明	取 值
Q	质量状态	M=正式发布芯片;P=工程测试芯片
KL##	Kinetis 系列号	KL25
A	内核属性	Z=Cortex-M0+
FFF	程序 Flash 大小	32=32KB; 64=64KB; 128=128KB; 256=256KB
R	硅材料版本	(空)=主要使用的版本;A=主要使用版本的更新
T	运行温度范围	V=-40~105℃
PP	封装类型	FM=32 QFN(5mm×5mm); FT=48 QFN(7mm×7mm); LH= 64 LQFP(10mm×10mm); LK= 80 LQFP(12mm×12mm)
CC	CPU 最高频率	4=48MHz
N	包装类型	R=卷包装;(空)=盒包装

2. KL 系列 MCU 的共性

KL 系列 MCU 由 5 个子系列组成,分别是 KL0x、KL1x、KL2x、KL3x、KL4x,表 3-2 给出了 KL 系列芯片的简明资源。所有 KL 系列 MCU 均具有低功耗与丰富的混合信号控制外设,提供了不同的闪存容量和引脚数量,供实际应用选型。从应用的角度而言,KL0x 属于入门级芯片,KL1x 属于通用型芯片,而 KL2x、KL3x、KL4x 则更具针对性,KL2x 系列具有 USB OTG 技术,KL3x 系列支持段式 LCD,KL4x 系列为 KL 的旗舰系列,支持功能也最丰富。

表 3-2 KL 系列芯片的简明资源

系列	Flash 大小	引脚数量	低功耗	模拟信号	USB	段式 LCD	备注
KL4x	128~256KB	64~121	✓	✓	✓	✓	
KL3x	64~256KB	64~121	✓	✓		✓	
KL2x	32~256KB	32~121	✓	✓	✓		本书选用
KL1x	32~256KB	32~80	✓	✓			
KL0x	8~32KB	16~48	✓	✓			

KL 系列 MCU 在内核、低功耗、存储器、模拟信号、人机接口、安全性、定时器及系统特性等方面具有一些共同特点,简要总结在表 3-3 中。

表 3-3 KL 系列 MCU 的共性

项 目	特 点
超低功耗	32 位 ARM Cortex-M0+内核具有超低功耗
内存	可扩展内存: 8KB Flash/1KB SRAM 至 128KB Flash/16KB SRAM; 内含 64B 高速缓冲存储区,可优化总线宽度和 Flash 的执行性能(KL02 系列除外)
模拟信号	快速、高精度 16/12 位 ADC; 12 位 DAC; 高速比较器
人机接口	低功率触摸感应界面
通信	所有 UART 支持 DMA 传输,总线检测到数据也能触发传输; UART0 支持 4~32 倍的采样速率; 在 STOP/VLPS 模式,也能运行异步传输和接收操作; 最大支持两路 SPI; 最大支持两路 I2C; 支持全速 USB OTG 片内传输控制设备
可靠性、安全性	内部看门狗监控
定时控制器	强大的定时模块支持通用/PWM/电机控制功能; 可用于 RTOS 任务调度、ADC 转换或定时的周期中断定时器
系统特性	GPIO 支持引脚中断; 宽泛的工作电压: 1.71~ 3.6V; Flash 编程电压、模拟外设电压低至 1.71V; 运行温度范围: -40℃~ 105℃

3. KL25/26 子系列 MCU 简明资源

本书以 KL25 与 KL26 子系列为蓝本阐述嵌入式技术基础,至本书出版时,该系列各共有 12 个具体芯片型号。共同特点有: CPU 工作频率为 48MHz; 工作电压为 1.71~ 3.6V; 运行温度范围为 -40℃~105℃; 具有 64B 的 Cache; 具有 USB OTG、定时器、DMA、UART、SPI、I2C、TSI、16 位 ADC、12 位 DAC 等模块。在 Flash 容量、RAM 容量、I/O 引脚数及封装形式等有差异,见表 3-4,带底纹的型号为本书选用。具体应用时,需查询芯片的数据手册。

表 3-4 KL25/26 子系列 MCU 简明资源

引脚数	封装	Flash/KB	SRAM/KB	KL25 型号	KL26 型号
32	QFN	32	4	MKL25Z32VFM4(R)	MKL26Z32VFM4(R)
		64	8	MKL25Z64VFM4(R)	MKL26Z64VFM4(R)
		128	16	MKL25Z128VFM4(R)	MKL26Z128VFM4(R)
48	QFN	32	4	MKL25Z32VFT4(R)	MKL26Z32VFT4(R)
		64	8	MKL25Z64VFT4(R)	MKL26Z64VFT4(R)
		128	16	MKL25Z128VFT4(R)	MKL26Z128VFT4(R)

续表

引脚数	封装	Flash/KB	SRAM/KB	KL25 型号	KL26 型号
64	LQFP	32	4	MKL25Z32VLH4(R)	MKL26Z32VLH4(R)
		64	8	MKL25Z64VLH4(R)	MKL26Z64VLH4(R)
		128	16	MKL25Z128VLH4(R)	MKL26Z128VLH4(R)
80	LQFP	32	4	MKL25Z32VLK4(R)	MKL26Z32VLK4(R)
		64	8	MKL25Z64VLK4(R)	MKL26Z64VLK4(R)
		128	16	MKL25Z128VLK4(R)	MKL26Z128VLK4(R)

3.2.2 KL 系列 MCU 体系结构概述

KL 系列 MCU 是以 AMBA 总线规范为架构的片上系统(System On Chip,SOC),如图 3-1 所示。一般来说,AMBA 架构包含高性能系统总线(Advanced High Performance Bus,AHB)和低速、低功耗的高级外设总线(Advanced PeriPheral Bus,APB)。高性能系统总线 AHB 是负责连接 ARM 内核、DMA 控制器、片内存储器或其他需要高带宽的模块。而外设总线 APB 则是用来连接系统的外围慢速模块,其协议规则相对系统总线 AHB 来说较为简单,它与系统总线 AHB 之间则通过总线桥(Bus Bridge)相连,期望能减少系统总线的负载。

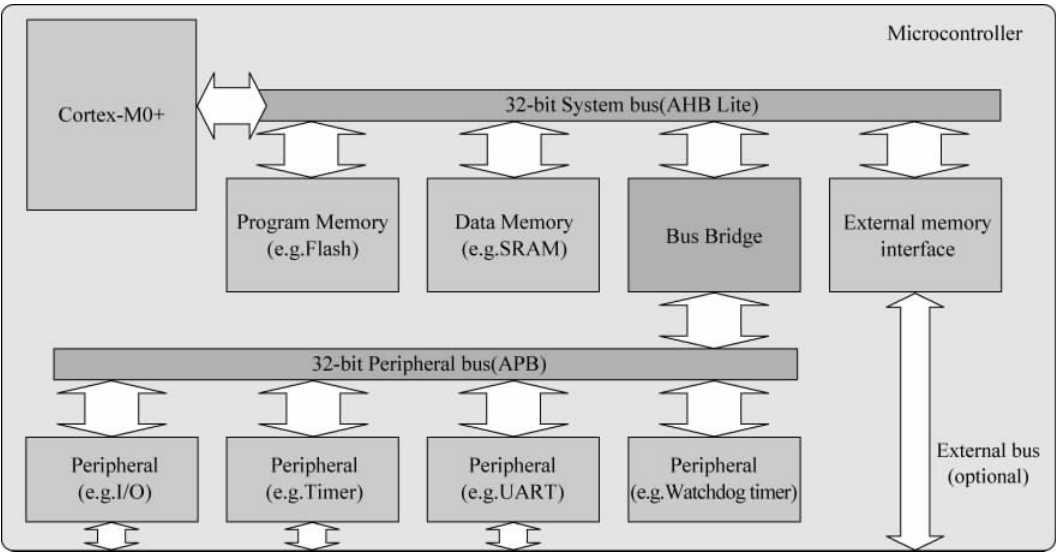


图 3-1 32 位 MCU 系统、外围总线模块图

1. AMBA 总线规范

ARM 公司定义了 AMBA(Advanced Microcontroller Bus Architecture)总线规范,它是一组针对基于 ARM 内核、片内系统之间通信而设计的标准协议。在 AMBA 总线规范中,定义三种总线,分别是:①高性能总线,用于高性能系统模块的连接,支持突发模式数据传输和事务分割;②高级系统总线(Advanced System Bus,ASB),也用于高性能系统模块的连接,支持突发模式数据传输,这是较老的系统总线格式,后来由高性能总线 AHB 替代;

③高级外设总线(Advanced PeriPheral Bus, APB),用于较低性能外设的简单连接,一般是接在 AHB 或 ASB 系统总线上的第二级总线。最初的 AMBA 总线是 ASB 和 APB。在它的第二个版本中,ARM 引入了 AHB。

2. 总线桥

总线桥(Bus Bridge),在《KL 参考手册》中也被称为外设桥(Peripheral Bridge),给外设桥的名字是 AIPS-Lite,即图 3-1 中的 Bus Bridge。外设桥的作用是把交叉开关(Crossbar Switch)接口协议,转换成私有外设总线协议(IPS/APB)。本书中 MCU 外设桥以外设槽(Slot)形式,最多可连接 128 个外设,给每个外设分配 4KB 的寄存器映像空间。外设桥为每个外设槽提供了独立时钟,以便更好地支持低速外设。

3. 交叉开关

交叉开关(Crossbar Switch)将总线主机与总线从机相连,该结构允许多达 4 路主机同时访问不同总线从机。所谓总线主机是指其可在总线上产生与控制所有时序。当总线主机试图通过交叉开关访问从机端口,若该端口处于空闲状态,则执行访问,访问速度最大可达单周期或零等待;若从机端口处于忙状态或被其他总线主机占用,总线主机插入查询等待状态直到目的从机响应服务主机请求。响应服务延迟时间取决于每个主机各自优先级以及访问目的从机时间。但若同时访问相同从机时,交叉开关提供仲裁机制确定访问顺序,仲裁机制包括优先级固定算法和优先级轮转算法。

3.3 KL25/26 系列存储映像与中断源

3.3.1 KL25/26 系列存储映像

所谓存储映像(Memory Mapping)在这里可以直观地理解为,M0+寻址的 4GB 地址空间(0x0000_0000~0xFFFF_FFFF)^①被如何使用,都对应了哪些实际的物理介质。有的给了 Flash 存储器使用,有的给了 RAM 使用,有的给了外设模块使用。下面利用 GPIO 模块来阐述有关概念。GPIO 模块使用了 0x400F_F000~0x400F_FFFF 地址空间,这些空间内的 GPIO 寄存器与 CPU(即 M0+内核)内部寄存器(如 R0、R1 等)不同,访问 GPIO 寄存器需要使用直接地址进行访问,也就是说需要使用三总线(地址总线、数据总线、控制总线)。而访问 CPU 内部寄存器,不需经过三总线(汇编语言直接使用 R0、R1 等名称即可),没有地址问题。由于访问 CPU 内部寄存器不经过三总线,所以比访问 GPIO 寄存器(对应直接地址)来得快。为区别于 CPU 内部寄存器,GPIO 寄存器也被称为“映像寄存器”(Mapping Register),相对应的地址被称为“映像地址”(Mapping Address)。整个可直接寻址的空间被称为“映像地址空间”(Mapping Address Space)。

KL25/26 把 M0+内核之外的模块,用类似存储器编址的方式,统一分配地址。在 4GB 的映像地址空间内,分布着片内 Flash、SRAM、系统配置寄存器以及其他外设等,以便 CPU 通过直接地址进行访问。表 3-5 给出了本书中介绍的 MKL25Z128VLK4(简称 KL25,下

^① 0x00000000 书写成 0x0000_0000 仅仅是为了清晰,便于阅读。

同)和 MKL26Z128VLH4(简称 KL26,下同)存储映像空间分配。

表 3-5 KL25/26 存储映像空间分配

32 位地址范围	目的从机	说明
0x0000_0000~0x07FF_FFFF	可编程 Flash 和只读数据	128KB(0x0000_0000~0x0001_FFFF)
0x0800_0000~0x1FFF_EFFF	保留	—
0x1FFF_F000~0x1FFF_FFFF	SRAM_L; Lower SRAM	16KB RAM 区
0x2000_0000~0x2000_2FFF	SRAM_U; Upper SRAM	
0x2000_3000~0x3FFF_FFFF	保留	—
0x4000_0000~0x4007_FFFF	AIPS 外围设备	串口、定时器、模块配置等
0x4008_0000~0x400F_EFFF	保留	—
0x400F_F000~0x400F_FFFF	通用输入/输出(GPIO)	GPIO 模块
0x4010_0000~0x43FF_FFFF	保留	—
0x4400_0000~0x5FFF_FFFF	BME 访问外设槽 0-127	只能对特定的区域位操作
0x6000_0000~0xDFFF_FFFF	保留	—
0xE000_0000~0xE00F_FFFF	私有外设	系统时钟、中断控制器、调试接口
0xE010_0000~0xEFFF_FFFF	保留	~
0xF000_0000~0xF000_0FFF	MTB(微型跟踪缓存)寄存器	—
0xF000_1000~0xF000_1FFF	MTB 数据查看和跟踪寄存器	—
0xF000_2000~0xF000_2FFF	ROM 表	存放存储映射信息
0xF000_3000~0xF000_3FFF	杂项控制模块	—
0xF000_4000~0xF7FF_FFFF	保留	—
0xF800_0000~0xFFFF_FFFF	IOPORT: GPIO(单周期访问)	可被内核直接访问

对于此表,主要记住片内 Flash 区及片内 RAM 区存储映像。因为中断向量、程序代码、常数放在片内 Flash 中,源程序编译后的链接阶段需要使用的链接文件中需含有目标芯片 Flash 的地址范围及用途等信息,才能顺利生成机器码。链接文件中还需包含 RAM 的地址范围及用途等信息,以便生成机器码确切定位全局变量、静态变量的地址及堆栈指针。

1. 片内 Flash 区存储映像

KL25/26 片内 Flash 大小为 128KB,地址范围是: 0x0000_0000 ~ 0x0001_FFFF,一般被用来存放中断向量、程序代码、常数等,其中前 192B 为中断向量表。

2. 片内 RAM 区存储映像

KL25/26 片内 RAM 为静态随机存储器 SRAM,大小为 16KB,地址范围是: 0x1FFF_F000~0x2000_2FFF,一般被用来存储全局变量、静态变量、临时变量(堆栈空间)等。这 16KB 的 RAM,在物理上被划分为 SRAM_L 和 SRAM_U 两个部分^①,分为 SRAM_L: 0x1FFF_F000~0x1FFF_FFFF(4KB); SRAM_U: 0x2000_0000~0x2000_2FFF(12KB)。该芯片的堆栈空间的使用方向是向小地址方向进行的,因此,堆栈的栈顶应该设置为 RAM 地址的最大值+1。这样,全局变量及静态变量从 RAM 的最小地址向大地址方向开始使用,堆栈从 RAM 的最高地址向小地址方向使用,可以减少重叠错误。

^① 将 SRAM 划分为 SRAM_L 和 SRAM_U。SRAM_U 不仅可以作为普通 RAM 来操作,还可以支持两种途径的位操作,分别是位带别名区、位操作引擎(BME),供特殊功能下高级编程使用。

3. 其他存储映像

其他存储映像,如外设区存储映像(外设桥、GPIO、位操作引擎等)、私有外设总线存储映像、系统保留段存储映像等,只需了解即可,实际使用时,由芯片头文件给出宏定义。需特殊说明的是位操作引擎 BME: 支持 BME 位操作引擎存储区地址位于 0x4400_0000 ~ 0x5FFF_FFFF。用于对外设的位操作,位操作引擎技术由硬件支持,可使用 Cortex-M 指令集中最基本的加载、存储指令完成对外设地址空间内存的读、改、写操作。具体用法见 13.4 节。

3.3.2 KL25/26 中断源

中断是计算机发展中一个重要的技术,它的出现很大程度上解放了处理器,提高了处理器的执行效率。所谓中断,是指 MCU 在正常运行程序时,由于 MCU 内核异常或者 MCU 各模块发出请求事件,引起 MCU 停止正在运行的程序,而转去处理异常或执行处理外部事件的程序(又称中断服务程序)。

这些引起 MCU 中断的事件称为中断源。KL25/26 的中断源分为两类,如表 3-6 所示,一类是内核中断,另一类是非内核中断。内核中断主要是异常中断,也就是说,当出现错误的时候,这些中断会复位芯片或是做出其他处理。非内核中断是指 MCU 各个模块被中断源引起的中断,MCU 执行完中断服务程序后,又回到刚才正在执行的程序,从停止的位置继续执行后续的指令。非内核中断又称可屏蔽中断,这类中断可以通过编程控制,开启或关闭该中断。

表 3-6 KL25/26 的中断源

中 断 类 型	中断向量号	IRQ 中断号	IPR 寄存器号	中 断 源	中断源说明
内核中断	0~3			ARM 内核	
	4~10			预留	
	11			ARM 内核	
	12,13			预留	
	14,15			ARM 内核	
非内核中断	16~19	0~3	0	DMA	DMA 通道 0~3 传输完成或错误
	20	4	1	预留	
	21	5	1	FTFA	命令完成或者读冲突
	22	6	1	PMC	低电压检测和警告中断
	23	7	1	LLWU	低漏唤醒
	24,25	8,9	2	I2C0,I2C1	I2C0,I2C1 中断
	26,27	10,11	2	SPI0,SPI1	SPI0,SPI1 中断
	28~30	12~14	3	UART0~2	UART0~2 状态和错误中断
	31	15	3	ADC0	ADC 转换完成中断
	32	16	4	ACMP0	ACMP 中断
	33~35	17~19	4	TPM0~2	TPM0~2 中断
	36	20	5	RTC	RTC 定时报警中断
	37	21	5	RTC	RTC 秒中断
	38	22	5	PIT	PIT 中断

续表

中断类型	中断向量号	IRQ 中断号	IPR 寄存器号	中断源	中断源说明
非内核中断	39	23	5	I2S0	KL25 中无 I2S 模块
	40	24	6	USBOTG	
	41	25	6	DAC0	
	42	26	6	TSI0	
	43	27	6	MCG	
	44	28	7	LPTMR0	
	45	29	7	预留	
	46	30	7	端口控制模块	端口 A 引脚检测
	47	31	7	端口控制模块	端口 C,D 引脚检测

表 3-6 中还给出了各中断源的中断向量序号,非内核中断的中断请求(Interrupt Request)号(简称 IRQ 中断号),以及非内核中断的优先级设置的寄存器号(简称 IPR 寄存器号)。中断向量序号是每一个中断源的固定编号,由芯片设计生产时决定,编程时不能更改,它代表了中断服务程序入口地址在中断向量表的位置。IRQ 中断号是非内核中断源的编号,每一个编号代表一个非内核中断源。6.3 节将讲述中断的基本编程方法。

3.4 KL25/26 的引脚功能

本书以 80 引脚 LQFP 封装的 MKL25Z128VLK4 芯片与 64 引脚 LQFP 封装的 MKL26Z128VLH4 芯片为例阐述 ARM Cortex-M0+架构的 Kinetis MCU 的编程和应用。若没有特殊说明,本书的 KL25 均指 MKL25Z128VLK4 芯片,KL26 均指 MKL26Z128VLH4 芯片。图 3-2 给出了 80 引脚 LQFP 封装的 MKL25Z128VLK4 的引脚图^①,图 3-3 给出的是 64 引脚 LQFP 封装的 MKL26Z128VLH4 的引脚图^②。

每个引脚都可能有多多个复用功能,有的引脚有两个复用功能,有的有 4 个复用功能,实际嵌入式产品的硬件系统设计时必须注意只能使用其中的一个功能。进行硬件最小系统设计时,一般以引脚的第一功能作为引脚名进行原理图设计,若实际使用的是其另一功能,可以用括号加以标注,这样设计的硬件最小系统就比较通用。

下面从需求与供给的角度把 MCU 的引脚分为“硬件最小系统引脚”与“I/O 端口资源类引脚”两大类。

3.4.1 硬件最小系统引脚

KL25/26 硬件最小系统引脚是我们需要为芯片提供服务的引脚,包括电源类引脚、复位引脚、晶振引脚等,表 3-7 中给出了 KL25/26 的最小系统引脚。KL25/26 芯片电源类引

① 来自《KL25 参考手册》第 10 章图 10-2,该章还给出了 KL25 的 64 引脚 LQFP 封装及 48 引脚 QFN 封装的引脚图。

② 来自《KL26 参考手册》第 10 章图 10-2,该章还给出了 KL26 的 121 引脚 BGA 封装、100 引脚 LQFP 封装、64 引脚 MAPBGA 封装、48 引脚 QFN 封装及 32 引脚 QFN 封装的引脚图。

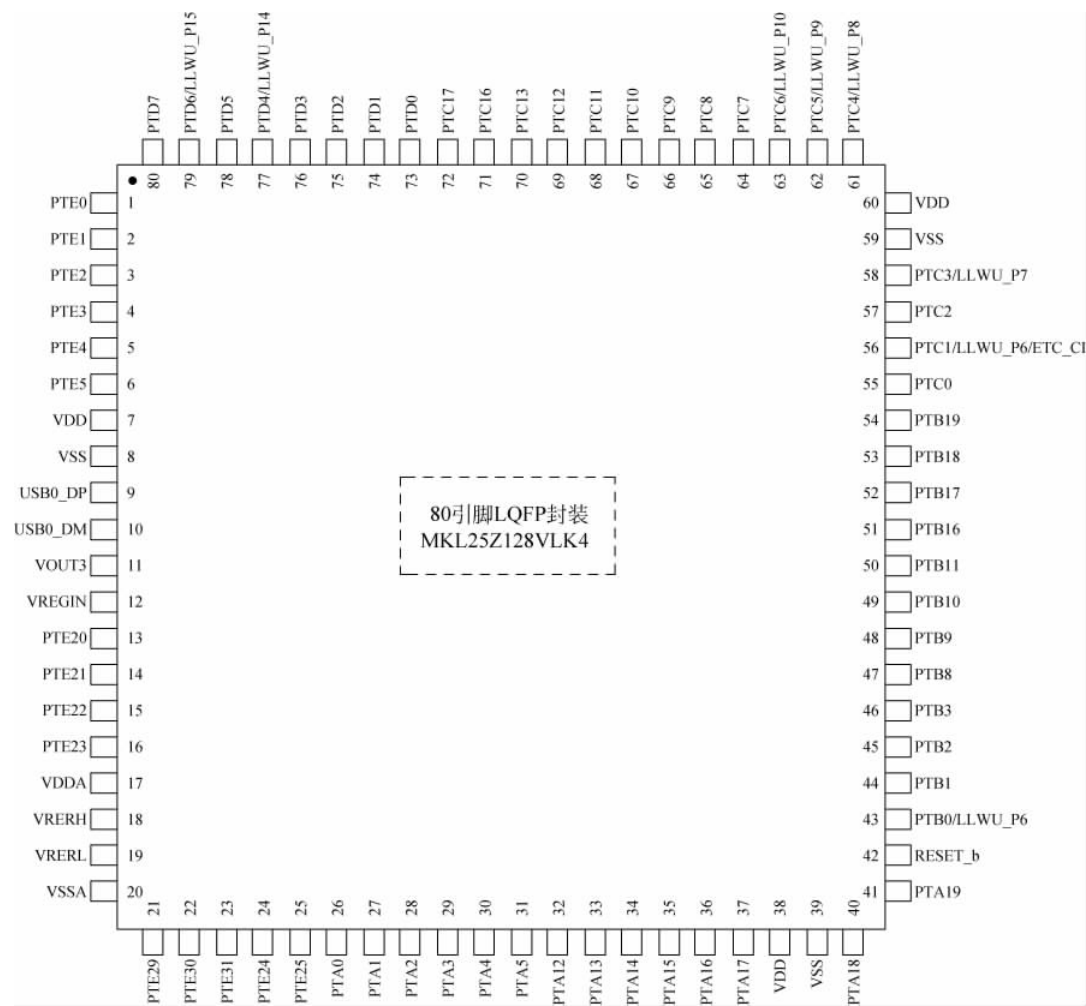


图 3-2 80 引脚 LQFP 封装 MKL25Z128VLK4 引脚图

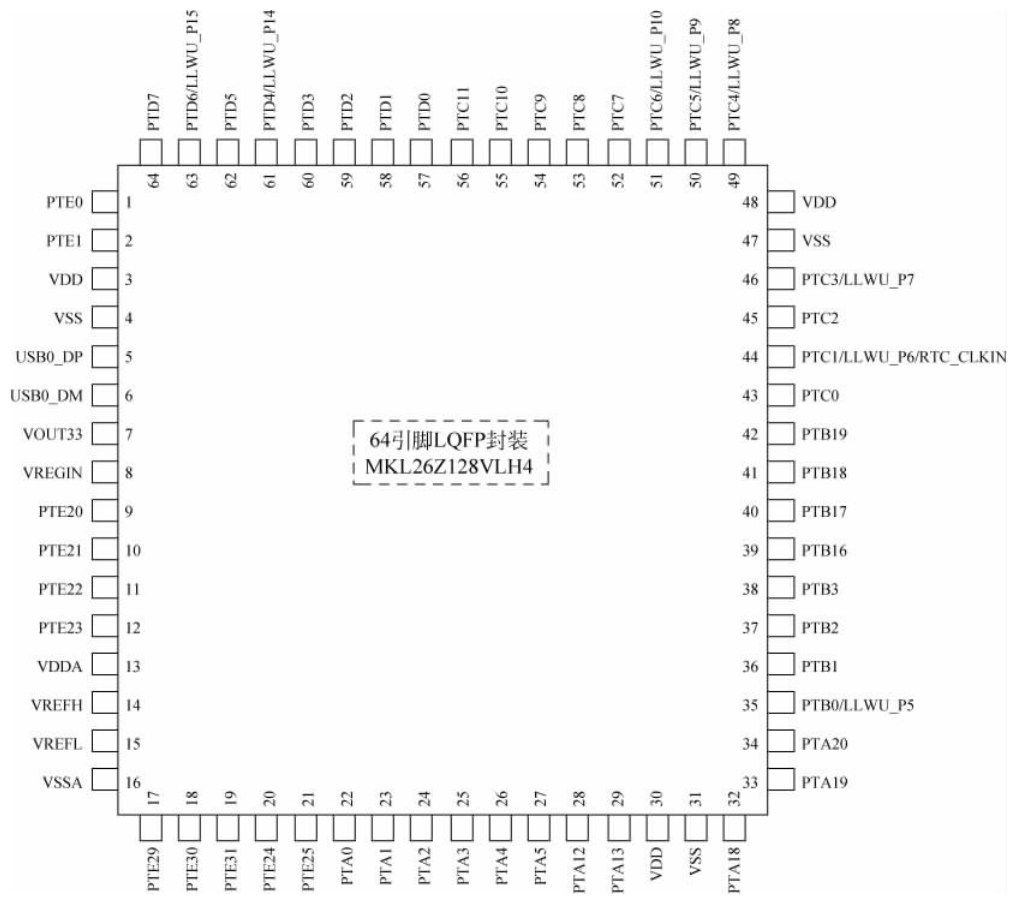
脚,LQFP 封装 12 个。芯片使用多组电源引脚分别为内部电压调节器、I/O 引脚驱动、AD 转换电路等电路供电,内部电压调节器为内核和振荡器等供电。为了提供稳定的电源,MCU 内部包含多组电源电路,同时给出多处电源引出脚,便于外接滤波电容。为了电源平衡,MCU 提供了内部有共同接地点的多处电源引脚,供电路设计使用。

表 3-7 KL25/26 硬件最小系统引脚表

分类	引脚名	引脚号		功 能 描 述
		KL25	KL26	
电源输入	VDD	7、38、60	3、30、48	电源,典型值: 3.3V
	VSS	8、39、59	4、31、47	地,典型值: 0V
	VDDA,VSSA	17、20	13、16	AD 模块的输入电源,典型值: (3.3V、0V)
	VREFH,VREFL	18、19	14、15	AD 模块的参考电压,典型值: (3.3V、0V)
	VREGIN	12	8	USB 模块的参考电压,典型值: 5V
	VOU33	11	7	USB 模块电源稳压器输出的电压,典型值: 3.3V

续表

分类	引脚名	引脚号		功能描述
		KL25	KL26	
复位	RESET	42	34	双向引脚。有内部上拉电阻。作为输入,拉低可使芯片复位 ^①
晶振	EXTAL,XTAL	40、41	32、33	分别为无源晶振输入、输出引脚
SWD 接口	SWD_CLK	26	22	SWD 时钟信号线
	SWD_DIO	29	25	SWD 数据信号线
引脚个数统计				硬件最小系统引脚均为 17 个



3.4.2 对外提供服务的引脚

除了需要我们为芯片服务的引脚(最小硬件系统引脚)之外,芯片的其他引脚为我们提供服务,也可称之为 I/O 端口资源类引脚,见表 3-8。这些引脚一般具有多种复用功能,附录 A 给出了 KL25、KL26 芯片引脚功能复用表。实际硬件设计时,必须依据该表,仔细斟酌引脚功能的使用,软件编程时,依据所使用的功能设定复用功能中的一种。因此,读者需重点掌握该表的应用方法。

表 3-8 KL25/26 对外提供 I/O 端口资源类引脚表

端口名	KL25		KL26	
	引脚数(63)	引脚名	引脚数(49)	引脚名
A	10	PTA[1~2,4~5],PTA[12~17]	8	PTA[0~5],PTA12,PTA13
B	12	PTB[0~3],PTB[8~11],PTB[16~19]	8	PTB[0~3],PTB[16~19]
C	16	PTC[0~13],PTC[16~17]	12	PTC[0~11]
D	8	PTD[0~7]	8	PTD[0~7]
E	15	PTE[0~5],PTE[20~25],PTE[29~31]	11	PTE[0~1],PTE[20~25],PTE[29~31]
其他	2	USB0_DM,USB0_DP	2	USB0_DM,USB0_DP
说明	这里统计 I/O 引脚不包括已被最小系统使用的引脚,但包含两个 SWD 的引脚。I/O 端口引脚最大输入电压为 $0.7 \times VDD$; 最大输出电压 VDD ,最大输出总电流 100mA。具体技术指标参见《KL26 数据手册》			

KL25(80 引脚 LQFP 封装)具有 63 个 I/O 引脚(包含两个 SWD 的引脚),KL26(64 引脚 LQFP 封装)具有 49 个 I/O 引脚(包含两个 SWD 的引脚)^①。这些引脚均具有多个功能,在复位后,会立即被配置为高阻状态,且为通用输入引脚,有内部上拉功能。

随后各章以 KL25 为主进行讲解,但其内容完全适用于 KL26,网上教学资源中给出了 KL26 的程序。选用 KL26 的读者可使用这部分程序进行实验与实践。

3.5 KL25/26 硬件最小系统原理图

MCU 的硬件最小系统是指包括电源、晶振、复位、写入调试器接口等可使内部程序得以运行的、规范的、可复用的核心构件系统。使用一个芯片,必须完全理解其硬件最小系统。当 MCU 工作不正常时,首先就要查找最小系统中可能出错的元件。一般情况下,MCU 的硬件最小系统由电源、晶振及复位等电路组成。芯片要能工作,必须有电源与工作时钟;至于复位电路则提供不掉电情况下 MCU 重新启动的手段。随着 Flash 存储器制造技术的发展,大部分芯片提供了在板或在线系统(On System)的写入程序功能,即把空白芯片焊接到

^① 写入器 SWD 使用的两个引脚在硬件最小系统表中与对外提供 I/O 端口资源类引脚表中重复列出,是因为这两个引脚在运行过程中作为其他功能使用是合适的。

电路板上后,再通过写入器把程序下载到芯片中。这样,硬件最小系统应该把写入器的接口电路也包含在其中。基于这个思路,KL25/26 芯片的硬件最小系统包括电源电路、复位电路、与写入器相连的 SWD 接口电路及可选晶振电路。附录 B 给出了 KL25/26 硬件最小系统原理图。读者需彻底理解该原理图的基本内涵。

3.5.1 电源及其滤波电路

电路中需要大量的电源类引脚用来提供足够的电流容量同时保持芯片电流平衡,所有的电源引脚必须外接适当的滤波电容抑制高频噪声。

电源(VDDx)与地(VSSx)包括很多引脚,如 VDDA、VSSA、VDD、VSS、VREFH 和 VREFL 等。至于外接电容,是由于集成电路制造技术所限,无法在 IC 内部通过光刻的方法制造这些电容。去耦是指对电源采取进一步的滤波措施,去除两级间信号通过电源互相干扰的影响,电源滤波电路可改善系统的电磁兼容性,降低电源波动对系统的影响,增强电路工作的稳定性。为标识系统通电与否,可以增加一个电源指示灯。

需要强调的是,虽然硬件最小系统原理图(附录 B)中的许多滤波电容被画在了一起,但实际布板时,需要各自接到靠近芯片的电源与地之间,才能起到良好的效果。

3.5.2 复位电路及复位功能

复位,意味着 MCU 一切重新开始。复位引脚为 RESET。若复位引脚有效(低电平),则会引起 MCU 复位。复位电路原理如下:正常工作时,复位引脚 RESET 通过一个 10k Ω 的电阻接到电源正极,所以应为高电平。若按下复位按钮,则 RESET 脚接地为低电平,导致芯片复位。若是系统重新上电,芯片内部电路会使 RESET 脚拉低,使芯片复位。KL25/26 的复位引脚是双向引脚,作为输入引脚,拉低可使芯片复位,作为输出引脚,上电复位期间有低脉冲输出,表示芯片已经复位完成。

从引起 MCU 复位的内部与外部因素来区分,复位可分为外部复位和内部复位两种。外部复位有上电复位、按下复位按钮复位。内部复位有看门狗定时器复位、低电压复位、软件复位等(见 13.6 节)。

从复位时芯片是否处于上电状态来区分,复位可分为冷复位和热复位。芯片从无电状态到上电状态的复位属于冷复位,芯片处于带电状态时的复位叫热复位。冷复位后,MCU 内部 RAM 的内容是随机的。而热复位后,MCU 内部 RAM 的内容会保持复位前的内容,即热复位并不会引起 RAM 中内容的丢失。

从 CPU 响应快慢来区分,复位还可分为异步复位与同步复位。异步复位源的复位请求一般表示一种紧要的事件,因此复位控制逻辑不等到当前总线周期结束,复位立即有效。异步复位源有上电、低电压复位等。同步复位的处理方法与异步复位不同:当一个同步复位源给出复位请求时,复位控制器并不使之立即起作用,而是等到当前总线周期结束之后,这是为了保护数据的完整性。在该总线周期结束后的下一个系统时钟的上升沿时,复位才有效。同步复位源有看门狗定时器、软件等。

3.5.3 晶振电路

KL25/26 芯片可使用内部晶振或外部晶振两种方式为 MCU 提供工作时钟。

KL25/26 芯片含有内部时钟源(IRC),频率分为慢速 32.768kHz 和快速 4MHz,慢速内部时钟误差在 0.6%以内,而快速内部时钟误差在 3%以内。通过编程,最大可产生 48MHz 内核时钟及 24MHz 总线时钟。使用内部时钟源可略去外部晶振电路。

若时钟源需要更高的精度,可自行选用外部晶振,例如图 3-4 给出外接 8MHz 无源晶振的晶振电路接法,晶振连接在晶振输入引脚 EXTAL0、晶振输出引脚 XTAL0 之间。有关配置及具体编程见第 13.1 节(时钟系统)。

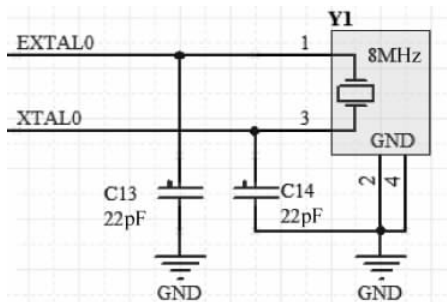


图 3-4 晶振电路

3.5.4 SWD 接口电路

KL25/26 芯片的调试接口 SWD 是基于 CoreSight 架构,该架构在限制输出引脚和其他可用资源情况下,提供了最大的灵活性。CoreSight 是 ARM 定义的一个开放体系结构,以使 SOC 设计人员能够将其他 IP 内核的调试和跟踪功能添加到 CoreSight 基础结构中。通过 SWD 接口可以实现程序下载和调试功能。SWD 接口只需两根线,数据输入/输出线(DIO)和时钟线(CLK)。附录 B 最小硬件系统原理图中,给出了 SWD 调试接口电路,连接到 KL25/26 芯片的 SWD_DIO 与 SWD_CLK 两个引脚。可根据实际需要增加地、电源以及复位信号线。

小 结

本章主要给出了 KL25/KL26 存储映像、中断源、引脚图及引脚表,重点是给出了硬件最小系统,完成了 MCU 的基础硬件入门。

(1) 基于 ARM Cortex-M 内核的 Kinetis 系列微控制器,主要有 K、L、M、W、E、EA 及 V 系列,这些系列的特点各不相同,适用于不同应用领域。

(2) KL 系列的一个具体 MCU 型号标识含有质量状态、系列号、内核类型、内部 Flash 大小、温度范围、封装类型、CPU 最高频率、包装类型等信息。

(3) 关于 KL25/26 系列的存储映像与中断源。其片内 Flash 大小为 128KB,地址范围: 0x0000_0000 ~ 0x0001_FFFF,用来存放中断向量、程序代码、常数等;片内 RAM 大小 16KB,地址范围: 0x1FFF_F000~0x2000_2FFF,用来存储全局变量、临时变量(堆栈空间)等;KL25/26 最多支持 48 个中断源,为中断向量表中提供物理基础,由于中断的内容会在后面章节详细介绍,本章了解即可。

(4) 关于硬件最小系统。一个芯片的硬件最小系统是指可以使内部程序运行所必需的最低规模的外围电路,也可以包括写入器接口电路。使用一个芯片,必须完全理解其硬件最小系统。硬件最小系统引脚是我们必须为芯片提供服务的引脚,包括电源、晶振、复位、SWD 接口。读者需充分理解附录 B 的硬件最小系统原理图。该图可从 5 个部分来理解,第一,首先需要为芯片提供电源,直流 3.3V,所有的电源引出脚与地之间应在靠近芯片的地方

接滤波电容(去耦电容),因为电容有通交流阻直流的特性,因此用来抑制高频噪声,使供电更加稳定;第二,需要给芯片提供晶振,芯片工作需要一个由晶振提供的时钟信号;第三,复位引脚要加上拉电阻,平时电平拉高,需要复位时与地导通使电平拉低,让芯片复位,从而使芯片复位;第四,是 SWD 写入器接口,为了将程序写入芯片,需要写入器接口引脚;第五,其他引脚引出虚线之外,就为我们提供服务了。

(5) 学习第 5 章之后,再回头来理解为什么这样画原理图。我们的目标是,所有使用该芯片的应用系统,硬件最小系统原理图可复用,第 5 章称之为“核心构件”。

习 题

1. 简述 ARM Cortex-M0+ KL 系列 MCU 的型号标识。
2. 给出所学芯片的 RAM、Flash 的地址范围,说明堆栈空间、全局变量、常量、程序分别存放于 RAM 中还是 Flash 中。芯片初始化时,SP 值应为何值,说明原因。
3. 简要阐述硬件电路中滤波电路、耦合电路的具体作用。
4. 解释最小硬件系统概念,并结合所学芯片的开发板,归纳实现最小系统需要的引脚资源。
5. 所学芯片的开发板中使用什么标准调试接口? 具体如何实现?
6. 所学芯片的开发板中具有哪些功能接口? 如何进行测试?
7. 概要给出所学芯片的最小系统原理图的各部分基本原理。
8. 自行找一个型号 MCU,给出设计硬件最小系统的基本步骤,并参考本章样例画出原理图。