



存储映像、中断源与硬件最小系统

本章导读：本章简要概述 MSP432 的存储映像、中断源与硬件最小系统，有助于读者了解 MSP432 软硬件系统的大致框架，以便开始 MSP432 的软硬件设计。3.1 节给出 MSP432 系列 MCU 的基本特点及体系结构概述；3.2 节给出 MSP432 系列芯片的存储映像及中断源，存储映像主要包括 Flash 区、片内 RAM 区，以便于配置链接文件；3.3 节将引脚分为硬件最小系统引脚及对外提供服务的引脚两类，并给出它们的功能介绍；3.4 节给出 MSP432 硬件最小系统的原理图及简明分析。

本章参考资料：3.1 节主要参考 TI 官网；3.2 节主要参考官网资料《MSP432 参考手册》；3.3 节的 MSP432 存储映像与中断源参考《MSP432 参考手册》的第 1 章；3.4 节的 MSP432 引脚功能参考《MSP432 简介》的第 4 章。

3.1 MSP432 系列 MCU 概述

3.1.1 MSP432 系列 MCU 简介

MSP432 系列使用 Cortex-M4F 内核具有超低功耗、应用设计方便、扩展性好等特点。MSP432 系列 MCU 具有多个低功率操作模式，包括新的门控时钟，该模式在要求最低功耗时通过关闭总线、系统时钟减少动态功耗，外设仍可在一个可选异步时钟源下继续运作；在未唤醒内核的情况下，UART、SPI、I2C、ADC、DAC、LPT 和 DMA 等可支持低功耗模式。MSP432 系列 MCU 的主要特点为：①32 位的 Cortex-M4F 架构，针对小封装的嵌入式应用进行了优化；②具有优秀的处理能力与快速中断处理能力；③提供混合的 16/32 位的 Thumb-2 指令集与 32 位 ARM 内核所期望的高性能，采用更紧凑的内存方案；④符合 IEEE 754 的浮点运算单元(FPU)；⑤16 位 SIMD 向量处理单元；⑥快速代码执行允许更低的处理器时钟，并且增加了休眠模式时间；⑦哈佛构架将数据(D-code)和指令(I-code)所使用的总线进行分离；⑧使用高效的处理器内核、系统和存储器；⑨具有硬件除法器 and 快速数字信号处理为导向的乘加功能；⑩采用饱和算法处理信号；⑪对时间苛刻的应用提供

可确定的、高性能的处理；⑫存储器保护单元为操作系统提供特权操作模式；⑬增强的系统调试提供全方位的断电和跟踪总能力；⑭串行线调试和串行线跟踪减少调试和跟踪过程中需求的引脚数；⑮从 ARM7 处理器系列中移植过来，以获得更好的性能和更高的电源效率；⑯针对高于指定频率的单周期 Flash 存储器使用情况而设计；⑰集成多种休眠模式，使功耗更低。

1. MSP432 系列 MCU 的型号标识

德州仪器 MSP432 系列 MCU 的型号虽然很多，但是内核是相同的，为了方便选型与订购，需要基本了解 MCU 型号标识的基本含义。MSP432 系列命名格式为：

MSP PPP S FFFF (T) (CC) (D) (A)

其中，各字段说明如表 3-1 所示，本书使用的芯片命名为 MSP432P401RIPZ。对照命名格式，可以从型号获得以下信息：属于混合信号处理器系列、32 位内核、低功耗系列、主频 48MHz、通用 MCU、内含 14 位 AD 转换模块、内部 Flash 大小为 256KB、内部 SRAM 大小为 64KB、温度范围为 $-40\sim 85^{\circ}\text{C}$ 、封装形式为 100 引脚 LQFP 封装($14\text{mm}\times 14\text{mm}$)。本书所说的 MSP432，均是以该具体型号为例。

表 3-1 MSP432 系列芯片型号字段含义

字段	说明	取值
MSP	处理器系列	MSP 代表混合信号处理器
PPP	平台	432 代表 32 位内核
S	系列	P 代表高性能低功耗系列
FFFF	功能集	第一位，4 代表基于 Flash，主频 48MHz；第二位，0 代表一般用途；第三位，1 代表 ADC14；第四位，R 代表 256KB Flash、64KB SRAM，M 代表 128KB Flash、32KB
T	适用温度(可选)	S 代表 $0\sim 50^{\circ}\text{C}$ ；I 代表 $-40\sim 85^{\circ}\text{C}$ ；T 代表 $-40\sim 105^{\circ}\text{C}$
CC	封装类型(可选)	PZ 代表 100LQFP $14\text{mm}\times 14\text{mm}$ ；ZXH 代表 80NFBGA $5\text{mm}\times 5\text{mm}$ ；RGC 代表 64VQFN $9\text{mm}\times 9\text{mm}$
D	包装类型(可选)	T 代表小卷筒；R 代表大卷轴；无标记代表管或托盘
A	额外特征(可选)	-EP 代表增强型产品($-40\sim 105^{\circ}\text{C}$)； -HT 代表极端温度部件($-55\sim 150^{\circ}\text{C}$)； -Q1 代表汽车 Q100 合格

2. MSP432 系列 MCU 的简明资源与共同特点

所有的 MSP432 系列 MCU 均具有低功耗与丰富的混合信号控制外设，提供了不同的 Flash 及 RAM，以及引脚数量，表 3-2 所示为 MSP432 系列芯片的简明资源，供实际应用选型。

MSP432 系列 MCU 在内核、低功耗、存储器、模拟信号、人机接口、安全性、定时器及系统特性等方面具有一些共同特点，如表 3-3 所示。这些共同特点主要有：①内核：低功耗内核(可达 nA 级)、工作频率为 48MHz；②工作电压范围：1.62~3.7V；③运行温度范围： $-40\sim 85^{\circ}\text{C}$ ；④存储器：Flash 大小 128KB 以上；SRAM 大小 32KB 以上；⑤ADC：14 位 ADC；⑥通信接口：具有 UART、I2C、SPI 的通信接口模块；⑦安全特性：具有内部看门狗等安全保护特性；⑧电机控制：具有 PWM 功能模块；⑨调试接口：具有 JTAG 和 SWD 程序写入调试接口等。

表 3-2 MSP432 系列芯片简明资源

芯片	Flash 大小/KB	SRAM 大小/KB	温度范围/℃	引脚数	低功耗	备注
MSP432P401IPZ	256	64	－40～85	100	√	本书选用
MSP432P401MIPZ	128	32	－40～85	100	√	
MSP432P401IZXH	256	64	－40～85	80	√	
MSP432P401MIZXH	128	32	－40～85	80	√	
MSP432P401IRGC	256	64	－40～85	64	√	
MSP432P401MIRGC	128	32	－40～85	64	√	

表 3-3 MSP432 系列 MCU 的共同特点

项目	特 点
内核	32 位 ARM Cortex-CORTEZ -M4F 内核具有超低功耗,最低可至 nA 级,工作频率 48MHz
系统特性	宽泛的工作电压为 1.62～3.7V; Flash 编程电压、模拟外设电压低至 1.62V; 运行温度范围为－40～85
存储器	可扩展内存: 128KB Flash/32KB SRAM 至 256KB Flash/64KB SRAM; 可优化总线宽度和 Flash 的执行性能
模拟信号	快速、高精度 14 位 ADC; 12 位 DAC; 窗口比较器
通信	多达 4 个 eUSCI_A 模块: 支持自动波特率监测的 UART,IrDA 编码和解码,串行通信接口,最高达 16Mbps 的 SPI; 多达 4 个 eUSCI_B 模块: 支持多从器件寻址 I2C,最高达 16Mbps 的 SPI
定时控制器	强大的定时模块支持通用/PWM/电机控制功能; 可用于 RTOS 任务调度,ADC 转换或定时的周期中断定时器
安全特性	内部看门狗监控、JTAG 和 SWD 锁定机制,IP 保护(多达 4 个安全闪存区,每个区均可配置起始地址和大小)

3.1.2 MSP432 系列 MCU 内部结构框图

MSP432 系列 MCU 内部结构框图如图 3-1 所示,它是高级微控制器总线架构 AMBA 的片上系统 SoC。一般来说,AMBA 包含高性能系统总线(Advanced High performance Bus,AHB)和低速、低功耗的高级外设总线(Advanced Peripheral Bus,APB)。AHB 是负责连接 ARM 内核、直接存储器存取(Direct Memory Access,DMA)控制器、片内存储器或其他需要高带宽的模块。而 APB 则是用来连接系统的外围慢速模块,其协议规则相对 AHB 来说较为简单,它与 AHB 之间则通过桥(Bridge)相连,期望能减少系统总线的负载。

ARM 公司定义了 AMBA 总线规范,它是一组针对基于 ARM 内核、片内系统之间通信而设计的标准协议。在 AMBA 总线规范中定义 3 种总线:①高性能总线 AHB,用于高性能系统模块的连接,支持突发模式数据传输和事务分割;②高级系统总线(Advanced System Bus,ASB),用于高性能系统模块的连接,支持突发模式数据传输,这是较老的系统总线格式,后来由高性能总线 AHB 替代;③高级外设总线 APB,用于较低性能外设的简单连接,一般是接在 AHB 或 ASB 系统总线上的第二级总线。最初的 AMBA 总线是 ASB 和 APB,在它的第二个版本中,ARM 引入了 AHB。

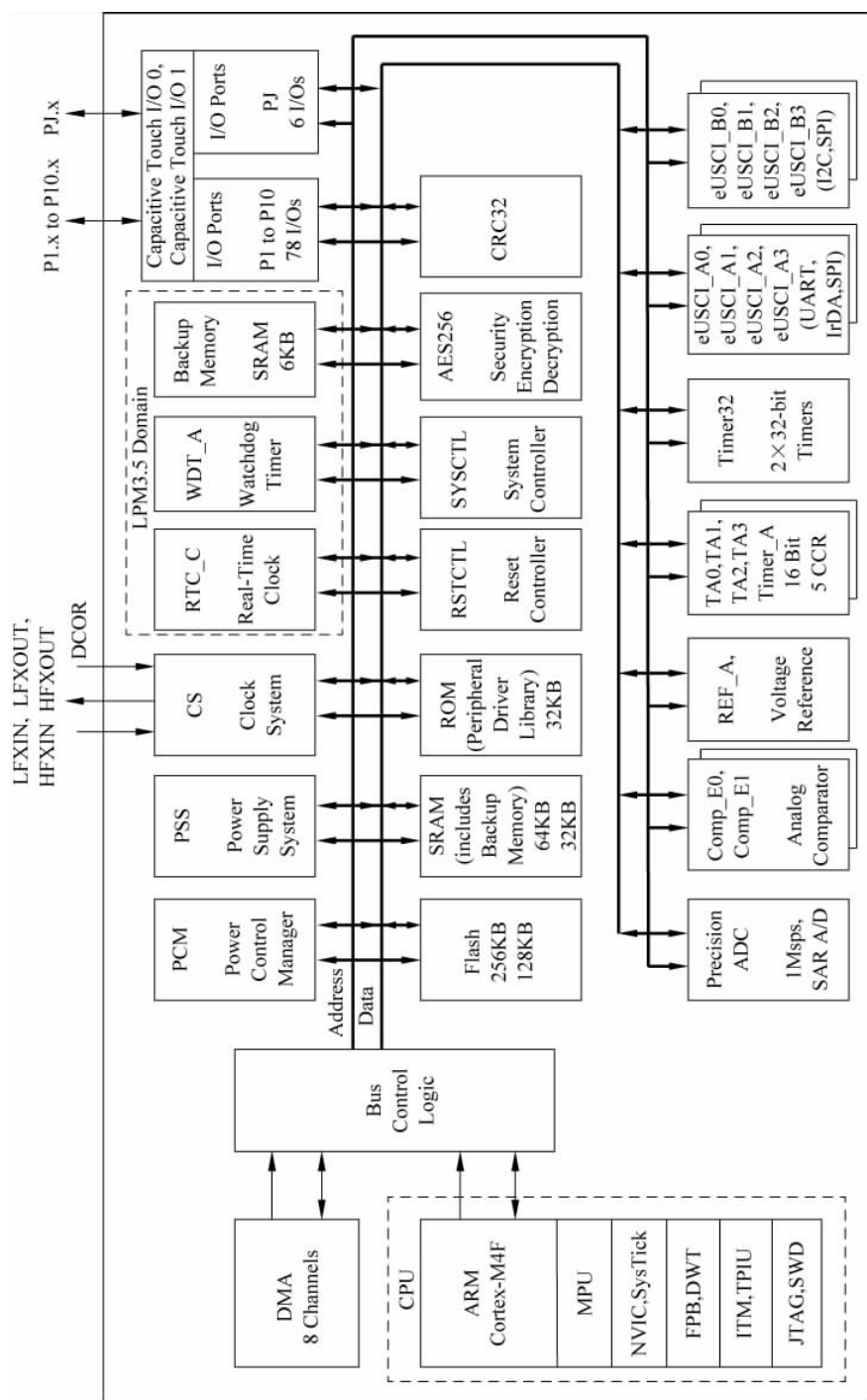


图 3-1 MSP432 系列 MCU 内部结构框图

3.2 MSP432 系列 MCU 存储映像与中断源

3.2.1 MSP432 系列 MCU 存储映像

存储映像(Memory Mapping)可以直观地理解为,Cortex-M4F 寻址的 4GB 地址空间(0x0000_0000~0xFFFF_FFFF)^①是如何被使用的,都对应了哪些实际的物理介质。它们有的给了 Flash 存储器使用,有的给了 RAM 使用,有的给了外设模块使用。下面利用 GPIO 模块来阐述有关概念。

GPIO 模块使用了 0x400F_4C00~0x400F_4D38 地址空间,这些空间内的 GPIO 寄存器与 CPU(即 M4F 内核)内部寄存器(如 R0、R1 等)不同,访问 GPIO 寄存器需要使用直接地址进行访问,即需要使用三总线(地址总线、数据总线、控制总线)。而访问 CPU 内部寄存器,无须经过三总线(汇编语言直接使用 R0、R1 等名称即可),没有地址问题。由于访问 CPU 内部寄存器不经过三总线,因此比访问 GPIO 寄存器(对应直接地址)来得快。为区别于 CPU 内部寄存器,GPIO 寄存器也被称为“映像寄存器”(Mapping Register),相对应的地址被称为“映像地址”(Mapping Address),整个可直接寻址的空间被称为“映像地址空间”(Mapping Address Space)。

MSP432 把 Cortex-M4F 内核之外的模块用类似存储器编址的方式统一分配地址。在 4GB 的映像地址空间内分布着片内 Flash、SRAM、系统配置寄存器,以及其他外设等,以便 CPU 通过直接地址进行访问。MSP432 存储映像空间分配如表 3-4 所示。

表 3-4 MSP432 存储映像空间分配

32 位地址范围	目的从机	说 明
0x0000_0000~0x003F_FFFF	可编程 Flash	实际使用 256KB(0x0000_0000~0x0003_FFFF)
0x0040_0000~0x00FF_FFFF	保留	—
0x0100_0000~0x010F_FFFF	SRAM	实际 SRAM 的“影子”
0x0110_0000~0x01FF_FFFF	保留	—
0x0200_0000~0x020F_FFFF	ROM	实际 ROM 的“影子”
0x0210_0000~0x1FFF_FFFF	保留	—
0x2000_0000~0x200F_FFFF	SRAM	实际使用 64KB(0x2000_0000~0x2000_FFFF)
0x2010_0000~0x21FF_FFFF	保留	—
0x2200_0000~0x23FF_FFFF	SRAM 位带别名区	—
0x2400_0000~0x3FFF_FFFF	保留	—
0x4000_0000~0x400F_FFFF	外围设备	用于器件的系统和应用控制外设
0x4010_0000~0x41FF_FFFF	保留	—
0x4200_0000~0x43FF_FFFF	外设位带别名区	—
0x4400_0000~0x5FFF_FFFF	保留	—
0x6000_0000~0xDFFF_FFFF	保留	在 MSP432P4xx 中保留

^① 0x00000000 书写成 0x0000_0000 仅仅是为了清晰,便于阅读。

续表

32 位地址范围	目的从机	说 明
0xE000_0000~0xE003_FFFF	内部 PPB	NVIC, 系统定时器和系统控制块
0xE004_0000~0xE004_FFFF	TPIU (外部 PPB)	—
0xE004_1000~0xE004_1FFF	保留	—
0xE004_2000~0xE004_23FF	重置控制器	—
0xE004_2400~0xE004_2FFF	保留	—
0xE004_3000~0xE004_33FF	SYSCTL (外部 PPB)	—
0xE004_3400~0xE004_3FFF	保留	—
0xE004_4000~0xE004_43FF	SYSCTL (外部 PPB)	—
0xE004_4400~0xE00F_EFFF	保留	—
0xE00F_F000~0xE00F_FFFF	ROM 表(外部 PPB)	存放储存映射信息
0xE010_0000~0xFFFF_FFFF	保留	—

在表 3-4 中,主要记住片内 Flash 区及片内 RAM 区存储映像。因为中断向量、程序代码、常数放在片内 Flash 中,因此源程序编译后的链接阶段使用的链接文件中需含有目标芯片 Flash 的地址范围及用途等信息,才能顺利生成机器码。此外,链接文件中还需包含 RAM 的地址范围及用途等信息,以便生成机器码确切定位全局变量、静态变量的地址及堆栈指针。其他区域作用了解即可。

1. 片内 Flash 区存储映像

MSP432 片内 Flash 大小为 256KB,地址范围为 0x0000_0000 ~ 0x0003_FFFF,一般被用来存放中断向量、程序代码、常数等。中断向量表从 0x0000_0000 地址开始向大地址方向使用。16KB 的闪存信息存储器用于引导加载程序(BSL)、标签长度值(TLV)和闪存邮箱。

2. 片内 RAM 区存储映像

MSP432 片内 RAM 为静态随机存储器 SRAM,大小为 64KB,地址范围为 0x0100_0000 ~ 0x0100_FFFF,一般被用来存储全局变量、静态变量、临时变量(堆栈空间)等。该芯片堆栈空间的使用方向是向小地址方向进行的,因此,堆栈的栈顶(Stack Top)应该设置为 RAM 地址的最大值+1。这样,全局变量及静态变量从 RAM 的最小地址向大地址方向开始使用,堆栈从 RAM 的最高地址向小地址方向使用,可以减少重叠错误。

3.2.2 MSP432 中断源

中断是计算机发展中一个重要的技术,它的出现很大程度上解放了处理器,提高了处理器的执行效率。所谓中断,是指 MCU 在正常运行程序时,由于 MCU 内核异常或 MCU 各模块发出请求事件,引起 MCU 停止正在运行的程序,而转去处理异常或执行处理外部事件的程序(又称中断服务程序)。

这些引起 MCU 中断的事件称为中断源。如表 3-5 所示,MSP432 的中断类型分为两类:一类是内核中断,另一类是非内核中断。内核中断主要是异常中断,也就是说,当出现错误时,这些中断会复位芯片或做出其他处理。CPU 异常模型以固定和可配置的优先级顺序处理各种异常(内部和外部事件,包括 CPU 指令、存储器和总线故障条件)。非内核中断是指 MCU 各个模块被中断源引起的中断,MCU 执行完中断服务程序后,又回到刚才正在执行的程序,从停止的位置继续执行后续的指令。非内核中断又称可屏蔽中断,这类中断可

以通过编程控制其开启或关闭。MSP432MCU 上的 Cortex-M4F 处理器实现了具有 64 条外部中断线和 8 个优先级的 NVIC。从应用的角度来看,设备级别的中断源分为两类,即 NMI 和用户中断。

表 3-5 中还给出了各中断源的中断向量号、非内核中断的中断请求(Interrupt Request)号(简称 IRQ 中断号)及非内核中断的优先级设置的寄存器号(简称 IPR 寄存器号)。中断向量号是每一个中断源的固定编号,是由芯片设计生产时决定的,编程时不能更改,它代表了中断服务程序入口地址在中断向量表的位置。IRQ 中断号是非内核中断源的编号,每一个编号代表一个非内核中断源。

表 3-5 MSP432 中断向量表

中断类型	中断向量号	IRQ 中断号	中 断 源	引 用 名
内核中断	1		重启	
	2	-14	NMI	NonMaskableInt_IRQn
	3	-13	硬性故障	HardFault_IRQn
	4	-12	内存管理故障	Memory Management Interrupt
	5	-11	总线故障	Bus Fault Interrupt
	6	-10	用法错误	Usage Fault Interrupt
	7~10		保留	
	11	-5	SVCall	SV Call Interrupt
	12		保留为调试	Debug Monitor Interrupt
	13		保留	
	14	-2	PendSV	Pend SV Interrupt
	15	-1	Systick	SysTick_IRQn
非内核中断	16	0	PSS	PSS_IRQn
	17	1	CS	CS Interrupt
	18	2	PCM	PCM Interrupt
	19	3	看门狗	WDT_A Interrupt
	20	4	浮点运算	FPU Interrupt
	21	5	Flash	FLCTL Interrupt
	22~23	6~7	COMP	COMP_En Interrupt(n 为 0~1)
	24	8	TimerA	TA0_0 Interrupt
	25	9	TimerA	TA0_N Interrupt
	26	10	TimerA	TA1_0 Interrupt
	27	11	TimerA	TA1_N Interrupt
	28	12	TimerA	TA2_0 Interrupt
	29	13	TimerA	TA2_N Interrupt
	30	14	TimerA	TA3_0 Interrupt
	31	15	TimerA	TA3_N Interrupt
	32~35	16~19	EUSCIA0~3 中断	EUSCIA n Interrupt(n 为 0~3)
	36~39	20~23	EUSCIB0~3 中断	EUSCIB n Interrupt(n 为 0~3)
	40	24	ADC 中断	ADC14 Interrupt
	41~43	25~27	Timer32	T32_INT n Interrupt(n 为 1、2 或 C)
	44	28	加密中断	AES256 Interrupt
	45	29	RTC_C	RTC_C Interrupt
	46	30	DMA 错误中断	DMA_ERR Interrupt
	47~50	31~34	DMA 通道 0~3 中断	DMA_INT n Interrupt(n 为 3~0)
	51~56	35~40	PT1~6 中断	PORT n Interrupt(n 为 1~6)

3.3 MSP432 系列 MCU 的引脚功能

本节以 100 引脚 PZ 封装的 MSP432 芯片为例,介绍 ARM Cortex-M4 架构的 Ti MCU 的编程和应用。图 3-2 所示为 100 引脚 PZ 封装的 MSP432 引脚图。

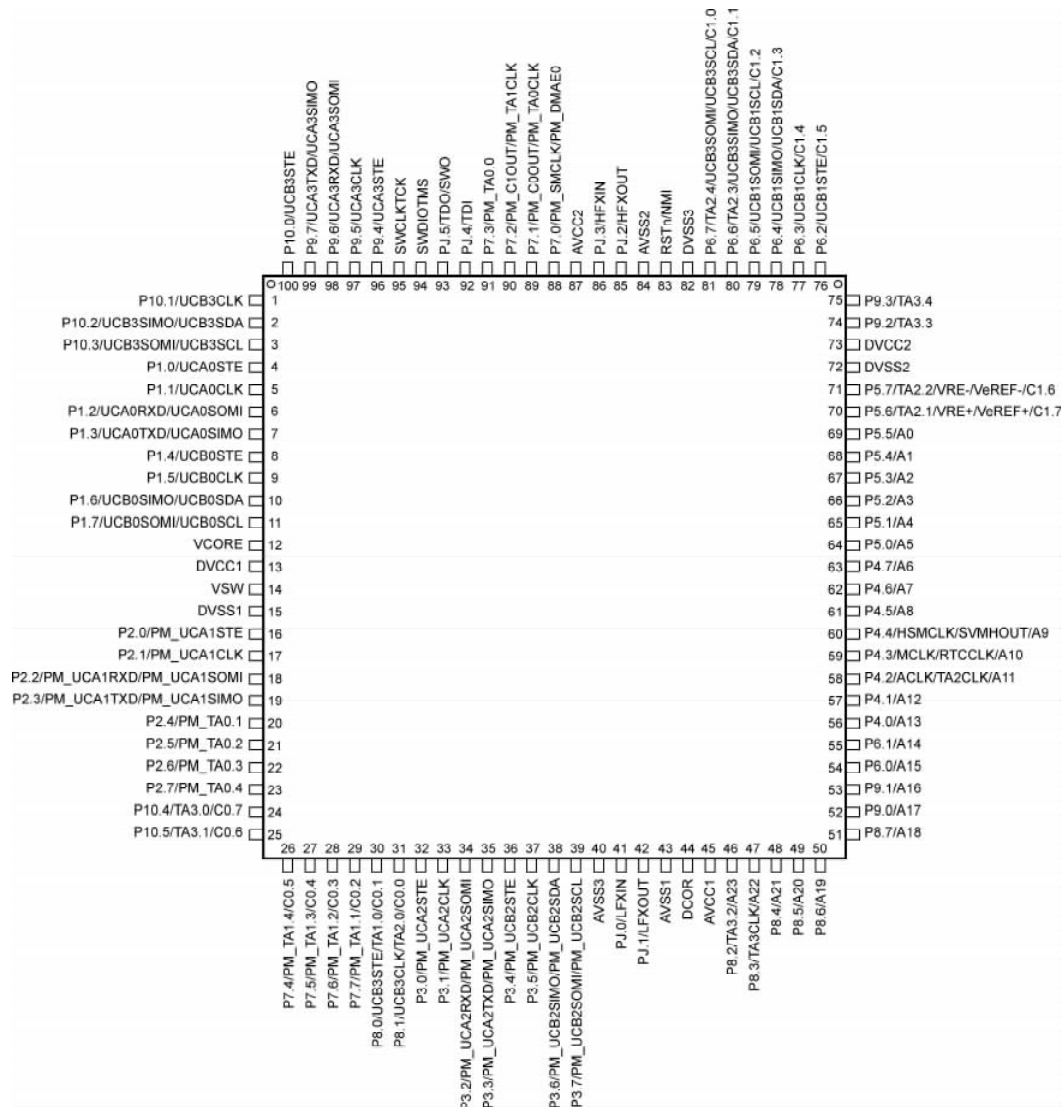


图 3-2 100 引脚 PZ 封装 MSP432 引脚图

每个引脚都可能多个复用功能,有的引脚有两个复用功能,有的引脚有 4 个复用功能,实际嵌入式产品的硬件系统设计时必须注意只能使用其中的一个功能。进行硬件最小系统设计时,一般以引脚的第一功能作为引脚名进行原理图设计,若实际使用的是引脚的另一个功能,可以用括号加以标注,这样设计的硬件最小系统就比较通用。

下面从需求与供给的角度把 MCU 的引脚分为硬件最小系统引脚和 I/O 端口资源类引脚两大类。

3.3.1 硬件最小系统引脚

如表 3-6 所示,MSP432 硬件最小系统引脚包括电源类引脚、复位引脚、晶振引脚等,是为芯片提供服务的引脚。MSP432 芯片电源类引脚,LQFP 封装 12 个。芯片使用多组电源引脚分别为内部电压调节器、I/O 引脚驱动、A/D 转换等电路供电,内部电压调节器为内核和振荡器等供电。为了提供稳定的电源,MCU 内部包含多组电源电路,同时给出多处电源引脚,便于外接滤波电容。为了电源平衡,MCU 提供了内部有共同接地点的多处电源引脚,供电路设计使用。

表 3-6 MSP432 硬件最小系统引脚

分类	引 脚 名	引脚标号	功 能 描 述
电源输入	DVCC1、DVCC2、AVCC1、AVCC2	13、73、45、87	电源,典型值: 3.3V
	DVSS1、DVSS2、DVSS3、AVSS1、AVSS2、AVSS3	15、72、82、43、84、40	地,典型值: 0V
复位	RSTN/NMI	83	双向引脚。有内部上拉电阻。作为输入,拉低可使芯片复位 ^①
LFX 晶振模式	PJ. 0/LFXIN,PJ. 1/LFXOUT	41、42	
HFX 晶振模式	PJ. 3/HFXIN, PJ. 2/HFXOUT	86、85	分别为无源晶振输入、输出引脚
测试	PJ. 4/TDI,PJ. 5/TDO/SWO	92、93	测试数据输入、测试数据输出
SWD 接口	SWCLKTCK	95	SWD 时钟信号线
	SWDIOTMS	94	SWD 数据信号线

3.3.2 I/O 端口资源类引脚

除了需要为芯片服务的引脚(最小硬件系统引脚)之外,芯片的其他引脚对外提供服务,也可称为 I/O 端口资源类引脚,如表 3-7 所示。这些引脚一般具有多种复用功能,附录 A 给出了 MSP432 芯片引脚功能复用表。实际硬件设计时,必须依据该表,仔细斟酌引脚功能的使用;软件编程时,依据所使用的功能设定复用功能中的一种。因此,读者需重点掌握该表的应用方法。

MSP432(100 引脚 PZ 封装)具有 80 个 I/O 引脚(包含两个 SWD 引脚),这些引脚均具有多个功能,在复位后,会立即被配置为高阻状态,且为通用输入引脚,有内部上拉功能。

^① 拉低脉冲宽度需维持 1.5 个总线时钟周期以上,方能完成复位。作为输出,复位开始后,芯片内部电路驱动该引脚至少维持 34 个总线时钟周期的低电平。上电复位后,该引脚默认为 RSTN/NMI 功能。

表 3-7 I/O 端口资源类引脚

端口名	引脚数(63)	引 脚 名
P1	8	P1.0~P1.7
P2	8	P2.0~P2.7
P3	8	P3.0~P3.7
P4	8	P4.0~P4.7
P5	8	P5.0~P5.7
P6	8	P6.0~P6.7
P7	8	P7.0~P7.7
P8	8	P8.0~P8.7
P9	8	P9.0~P9.7
P10	6	P10.0~P10.5
PJ	6	PJ.0~PJ.5
其他	4	PJ.4/TDI,PJ.5/TDO/SWO DCOR,VSW,VCORE

3.4 MSP432 系列 MCU 硬件最小系统

MCU 的硬件最小系统是指包括电源、晶振、复位、写入调试器接口等可使内部程序得以运行的、规范的、可复用的核心构件系统。使用一个芯片,必须完全理解其硬件最小系统。当 MCU 工作不正常时,首先就要查找最小系统中可能出错的元件。一般情况下,MCU 的硬件最小系统由电源、晶振及复位等电路组成。芯片要能工作,必须有电源与工作时钟;至于复位电路则提供不掉电情况下 MCU 重新启动的手段。随着 Flash 存储器制造技术的发展,大部分芯片提供了在板或在线系统(On System)的写入程序功能,即把空白芯片焊接到电路板上后,再通过写入器把程序下载到芯片中。这样,硬件最小系统应该把写入器的接口电路也包含在其中。基于这个思路,MSP432 芯片的硬件最小系统包括电源电路、复位电路、与写入器相连的 SWD 接口电路及可选晶振电路。附录 B 给出了 MSP432 硬件最小系统原理图,该图可从 5 个部分来理解:第一,首先需要为芯片提供电源(直流 3.3V),所有的电源引脚与地之间应在靠近芯片的地方接滤波电容(去耦电容),因为电容有通交流阻直流的特性,因此用来抑制高频噪声,使供电更加稳定;第二,需要给芯片提供晶振,芯片工作需要一个由晶振提供的时钟信号;第三,复位引脚要加上拉电阻,平时电平拉高,需要复位时与地导通使电平拉低,从而使芯片复位;第四,SWD 写入器接口,为了将程序写入芯片,需要写入器接口引脚;第五,其他引脚引出虚线之外,就可以对外提供服务了。读者需彻底理解该原理图的基本内涵。

3.4.1 电源及其滤波电路

电路中需要大量的电源类引脚提供足够的电流容量,同时也要保持芯片电流平衡,所有的电源引脚必须外接适当的滤波电容抑制高频噪声。

电源(DVCC_x、AVCC_x)与地(DVSS_x、AVSS_x)包括很多引脚。至于外接电容,由于集成电路制造技术所限,无法在 IC 内部通过光刻的方法制造这些电容。去耦是指对电源采取进一步的滤波措施,去除两极间信号通过电源互相干扰的影响。电源滤波电路可改善系统的电磁兼容性,降低电源波动对系统的影响,增强电路工作的稳定性。为标识系统通电与否,可以增加一个电源指示灯。

需要强调的是,虽然硬件最小系统原理图(附录 B)中的许多滤波电容被画在了一起,但在实际布板时,需要各自接到靠近芯片的电源与地之间,才能起到良好的效果。

3.4.2 复位电路及复位功能

复位意味着 MCU 一切重新开始。若复位引脚为有效(低电平),则会引起 MCU 复位。复位电路原理:正常工作时,复位引脚 RSTN/NMI 通过一个 10k Ω 的电阻接到电源正极,所以应为高电平;若按下“复位”按钮,则 RSTN/NMI 引脚接地为低电平,导致芯片复位;若系统重新上电,芯片内部电路会使 RSTN/NMI 引脚拉低,使芯片复位。MSP432 的复位引脚是双向引脚,作为输入引脚,拉低可使芯片复位,作为输出引脚,上电复位期间有低脉冲输出,表示芯片已经复位完成。

从引起 MCU 复位的内部与外部因素来区分,复位可分为外部复位和内部复位两种。外部复位有上电复位、按下“复位”按钮复位;内部复位有看门狗定时器复位、低电压复位和软件复位等。

从复位时芯片是否处于上电状态来区分,复位可分为冷复位和热复位。芯片从无电状态到上电状态的复位属于冷复位,芯片处于带电状态时的复位属于热复位。冷复位后,MCU 内部 RAM 的内容是随机的;热复位后,MCU 内部 RAM 的内容会保持复位前的内容,即热复位并不会引起 RAM 中内容的丢失。

从 CPU 响应速度快慢来区分,复位还可分为异步复位和同步复位。异步复位源包括上电复位和低电压复位等,其复位请求一般表示一种紧要的事件,因此复位控制逻辑不等到当前总线周期结束,复位立即有效。同步复位源包括看门狗定时器复位、软件复位等,其复位请求的处理方法与异步复位不同。例如,当一个同步复位源给出复位请求时,复位控制器并不使之立即起作用,而是等到当前总线周期结束之后,这是为了保护数据的完整性。在该总线周期结束后的下一个系统时钟的上升沿时,复位才有效。

3.4.3 晶振电路

MSP432 芯片可使用内部晶振或外部晶振两种方式为 MCU 提供工作时钟。

MSP432 芯片含有内部时钟源(IRC),频率分慢速(32.768kHz)和快速(4MHz)。通过

编程,最大可产生 48MHz 内核时钟及 24MHz 总线时钟。使用内部时钟源可略去外部晶振电路。

时钟源若需要更低的功耗,可自行选用外部晶振 LFXXT,若需要更快速的响应和快速的突发处理能力,可选用外部晶振 HFXT,如图 3-3 所示的晶振电路。

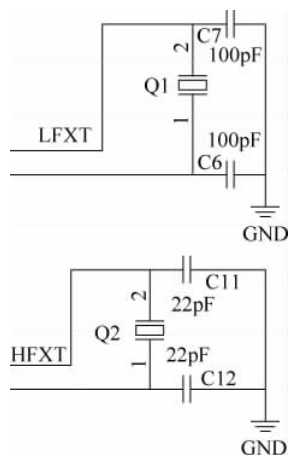


图 3-3 晶振电路

3.4.4 SWD 接口电路

MSP432 芯片的调试接口 SWD 是基于 CoreSight 架构的,该架构在限制输出引脚和其他可用资源情况下,提供了最大的灵活性。CoreSight 是 ARM 定义的一个开放体系结构,以使 SoC 设计人员能够将其他 IP 内核的调试和跟踪功能添加到 CoreSight 基础结构中。通过 SWD 接口可以实现程序下载和调试功能,SWD 接口只需两根线:数据输入/输出线(DIO)和时钟线(CLK)。附录 B 中的最小硬件系统原理图,给出了 SWD 调试接口电路,连接到 MSP432 芯片的 SWCLKTCK 与 SWDIOTMS 两个引脚,也可根据实际需要增加地、电源及复位信号线。

小结

本章主要给出了 MSP432 存储映像、中断源、引脚图及引脚表,重点介绍了硬件最小系统,完成了 MCU 的基础硬件入门。

(1) MSP432 系列的一个具体 MCU 型号标识含有质量状态、系列号、内核类型、内部 Flash 大小、温度范围、封装类型、CPU 最高频率、包装类型等信息。

(2) 关于 MSP432 系列的存储映像与中断源,其片内 Flash 大小为 256KB,地址范围为 0x0000_0000 ~ 0x003F_FFFF,用来存放中断向量、程序代码、常数等;片内 RAM 大小 64KB,地址范围为 0x0100_0000 ~ 0x0100_FFFF,用来存储全局变量、临时变量(堆栈空间)等;MSP432 最多支持 64 个中断源,为中断向量表中提供物理基础,由于中断的内容会在后面章节详细介绍,本章了解即可。

(3) 关于硬件最小系统。一个芯片的硬件最小系统是指可以使内部程序运行所必需的最低规模的外围电路,也可以包括写入器接口电路。使用一个芯片,必须完全理解其硬件最小系统。硬件最小系统引脚是必须为芯片提供服务的引脚,包括电源、晶振、复位、SWD 接口。读者需充分理解附录 B 的硬件最小系统原理图。

(4) 学习第 5 章之后,再回头来理解为什么这样画原理图。我们的目标是,所有使用该芯片的应用系统,硬件最小系统原理图可复用,第 5 章称之为“核心构件”。

习题

1. 简述所学芯片的型号标识。
2. 给出所学芯片的 RAM、Flash 的地址范围,说明堆栈空间、全局变量、常量、程序分别存放于 RAM 中还是 Flash 中。芯片初始化时,SP 值应为什么值,说明原因。
3. 简要阐述硬件电路中滤波电路、耦合电路的具体作用。
4. 解释最小硬件系统概念,并结合所学芯片的开发板,归纳实现最小系统需要的引脚资源。
5. 所学芯片的开发板中使用什么标准调试接口,具体如何实现。
6. 所学芯片的开发板中有哪些功能接口,如何进行测试?
7. 简要说出所学芯片最小系统原理图的各部分基本原理。
8. 自行找一个型号 MCU,给出设计硬件最小系统的基本步骤,并参考本章样例画出原理图。