



绪 论

电子设计自动化(electronic design automation,EDA)是指利用计算机完成电子系统的设计。EDA技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。EDA技术以计算机为工具,代替人完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需要完成对系统功能的描述,就可以由计算机软件进行处理,得到设计结果,而且修改设计如同修改软件一样方便,可以极大地提高设计效率。

1.1 EDA 技术简介

EDA技术是在电子CAD技术基础上发展起来的计算机软件系统,是指以计算机为工作平台,融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果,进行电子产品的自动设计。利用EDA工具,电子设计师可以从概念、算法、协议等开始设计电子系统,大量工作可以通过计算机完成,并可以将电子产品从电路设计、性能分析到设计出IC版图或PCB版图的整个过程在计算机上自动处理完成。现在对EDA的概念或范畴用得很宽,包括在机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域,都有EDA的应用。目前EDA技术已在各大公司、企事业单位和科研教学部门广泛使用。例如在飞机制造过程中,从设计、性能测试及特性分析直到飞行模拟,都可能涉及EDA技术。本文所指的EDA技术,主要针对电子电路设计、PCB设计和IC设计。EDA设计可分为系统级、电路级和物理实现级。

从目前的EDA技术来看,其发展趋势是政府重视、使用普及、应用广泛、工具多样、软件功能强大。中国EDA市场已渐趋成熟,不过大部分设计工程师面向的是PC主板和小型ASIC领域,仅有小部分(约11%)的设计人员研发复杂的片上系统器件。为了与中国台湾地区和美国的设计工程师形成更有力的竞争,中国的设计队伍有必要购入一些最新的EDA技术。在信息通信领域,要优先发展高速宽带信息网、深亚微米集成电路、新型元器件、计算机及软件技术、第三代移动通信技术、信息管理技术、信息安全技术,积极开拓以数字技术、网络技术为基础的新一代信息产品,发展新兴产业。



据最新统计显示,中国和印度正在成为电子设计自动化领域发展最快的两个市场,年复合增长率分别达到了 50% 和 30%。EDA 技术发展迅猛,完全可以用日新月异来描述。EDA 技术的应用广泛,现在已涉及各行各业。EDA 水平不断提高,设计工具趋于完美的地步。EDA 市场日趋成熟,但我国的研发水平仍很有限,需迎头赶上。

1. EDA 技术的发展

从 20 世纪 60 年代中期开始,人们就不断开发出各种计算机辅助设计工具来帮助设计人员进行电子系统设计。电路理论和半导体工艺水平的提高,对 EDA 技术的发展起了巨大的推进作用,使 EDA 作用范围从 PCB 板设计延伸到电子线路和集成电路设计,直至整个系统的设计,也使 IC 芯片系统应用、电路制作和整个电子系统生产过程都集成在一个环境之中。根据电子设计技术的发展特征,EDA 技术发展大致分为三个阶段。

(1) CAD 阶段(20 世纪 60 年代中期~20 世纪 80 年代初期)

第一阶段的特点是一些单独的工具软件,主要有印刷电路板(printed circuit board, PCB)布线设计、电路模拟、逻辑模拟及版图的绘制等,通过计算机的使用,从而使设计人员从大量繁琐重复的计算和绘图工作中解脱出来。

例如,目前常用的 Protel 早期版本 Tango,以及用于电路模拟的 PSPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统等软件,都是这个阶段的产品。这个时期的 EDA 一般称为 CAD(computer aided design)。

(2) CAE 阶段(20 世纪 80 年代初期~20 世纪 90 年代初期)

这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果。各种设计工具,如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库已齐全。由于采用了统一数据管理技术,因而能够将各个工具集成为一个 CAE (computer aided engineering)系统。按照设计方法学制定的设计流程,可以实现从设计输入到版图输出的全程设计自动化。

(3) EDA 阶段(20 世纪 90 年代以来)

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平达到深亚微米级,在一个芯片上可集成数百万乃至上千万只晶体管,工作速度可达到 GHz,这为制造出规模更大、速度更快和信息容量很大的芯片系统提供了条件,但同时也对 EDA 系统提出了更高的要求,并促进了 EDA 技术的发展。

此阶段主要出现了以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术,不仅极大地提高了系统的设计效率,而且使设计人员摆脱了大量的辅助性及基础性工作,将精力集中于创造性的方案与概念的构思上。

2. EDA 阶段的主要特征

(1) 高层综合(high level synthesis, HLS)的理论与方法取得较大进展,将 EDA 设计层次由 RTL 级提高到了系统级(又称行为级),并划分为逻辑综合和测试综合。

逻辑综合就是对不同层次和不同形式的设计描述进行转换,通过综合算法,以具体的工艺背景实现高层目标所规定的优化设计,通过设计综合工具,可将电子系统的高层行为描述转换到低层硬件描述和确定的物理实现,使设计人员无须直接面对底层电路,不必了解具体



的逻辑器件,从而把精力集中到系统行为建模和算法设计上。

测试综合是以设计结果的性能为目标的综合方法,以电路的时序、功耗、电磁辐射和负载能力等性能指标为综合对象。测试综合是保证电子系统设计结果稳定可靠工作的必要条件,也是对设计进行验证的有效方法,其典型工具有 Synopsys 公司的 Behavioral Compiler 以及 Mentor Graphics 公司的 Monet 和 Renoir。

(2) 采用硬件描述语言(HDL)来描述设计,并形成了 VHDL(very high speed integrated circuit HDL)和 VerilogHDL 两种标准硬件描述语言。它们均支持不同层次的描述,使得复杂 IC 的描述规范化,便于传递、交流、保存和修改,也便于重复使用。它们多应用于 FPGA/CPLD 的设计中。大多数 EDA 软件都兼容这两种标准。

(3) 可测性综合设计。随着 ASIC 的规模与复杂性的增加,测试难度与费用急剧上升,由此产生了将可测性电路结构制作在 ASIC 芯片上的想法,于是开发了扫描插入、BLST(内建自测试)、边界扫描等可测性设计(DFT)工具,并已集成到 EDA 系统中。其典型产品有 Compass 公司的 Test Assistant 和 Mentor Graphics 公司的 LBLST Architect、BSD Architect 等。

(4) 为带有嵌入 IP 模块的 ASIC 设计提供软硬件协同系统设计工具。协同设计弥补了硬件设计和软件设计流程之间的空隙,保证了软硬件之间的同步协调工作。协同设计是当今系统集成的核心,它以高层系统设计为主导,以性能优化为目标,融合逻辑综合、性能仿真、形式验证和可测性设计,产品如 Mentor Graphics 公司的 Seamless CAV。

3. EDA 厂商分类

全球 EDA 厂商有近百家之多,大体可分两类:一类是 EDA 专业软件公司,较著名的有 Mentor Graphics、Cadence Design Systems、Synopsys、View logic Systems 和 Protel 等;另一类是半导体器件厂商,他们为了销售其产品而开发 EDA 工具,较著名的公司有 Altera、Xilinx、AMD、TI 和 Lattice 等。

EDA 专业软件公司独立于半导体器件厂商,推出的 EDA 系统具有较好的标准化和兼容性,也比较注意追求技术上的先进性,适合于搞学术性基础研究的单位使用。而半导体厂商开发的 EDA 工具,能针对自己器件的工艺特点作出优化设计,提高资源利用率,降低功耗,改善性能,比较适合于产品开发单位使用。

4. ASIC 和 FPGA 的相互融合

随着系统开发对 EDA 技术的目标器件各种性能要求的提高,ASIC 和 FPGA 将更大程度相互融合。这是因为虽然标准逻辑 ASIC 芯片尺寸小、功能强大、耗电省,但设计复杂,并且有批量生产要求。可编程逻辑器件开发费用低廉,能在现场进行编程,但却体积大、功能有限,而且功耗较大。因此,FPGA 和 ASIC 正在走到一起,互相融合,取长补短。

现在,传统 ASIC 和 FPGA 之间的界限正变得模糊。系统级芯片不仅集成 RAM 和微处理器,也集成 FPGA。整个 EDA 和 IC 设计工业都朝这个方向发展。

现今也在进行将 ASIC 嵌入可编程逻辑单元的工作。目前,许多 PLD 公司开始为 ASIC 提供 FPGA 内核。PLD 厂商与 ASIC 制造商结盟,为 SOC 设计提供嵌入式 FPGA 模



块,使未来的 ASIC 供应商有机会更快地进入市场,利用嵌入式内核获得更长的市场生命期。

ASIC 制造商增加可编程逻辑的另一个原因是,考虑到设计产品的许多性能指标变化太快,特别是通信协议,为已经完成设计并投入应用的 IC 留有多次可自由更改的功能是十分有价值的事,这在通信领域中的芯片设计方面尤为重要。

1.2 可编程逻辑器件的发展概况

ASIC 的设计与制造,已不再完全由半导体厂商独立承担,系统设计师在实验室里就可以设计出合适的 ASIC 芯片,并且立即投入实际应用之中,这都得益于可编程逻辑器件 PLD 的出现。

现在应用最广泛的 PLD 主要是现场可编程门阵列 FPGA、复杂可编程逻辑器件 CPLD。

1. PROM

最早的 PLD 是 1970 年制成的 PROM(programmable read only memory),即可编程只读存储器,它是由固定的与阵列和可编程的或阵列组成。PROM 采用熔丝工艺编程,只能写一次,不能擦除和重写。随着技术的发展和应用要求,此后又出现了 UVEPROM(紫外线可擦除只读存储器)、EEPROM(电可擦除只读存储器),由于它们价格低,易于编程,速度低,适合于存储函数和数据表格,因此主要用作存储器。典型的 EPROM 有 2764、2864 等。

2. PLA

可编程逻辑阵列(programmable logic array,PLA)于 20 世纪 70 年代中期出现。它是由可编程的与阵列和可编程的或阵列组成,但由于器件的资源利用率低,价格较贵,编程复杂,支持 PLA 的开发软件有一定难度,因而没有得到广泛应用。

3. PAL

可编程阵列逻辑(programmable array logic,PAL)器件是 1977 年美国 MMI 公司(单片存储器公司)率先推出的。它由可编程的与阵列和固定的或阵列组成,采用熔丝编程方式,双极性工艺制造,器件的工作速度很高。由于它的输出结构种类很多,设计很灵活,因而成为第一个得到普遍应用的可编程逻辑器件,如 PAL16L8。

4. GAL

通用阵列逻辑(generic array logic,GAL)器件是 1985 年 Lattice 公司最先发明的可电擦写、可重复编程、可设置加密位的 PLD。GAL 在 PAL 基础上,采用了输出逻辑宏单元形式 E2CMOS 工艺结构。具有代表性的 GAL 芯片有 GAL16V8、GAL20V8,这两种 GAL 几乎能够仿真所有类型的 PAL 器件。在实际应用中,GAL 器件对 PAL 器件仿真具有百分之



百的兼容性,所以 GAL 几乎完全代替了 PAL 器件,并可以取代大部分 SSI、MSI 数字集成电路,如标准的 54/74 系列器件,因而获得广泛应用。

5. EPLD

可擦除可编程逻辑器件(erasable PLD,EPLD)是 20 世纪 80 年代中期 Altera 公司推出的基于 UVEPROM 和 CMOS 技术的 PLD,后来发展到采用 E2CMOS 工艺制作的 PLD。EPLD 基本逻辑单元是宏单元。宏单元由可编程的与或阵列、可编程寄存器和可编程 I/O 三部分组成。

从某种意义上讲 EPLD 是改进的 GAL,它在 GAL 基础上大量增加输出宏单元的数目,提供更大的与阵列,灵活性较 GAL 有较大改善,集成密度大幅度提高,内部连线相对固定,延时小,有利于器件在高频率下工作,但内部互连能力十分弱。

6. CPLD

复杂可编程逻辑器件(complexPLD,CPLD)是 20 世纪 80 年代末 Lattice 公司提出的在线可编程(ISP)技术,于 20 世纪 90 年代初出现。CPLD 是在 EPLD 的基础上发展起来的,采用 E2CMOS 工艺制作,与 EPLD 相比,增加了内部连线,对逻辑宏单元和 I/O 单元也有重大的改进。其典型器件有 Altera 的 MAX7000 系列,Xilinx 的 7000 和 9500 系列,Lattice 的 PLSI/ispLSI 系列和 AMD 的 MACH 系列。

7. FPGA

现场可编程门阵列(field programmable gate array,FPGA)器件是 Xilinx 公司 1985 年首家推出的。它是一种新型的高密度 PLD,采用 CMOS-SRAM 工艺制作。FPGA 的结构与门阵列 PLD 不同,其内部由许多独立的可编程逻辑模块(CLB)组成,逻辑块之间可以灵活地相互连接。

FPGA 出现后受到电子设计工程师的普遍欢迎,发展十分迅速。Xilinx、Altera 和 Actel 等公司都提供高性能的 FPGA 芯片。

8. SOPC

20 世纪末出现了片上可编程系统(SOPC)器件,SOPC 是现代电子技术和电子系统设计的汇聚点和最新发展方向,它将普通 EDA 技术、计算机系统、嵌入式系统、工业自动化控制系统、DSP 及无线电等融为一体,涵盖了嵌入式系统设计技术的全部内容。SOPC 结合了 SOC 和 PLD、FPGA 各自的优点,集成了硬核或软核 CPU、DSP、存储器、外围 I/O 及可编程逻辑,用户可以利用 SOPC 平台自行设计各种高速高性能的 DSP 处理器或特定功能的 CPU 处理器,从而使电子系统设计进入了一个全新的模式。在应用的灵活性和价格上 SOPC 有极大的优势,SOPC 被称为“半导体产业的未来”。

Xilinx 公司和 Altera 公司的新一代 FPGA 集成了中央处理器(CPU)或数字处理器(DSP)内核,在一片 FPGA 上进行软硬件协同设计,为实现 SOPC 提供了强大的硬件支持。图 1.1 是一个 Altera 公司的 SOPC 器件。



图 1.1 Altera 公司的 SOPC 器件

1.3 数字系统 EDA 设计语言

1. HDL 语言的产生

目前,电子系统正向着集成化、大规模和高速度的方向发展,所需要的集成电路的规模越来越大,复杂程度也越来越高。对于如此大规模和复杂电路的设计问题,传统的门级描述方法显得过于琐碎,因而难以理解和管理,这就迫使人们寻求更高抽象层次的描述方法和采用高层次的、自顶向下的设计方法。

逻辑图和布尔方程虽然可用来描述硬件,且抽象程度高于门级描述方法,但对于复杂的电路,这种描述仍显得过于繁琐而不便于使用;在高于逻辑级的抽象层次上,这种方法很难以简练的方式提供精确的描述,在自顶向下的设计方法中不能再把它当作主要的描述手段。

硬件描述语言(HDL)就是顺应人们的这一需要而产生和发展起来的,它是一种能够以形式化方式描述电路的结构和行为,并用于模拟和综合的高级描述方法。HDL 具有类似于高级程序设计语言的抽象能力,硬件系统的基本性质和硬件设计的方法决定了 HDL 的主要特性。HDL 的语法和语义定义都是为描述硬件的行为服务,它应当能自然地描述硬件中并行的、非递归的特性以及时间关系。

从 20 世纪 80 年代开始,许多 EDA 厂商和科研机构就建立和使用着自己的电路硬件描述语言,如 Data I/O 公司的 ABEL-HDL,Altera 公司的 AHDL 等等。这些硬件描述语言各具特色,普遍收到了优于传统方法的实际效果,语言本身也在应用中不断的发展和完善,逐步成为描述硬件电路的重要手段。然而,随着 HDL 应用的逐步深入,人们发现,各种非标准 HDL 之间存在的差异已成为束缚设计者选择最佳的设计环境和进行相互交流的巨大障碍,因此,要求 HDL 标准化的呼声越来越高。

美国国防部的工程项目有着众多的承包人,他们曾使用着多种设计语言,使得承包人甲的设计不能被承包人乙再次利用,这就造成了信息交换和设计维护方面的困难。为了解决这个问题,20 世纪 80 年代初美国国防部为其超高速集成电路计划(VHSIC)提出了硬件描述语言(VHSIC hardware description language,VHDL),作为该计划的标准 HDL 格式。



在使用中,VHDL 很好地体现了标准化的威力,因而逐步得到推广。

1987 年 12 月,电气和电子工程师协会(IEEE)正式接受 VHDL 作为国际标准,编号为 IEEE Std1076—1987,即 VHDL'87。1993 年,对 VHDL 又作了若干修改,增加了一些功能,新的标准版本记作 IEEE Std1076—1993,即 VHDL'93。严格地说,VHDL'93 和 VHDL'87 并不完全兼容,新标准增加了一些保留字并删去了某些属性。但是,对 VHDL'87 的源码只需作少许简单的修改就可成为合法的 VHDL'93 代码。目前,对 VHDL'93 的扩展工作仍在进行之中,目标是使 VHDL 既能描述数字电路,又能描述模拟电路。

2. VHDL 语言的主要优点

(1) VHDL 具有强大的功能,覆盖面广,描述能力强,可用于从门级、电路级直至系统级的描述、仿真和综合。VHDL 支持层次化设计,可以在 VHDL 的环境下,完成从简练的设计原始描述,经过层层细化求精,最终获得可直接付诸生产的电路级或版图参数描述的全过程。

(2) VHDL 有良好的可读性。它可以被计算机接受,也容易被读者理解。用 VHDL 书写的源文件,既是程序又是文档,既是技术人员之间交换信息的文件,又可作为合同签约者之间的文件。

(3) VHDL 有良好的可移植性。作为一种已被 IEEE 承认的工业标准,VHDL 事实上已成为通用的硬件描述语言,可以在不同的设计环境和系统平台中使用。

(4) 使用 VHDL 可以延长设计的生命周期。因为 VHDL 的硬件描述与工艺技术无关,不会因工艺变化而使描述过时。与工艺技术有关的参数可通过 VHDL 提供的属性加以描述,工艺改变时,只需修改相应程序中的属性参数即可。

(5) VHDL 支持对大规模设计的分解和已有设计的再利用。VHDL 可以描述复杂的电路系统,支持对大规模设计进行分解,由多人、多项目组来共同承担和完成。标准化的规则和风格为设计的再利用提供了有力的支持。

3. Verilog HDL 语言

Verilog HDL 于 1995 年正式成为国际标准的 HDL 语言,编号为 Verilog HDL1364—1995。其特点是编程风格与 C 语言相似,它推出的时间比 VHDL 早,在许多领域的应用也很普遍。几年以来,EDA 界对 VHDL 和 Verilog HDL 这两种语言一直争论不休。实际上这两种语言各有所长,市场占有率也相差不多。一般认为,Verilog HDL 是从集成电路的设计中发展而来的,在门级电路、晶体管开关级电路的描述方面比 VHDL 强,在系统级的抽象描述方面,VHDL 则更合适。目前,大多数的 EDA 软件都同时支持这两种硬件描述语言。

4. ABEL 和 AHDL 语言

与 VHDL 和 Verilog HDL 相比,ABEL 和 AHDL 的功能相对比较简单,它们适合于 RTL 级和门级电路的描述,主要用于可编程逻辑器件的开发。

ABEL 语言是由美国 Data I/O 公司推出的,该公司也是 ABEL 语言综合器的惟一供应商,有不少 EDA 软件支持 ABEL 语言,如 ispEXPERT、Synario、Foundation 等。

AHDL 语言则只集成在 Altera 公司的可编程逻辑器件开发工具中,只能在 Altera 的



开发软件中进行编译和调试。与 VHDL 和 VerilogHDL 相比,ABEL 和 AHDL 的功能相对比较简单,它们适合于 RTL 级和门级电路的描述,主要用于可编程逻辑器件的开发。

5. C 语言

在电子系统设计中,硬件设计采用 VHDL 和 VerilogHDL 之类硬件描述语言,软件设计则采用 C 和 C++ 等编程语言。这种硬件设计和软件设计使用不同语言的现象,给设计带来了不便,延长了产品开发的周期。从 EDA 的发展趋势来看,直接用 C 语言来描述硬件是未来的一个发展方向,这样软件设计人员和硬件设计人员之间就有了“共同语言”,从而能够实现软、硬件协同设计,提高设计效率。目前,用 C 语言描述硬件主要有两个分支: System C 和 Spec C。System C 适用于从系统设计到逻辑设计这一阶段;Spec C 则适用于从对技术要求的把握到系统设计这一阶段。

6. 用 HDL 进行系统设计的条件

(1) 支持某种语言的软件平台。本课程采用 VHDL 语言,开发平台采用 Max+Plus II 和 Quartus II。

(2) 由软件设计到硬件实现之间的媒介 CPLD/FPGA(可编程器件)。图 1.2 是由软件设计到硬件实现的流程,图 1.3 为软件语言编译器和硬件语言综合器的功能比较。

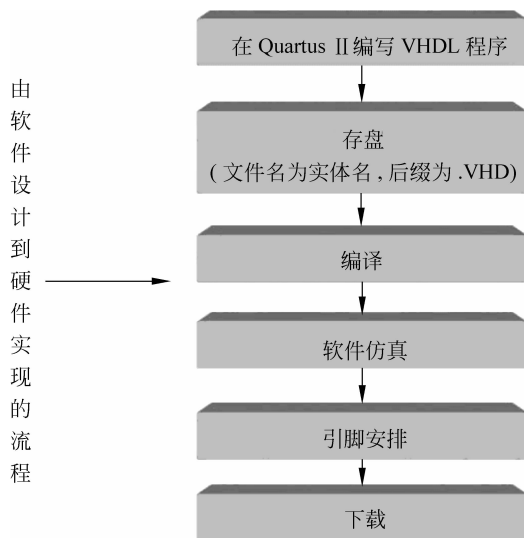


图 1.2 由软件设计到硬件实现的流程

7. HDL 语言的功能及相关网址

一般认为,HDL 应当具有以下能力:

- (1) 能在希望的抽象层次上进行精确而简练的描述。
- (2) 在不同层次上都易于形成用于模拟和验证的设计描述。
- (3) 在自动设计系统中(例如高层次综合、硅编译器等)可作为设计输入。
- (4) 可以进行硬、软件的联合设计,消除硬、软件开发时间上的间隔。

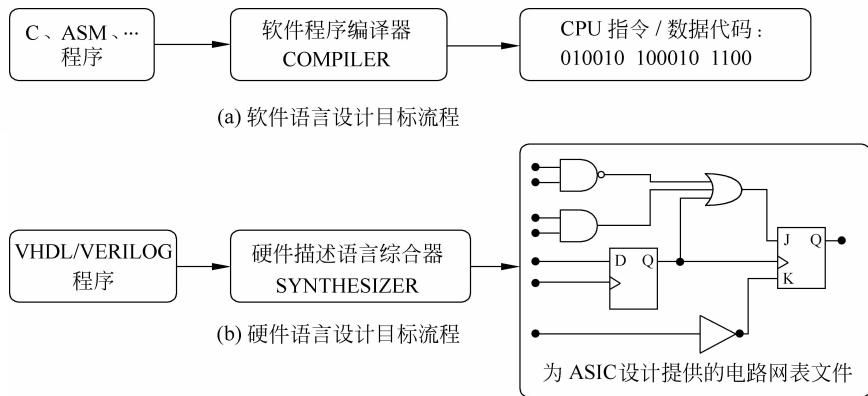


图 1.3 软件语言编译器和硬件语言综合器的功能比较

- (5) 易于修改设计和把相应的修改纳入设计文件中。
- (6) 在希望的抽象层次上可以建立设计者与用户的通信界面。
- (7) 易于产生用户手册、服务手册等文件,以便多人配合工作。

与 VHDL 相关的有用网址:

- (1) <http://vhdl.org>——VHDL 国际用户研讨会(VIUF)国际互联网 服务(VIIS)的服务器。
- (2) <http://www.e2w3.com/vi>——国际 VHDL 出版物: VHDL Times 的网站。
- (3) <http://vhdl.org/vi/comp.lang.vhdl>——该网址主页中含有有关 VHDL 语言经常提出的问题。
- (4) <http://www.vhdluk.org>——英国的 VHDL 语言主页。
- (5) http://tech_www.informatik.uni_hamburg.de/vhdl.html——从该主页上可以获得一些免费的、公开的 VHDL 语言工具、模型和文档。
- (6) <http://rassp.scria.org>——该主页含有 VHDL 语言国际 kick_off 在美国和日本的大学教学计划。
- (7) <ftp://erml.u-strasbg.fr>——在目录 pub/vhdl 中可以找到一些公开的 VHDL 语言模型。

1.4 EDA 与传统电子设计方法

1.4.1 传统的电子设计方法

传统的电子设计技术通常是自底向上的,即首先确定构成系统的最底层的电路模块或元件的结构和功能,然后根据主系统的功能要求,将它们组合成更大的功能块,使它们的结构和功能满足上层系统的要求。以此流程,逐步向上递推,直至完成整个目标系统的设计。

例如,对于一般电子系统的设计,使用自底向上的设计方法,必须首先决定使用的器件类别和规格,如 74 系列的器件、某种 RAM 和 ROM、某类 CPU 或单片机以及某些专用功能芯片等;然后是构成多个功能模块,如数据采集控制模块、信号处理模块、数据交换和接口模块等,直至最后利用它们完成整个系统的设计。



下面以一个六进制计数器设计为例说明自底向上的设计过程,图 1.4 是六进制计数器逻辑图。

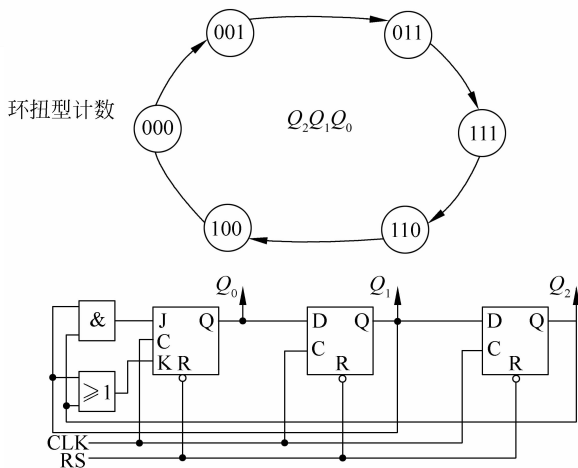


图 1.4 六进制计数器逻辑图

第一步,选择逻辑元器件。由数字电路的基本知识可知,可以用与非门,或非门,D 触发器,JK 触发器等基本逻辑元、器件来构成一个计数器。设计者根据电路尽可能简单、价格合理、购买和使用方便及各自的习惯来选择六进制计数器的逻辑元、器件。本例中我们选择 JK 触发器和 D 触发器作为六进制计数器的主要逻辑元器件。

第二步,进行电路设计。假设六进制计数器采用约翰逊计数器(环扭型)。3 个触发器应该产生 8 种状态,现在只使用 6 个状态,将其中的 010 和 101 两种状态禁止掉。

第三步,由选定的状态编码和触发器类型(D,JK)列出状态变化表、激励方程等,从而构成电路。

自底向上设计方法的特点是必须首先关注并致力于解决系统最底层硬件的可获得性,以及它们的功能特性方面的诸多细节问题;在整个逐级设计和测试过程中,始终必须顾及具体目标器件的技术细节。在这个设计过程中的任一时刻,最底层目标器件的更换,或某些技术参数不满足总体要求,或缺货,或由于市场竞争的变化,临时提出降低系统成本、提高运行速度等不可预测的外部因素,都将可能使前面的工作前功尽弃,工作又得重新开始。

由此可见,在某些情况下,自底向上的设计方法是一种低效、低可靠性、费时费力、且成本高昂的设计方法。

1.4.2 自顶向下的电子设计方法

在电子设计领域,自顶向下的设计方法,只有在 EDA 技术得到快速发展和成熟应用的今天才成为可能。自顶向下设计方法的有效应用必须基于功能强大的 EDA 工具、具备集系统描述、行为描述和结构描述功能为一体的 HDL 硬件描述语言,以及先进的 ASIC 制造工艺和 FPGA 开发技术。当今,自顶向下的设计方法已经是 EDA 技术的首选设计方法,是 ASIC 或 FPGA 开发的主要设计手段。

自上而下(Top Down)的设计方法就是从系统总体要求出发,自上至下地逐步将设计内容细化,最后完成系统硬件的整体设计。



在利用 HDL 的硬件设计方法中,设计者将自上至下分成 3 个层次对系统硬件进行设计。

第一层次是对整个系统的数学模型的描述,称为行为描述。

第二层次是采用 RTL(数据流或寄存器传输)方式导出系统的逻辑表达式,供逻辑综合使用,称为 RTL 方式描述。

第三层次则是逻辑综合,即利用逻辑综合工具,将 RTL 方式描述的程序转换成用基本逻辑元件表示的文件。

1. 第一层次——行为描述

所谓行为描述,实质上就是对整个系统的数学模型的描述,其目的是试图在系统设计的初级阶段,通过对系统行为描述的仿真来发现设计中存在的问题。通过 HDL 仿真器对整个系统进行系统行为仿真和性能评估。行为描述阶段并不真正考虑其实际操作和算法用什么方法来实现。考虑更多的是系统的结构及其工作过程是否能达到系统设计规格书的要求。

仍以上面六进制计数器为例进行行为描述。

该段 VHDL 语言程序勾画出了六进制计数器的输入输出引脚和内部计数器过程的技术状态变化时序和关系。这实际上是计数器工作模型的描述。当该程序仿真通过以后,说明六进制计数器模型是正确的。

```
ENTITY Counter6 IS
PORT (
    clk: IN STD_LOGIC;
    rst: IN STD_LOGIC;
    count_out: OUT STD_LOGIC_VECTOR(0 TO 2);
END Counter6;

ARCHITECTURE behav OF Counter6 IS
Signal next_count: STD_LOGIC_VECTOR(0 TO 2);
BEGIN
    PROCESS (rst,clk)
    BEGIN
        IF rst='0' THEN
            Count_out <="000";
        ELSIF rst='1' AND RISING_EDGE(clk) THEN
            CASE count_out(0 to 2) IS
                WHEN "000"=>next_count<="001";
                WHEN "001"=>next_count<="011";
                WHEN "011"=>next_count<="111";
                WHEN "111"=>next_count<="110";
                WHEN "110"=>next_count<="100";
                WHEN "100"=>next_count<="000";
            END CASE;
        END IF;
    END PROCESS;
END behav;
```



```
count_out<=next_count ;  
END IF;  
END PROCESS;  
END behav;
```

2. 第二层次——RTL 方式描述

这一层次称为寄存器传输描述(又称数据流描述,RTL 方式描述)。行为方式描述的系统结构的程序,抽象程度高,是很难直接映射到具体逻辑元件结构的硬件实现的。要想得到硬件的具体实现,必须将行为方式描述的 VHDL 语言程序改写为 RTL 方式描述的 VHDL 语言程序。这一过程可通过 EDA 软件自动完成。

3. 第三层次——逻辑综合

逻辑综合这一阶段是利用逻辑综合工具,将 RTL 方式描述的程序转换成用基本逻辑元件表示的文件(门级网络表)。此时,如果需要,可以将逻辑综合结果,以逻辑原理图的方式输出。也就是说,逻辑综合的结果相当于在人工设计硬件电路时,根据系统要求画出了系统的逻辑电路原理图。

图 1.5 为 HDL 设计电子系统的流程图。

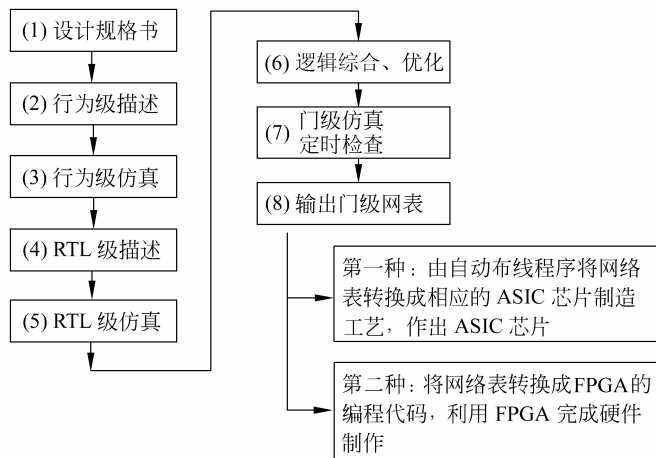


图 1.5 HDL 设计电子系统的流程图

1.4.3 EDA 与传统电子设计方法的比较

传统的数字电子系统或 IC 设计中,手工设计占了较大的比例。一般先按电子系统的具体功能要求进行功能划分,然后对每个子模块画出真值表,用卡诺图进行手工逻辑简化,写出布尔表达式,画出相应的逻辑线路图,再据此选择元器件,设计电路板,最后进行实测与调试。

1. 手工设计方法的缺点

(1) 复杂电路的设计、调试十分困难。



- (2) 如果某一过程存在错误,查找和修改十分不便。
- (3) 设计过程中产生大量文档,不易管理。
- (4) 对于集成电路设计而言,设计实现过程与具体生产工艺直接相关,因此可移植性差。
- (5) 只有在设计出样机或生产出芯片后才能进行实测。

2. EDA 设计方法的特点

(1) 采用硬件描述语言作为设计输入:用 HDL 对数字电子系统进行抽象的行为与功能描述到具体的内部线路结构描述,从而可以在电子设计的各个阶段、各个层次进行计算机模拟验证,保证设计过程的正确性。可以大大降低设计成本,缩短设计周期。

(2) 库(Library)的引入:EDA 工具之所以能够完成各种自动设计过程,关键是有各类库的支持,如逻辑仿真时的模拟库、逻辑综合时的综合库、版图综合时的版图库、测试综合时的测试库等。这些库都是 EDA 设计与半导体生产厂商紧密合作、共同开发的。

(3) 设计文档的管理:某些 HDL 语言也是文档型的语言(如 VHDL),极大地简化了设计文档的管理。

(4) 强大的系统建模、电路仿真功能。

(5) 开发技术的标准化、规范化以及 IP 核的可利用性。

(6) 适用于高效率、大规模系统设计的自顶向下设计方案。从电子设计方法学来看,EDA 技术最大的优势就是能将所有设计环节纳入统一的自顶向下的设计方案中。传统的电子设计技术中,由于没有规范的设计工具和表达方式,无法进行这种先进的设计流程。

(7) 全方位地利用计算机自动设计、仿真和测试技术。

(8) 具有自主知识产权。无论传统的应用电子系统设计得如何完美,使用了多么先进的功能器件,如某公司的单片机、CPU、DSP 处理器、数字锁相环或其他特定功能的 IC,都掩盖不了一个无情的事实,即该系统对于设计者来说,没有任何自主知识产权可言,因为系统中的关键性的器件并非出自设计者之手,这将导致该系统在许多情况下的应用直接受到限制,而且有时是致命的,如该系统中某关键器件失去供货来源,或作为极具竞争性的产品批量外销,或应用于关键的军事设备中等情况。基于 EDA 技术的设计则不同,由于用 HDL 表达的成功专用功能设计在实现目标方面有很大的可选性,它既可以用不同来源的通用 FPGA/CPLD 实现,也可以直接以 ASIC 来实现,设计者拥有完全的自主权,再无受制于人之虞。

(9) 对设计者的硬件知识和硬件经验要求低。对于传统的电子设计而言,对电子设计工程师似乎有更多的要求:他在电子技术理论和设计实践方面必须是行家里手;他不但应该是软件高手,同时还是经验丰富的硬件设计能工巧匠;他必须熟悉针对不同单片机或 DSP 器件开发系统的使用方法和性能,还必须知道许多器件的封装形式和电器特性,知道不同的在线测试仪表的使用方法和性能指标;他要熟练掌握大量的与设计理论和优化技术毫无关系的技能技巧,不得不事无巨细,事必躬亲。所有这一切显然不符合现代电子技术发展的需求,首先不符合快速换代的产品市场要求,不符合需求巨大的人才市场的要求。

EDA 技术的标准化和 HDL 设计语言与设计平台对具体硬件的无关性,使设计者能更大程度地将自己的才智和创造力集中在设计项目性能的提高和成本的降低上,而将更具体



的硬件实现工作让专业部门来完成。显然,高技术人才比经验性人才的培养效率要高得多。

(10) 高速性能好(与以 CPU 为主的电路系统相比较)。以软件方式控制操作和运算的系统速度显然无法与纯硬件系统相比,因为软件是通过顺序执行指令的方式来完成控制和运算步骤的,而用 HDL 语言描述的系统是以并行方式工作的。以对 A/D 进行数据采样控制为例,采样周期包括对 A/D 工作时序的控制和将每一次获得的数据存入 RAM(或 FIFO)中。工作于 12MHz 晶振频率的 MCS51 系列单片机对 A/D 控制的采样频率为 20kHz 上下,即约每秒两万次。但若用 FPGA 中设计的状态机来完成同样的工作,如对于具有流水线采样工作时序的 A/D 来说,只需两个状态即可完成一次采样,状态间转换的时间仅为一个时钟周期,而如果 FPGA 的工作频率是 100MHz,则采样速度可达 50MHz。

(11) 纯硬件系统的高可靠性。大量事实表明,由 CPU(或单片机)为核心的系统的可靠性通常不高,而且与 CPU 的种类关系不大,即任何由 CPU 为主控单元的系统,都不得不受到用户的特别关注。其主要原因是,以软件运行为核心的 CPU 的指令地址指针在外部干扰下,容易发生不可预测的变化,而运行陷入不可预测的非法循环中,使系统瘫痪。

1.5 深亚微米

集成电路通常把 $0.8\sim 0.35\mu\text{m}$ 称为亚微米, $0.25\mu\text{m}$ 及其以下称为深亚微米, $0.05\mu\text{m}$ 及其以下称为纳米级。深亚微米制造的关键技术主要包括紫外光刻技术、等离子体刻蚀技术、离子注入技术、铜互连技术等。目前,国际上集成电路的主流生产工艺技术为 $0.18\sim 0.1\mu\text{m}$,2012 年达到 $0.05\mu\text{m}$,进入纳米级。

1.6 IP 核

IP(intellectual property)就是知识产权核或知识产权模块的意思。它是指设计、制造集成电路芯片的硬件和软件工具与方法,在 EDA 技术和开发中具有十分重要的地位。著名的美国 Dataquest 咨询公司将半导体产业的 IP 定义为用于 ASIC 或 FPGA/CPLD 中的预先设计好的电路功能模块。IP 分软 IP、固 IP 和硬 IP。

“软核”(soft core),即“虚拟器件”:在 EDA 技术领域中,把用 HDL 语言建立、功能经过验证、可以综合实现、电路集成总门数在 5000 门以上的 HDL 模型称为“软核”,而把由软核构成的器件称为“虚拟器件”。

“固核”(firm core):通常是指已在某一 CPLD 或 FPGA 器件上实现、经证明是正确的总门数在 5000 门以上的电路结构编码文件。

“硬核”(hard core):已在某一种专用集成电路(ASIC)器件上实现、经证明是正确的总门数在 5000 门以上的电路结构版图的掩膜。

1.7 本章小结

本章主要介绍了 EDA 技术及其发展和情况、可编程逻辑器件的发展及种类;简述了 EDA 设计语言和设计流程,比较了 EDA 设计技术与传统的电子设计技术的差别;并介绍了



IP 核的概念,讨论了 EDA 技术的发展趋势。

思考与练习

1. EDA 技术的含义是什么? 其发展趋势如何?
2. EDA 发展经历了哪几个阶段? EDA 阶段的主要特征是什么?
3. EDA 技术与 ASIC 设计和 FPGA 开发有什么关系?
4. 可编程逻辑器件 PLD 主要包括哪些类型?
5. EDA 与传统电子设计方法有哪些主要差别?
6. 与软件描述语言相比,VHDL 有什么特点?
7. 在 EDA 技术中,自顶向下的设计方法的重要意义是什么?
8. IP 核在 EDA 技术的应用和发展中的意义是什么?



CPLD/FPGA结构原理

可编程逻辑器件(programmable logic device,PLD)是 20 世纪 70 年代作为一种通用集成电路产生的,是大规模集成电路技术发展的产物。它的逻辑功能根据用户对器件的编程来确定,是一种半定制的集成电路,结合 EDA 技术可以快捷方便地构建数字系统。一般 PLD 的集成度很高,足以满足设计一般的数字系统的需要。这样就可以由设计人员自行编程而把一个数字系统“集成”在一片 PLD 上,而不必去请芯片制造厂商设计和制作专用的集成电路芯片了。

PLD 与一般数字芯片不同的是: PLD 内部的数字电路可以在出厂后才规划决定,有些类型的 PLD 也允许在规划决定后再次进行变更、改变,而一般数字芯片在出厂前就已经决定其内部电路,无法在出厂后再次改变。事实上一般的模拟芯片、数字芯片也都一样,都是在出厂后就无法再对其内部电路进行调修。

2.1 可编程逻辑器件入门

逻辑器件可分为标准逻辑器件(standard logic)和专用集成电路(ASIC)。专用集成电路(ASIC)又可分为可编程逻辑器件(PLD)、门阵列(gate array)、基于单元的集成电路(cell-based IC)及全定制集成电路(full custom IC)。其中可编程逻辑器件(PLD)可分为简单可编程逻辑器件(SPLD)、复杂可编程逻辑器件(CPLD)及现场可编程逻辑器件(FPGA),如图 2.1 所示。本章主要介绍几类常用的大规模可编程逻辑器件的结构和工作原理。

2.1.1 逻辑器件含义

逻辑器件是用来实现某种特定逻辑功能的电子器件,最简单的逻辑器件是与、或、非门(74LS00,74LS04 等),在此基础上可实现复杂的时序和组合逻辑功能。

可编程逻辑器件是一种半定制的集成电路,它的功能不是固定不变的,而是可根据用户的需要而进行改变,即芯片内的逻辑门、触发器等硬件资源可由用户通过编程配置连线来实现专用的逻辑功能。

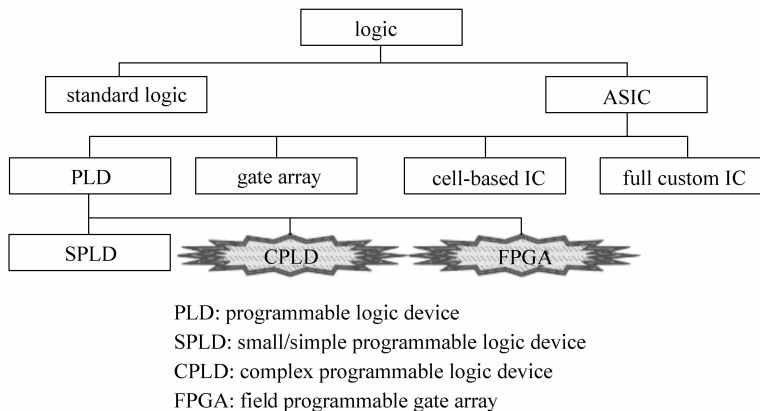


图 2.1 逻辑器件分类图

1. 数字电路与数字系统

数字电路根据逻辑功能的不同特点,可以分成两大类,一类叫组合逻辑电路(简称组合电路),另一类叫时序逻辑电路(简称时序电路)。组合逻辑电路在逻辑功能上的特点是任意时刻的输出仅仅取决于该时刻的输入,与电路原来的状态无关。而时序逻辑电路在逻辑功能上的特点是任意时刻的输出不仅取决于当时的输入信号,而且还取决于电路原来的状态,或者说,还与以前的输入有关。

数字系统是可以完成某种(或多种)特定的、功能不单一的一种电子系统。它一般应包含某种控制器及受控单元,并且功能不那么单一,而不仅仅只看系统是否相当复杂及芯片集成度的高低。例如:一个大规模集成的数字存储器,它一般只被认为是一个数字器件而非一个数字系统。而一个数字电子钟,虽然该数字钟的芯片集成度并不一定很高,但它却可被认为是一个数字系统。因为数字钟内不仅包含有受控单元(如计数器),也有某种控制器(如分频控制电路、校时、预置电路等)。图 2.2 是数字系统实例,图 2.3 是一个声音处理系统,图 2.4 是一个数字存储器,图 2.5 是应用中的数字系统芯片。

2. 布尔函数与卡诺图

布尔函数是用来确定一个基于某种逻辑输入的布尔值输出,是数字系统的数学基础。

卡诺图是逻辑函数的一种图形表示。一个逻辑函数的卡诺图就是将此函数的最小项表达式中的各最小项相应地填入一个方格图内,此方格图称为卡诺图。卡诺图的构造特点使卡诺图具有一个重要性质:可以从图形上直观地找出相邻最小项。两个相邻最小项可以合并为一个与项并消去一个变量。

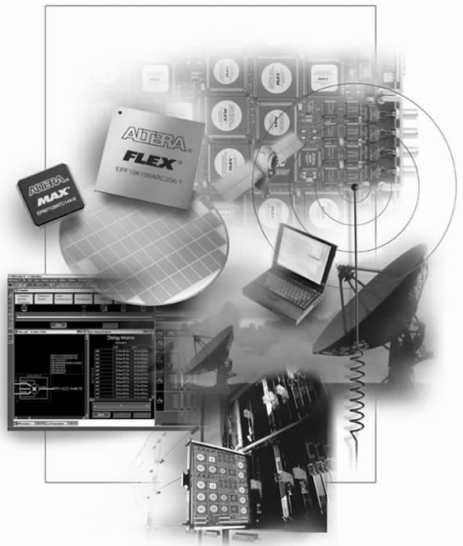


图 2.2 数字系统实例



图 2.3 声音处理系统

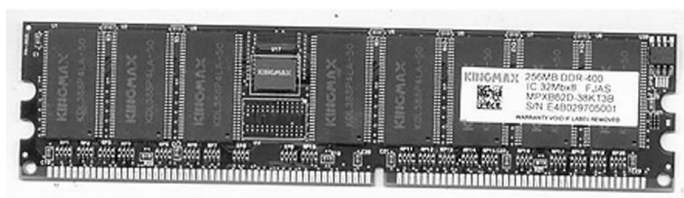
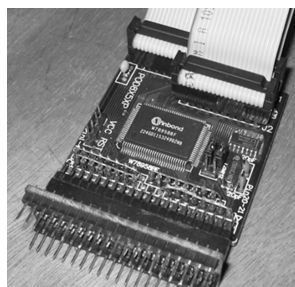
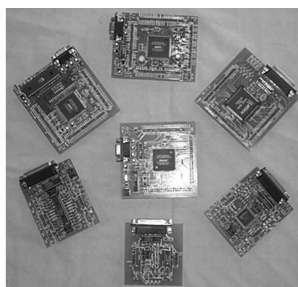


图 2.4 数字存储器



(a)



(b)

图 2.5 应用中的数字系统芯片

3. 数字电路设计基本方法

组合电路设计的基本步骤是：问题→逻辑关系→真值表→化简→逻辑图。

时序电路设计的基本步骤是：列出原始状态转移图和表→状态优化→状态分配→触发器选型→求解方程式→逻辑图。

4. 数字电路设计器件

数字电路设计通常使用中、小规模器件进行设计,如 74、54 系列的编码器(74LS148)、译码器(74LS154)、比较器(74LS85)、计数器(74LS193)、移位寄存器(74LS194)等数字器件,如图 2.6 和图 2.7 所示。



图 2.6 数字器件

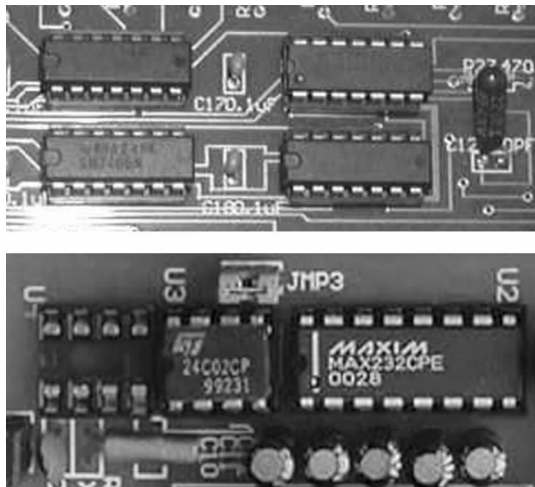


图 2.7 焊在电路板上的数字器件

数字器件是构成数字系统的“元素”或“细胞”。标准 TTL 或 CMOS 数字集成电路(如各种门电路、计数器、寄存器、译码器等)是数字器件。最简单的逻辑器件是与门、或门、非门(74LS00, 74LS04 等),在此基础上可实现复杂的时序和组合逻辑功能。

近来人们已经能够在单一半导体芯片上设计、制造百万个以上的晶体管,这种高集成度的 IC 芯片已经开始具备以往一个数字系统的全部特性与功能,这就产生了现代所谓的单片系统 SOC(system on a chip)和 SOPC,此时的数字器件已发展成为数字系统。

由于单片系统集成度高、功耗低、功能强大,工作可靠,正受到人们越来越大的重视,今后必将会有光明的发展前景。

5. 传统设计方法的局限性

首先,卡诺图只适用于输入比较少的函数的化简。其次,采用“搭积木”的方法进行设计,必须熟悉各种中小规模芯片的使用方法,从中挑选最合适的器件,缺乏灵活性。另外,采用中小规模器件设计的系统电路板面积很大,所需要的芯片种类多,数量大,功耗很大,可靠性低,因此有必要提高芯片的集成度。传统的方法设计比较困难,电路修改很麻烦,设计师



们希望新的设计方法能提供方便的修改手段,方便地发现设计错误。可编程逻辑器件 PLD 的出现改变了这一切,具体表现为:

- (1) 电路集成度不断提高,即 SSI→MSI→LSI→VLSI。
- (2) 计算机技术的发展使 EDA 技术得到广泛应用。
- (3) 设计方法由传统的自下而上发展为现今的自上而下的设计方法。
- (4) 用户可根据自己的需要设计自己的专用电路。
- (5) 传统专用集成电路(application specific integrated circuits, ASIC): 开发周期长,投入大,风险大。
- (6) 可编程器件 PLD: 开发周期短,投入小,风险小。

6. 数字电路的基本组成

不论是简单的还是复杂的数字电路系统都是由基本门来构成的,如与门、或门、非门、传输门等。由基本门可构成两类数字电路:一类是组合电路,在逻辑上输出总是当前输入状态的函数;另一类是时序电路,其输出是当前系统状态和输入状态的函数,它含有存储元件。人们发现,不是所有的基本门都是必需的。如用与非门单一基本门就可以构成其他的基本门。因此任何组合电路都可化为“与-或”表达式,即任何的组合电路都可以用与门-或门二级电路实现。同样,任何时序电路都可由组合电路加上存储元件(即锁存器、触发器、RAM)构成,其输出信号由输入信号和反馈信号通过逻辑关系决定。由此人们提出了一种可编程电路结构,即乘积项逻辑可编程结构,其原理结构如图 2.8 所示。

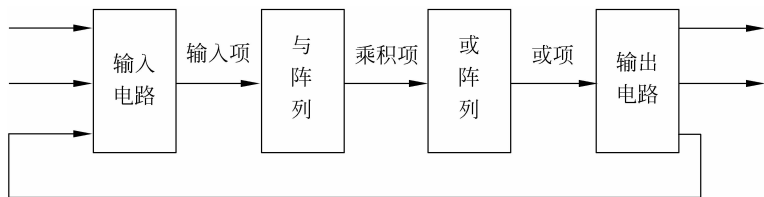


图 2.8 基本 PLD 器件的原理结构图

2.1.2 可编程逻辑器件 PLD

PLD 是电子设计领域中最具活力和发展前途的一项技术,它的影响丝毫不亚于 20 世纪 70 年代单片机的发明和使用。PLD 能完成任何数字器件的功能,上至高性能 CPU,下至简单的 74 电路,都可以用 PLD 来实现。PLD 如同一张白纸或是一堆积木,工程师可以通过传统的原理图输入法,或是硬件描述语言自由地设计一个数字系统。通过软件仿真,可以事先验证设计的正确性。在 PCB 完成以后,还可以利用 PLD 的在线修改能力,随时修改设计而不必改动硬件电路。使用 PLD 来开发数字电路,可以大大缩短设计时间,减少 PCB 面积,提高系统的可靠性。PLD 的这些优点使得 PLD 技术在 20 世纪 90 年代以后得到飞速的发展,同时也大大推动了 EDA 软件和硬件描述语言(HDL)的进步。

开发 PLD 需要了解两个部分:PLD 开发软件和 PLD 本身。PLD 开发软件已经发展得相当完善,用户甚至可以不用详细了解 PLD 的内部结构,也可以用自己熟悉的方法,如原理图输入或 HDL 语言来完成相当优秀的 PLD 设计。PLD 开发软件包括 Altera 公司的