

3.1 存储器

F2833x 的存储器被分成了程序存储与数据存储,其中一些存储器既可用于存储程序,也可用于存储数据。一般而言,F2833x DSP 上的存储介质有以下几种:

(1) Flash 存储器。一般可以把程序写到 Flash,这样就不用带着仿真器调试;此外,Flash 烧写时可以把特定的加密位一起烧写,这样程序就有了知识产权的保证了。

(2) 单周期访问 RAM(Single Access RAM,SARAM)。注意,不要与单口 RAM(即 SRAM)混淆。

(3) OTP。只能写入一次的非挥发性内存 OTP(One Time Programmable,一次编程),适合于工厂大批量烧写,普通开发者很少用到。

(4) 片外存储。在片内资源不够时,可以外扩 Flash 和 RAM,此类产品的型号很多,选择余地也较大。

(5) Boot ROM。Boot ROM 与计算机上 BIOS 的功能有点类似,是厂家预先固化好的程序。

3.1.1 存储器映射

F2833x 的 CPU 本身不包含专门的大容量存储器,但是 DSP 内部却集成了片内存储器,CPU 可以读取片内集成与片外扩展的存储。F2833x 使用 32 位数据地址线及 22 位的程序地址线,从而寻址 4G 字(word,1word=16b)的数据存储器与 4M 字的程序存储器。F2833x 上的存储器模块都是统一映射到程序与数据空间的,如图 3-1 所示。

在图 3-1 中,M0、M1、L0~L7 为用户可以直接使用的 SARAM,可以将定义的数据、变量、常量等存在其地址范围内,具体的用法将在后面介绍 cmd 文件时再详细说明。0x00 4000~0x00 5000——针对 XINTF 区域 0(4K 字)这样的空间,是专门映射到某一区域的,有点类似于 PC 中的外设占用地址。Reserved 空间为保留空间。对比 F2812 和 F2833x 的

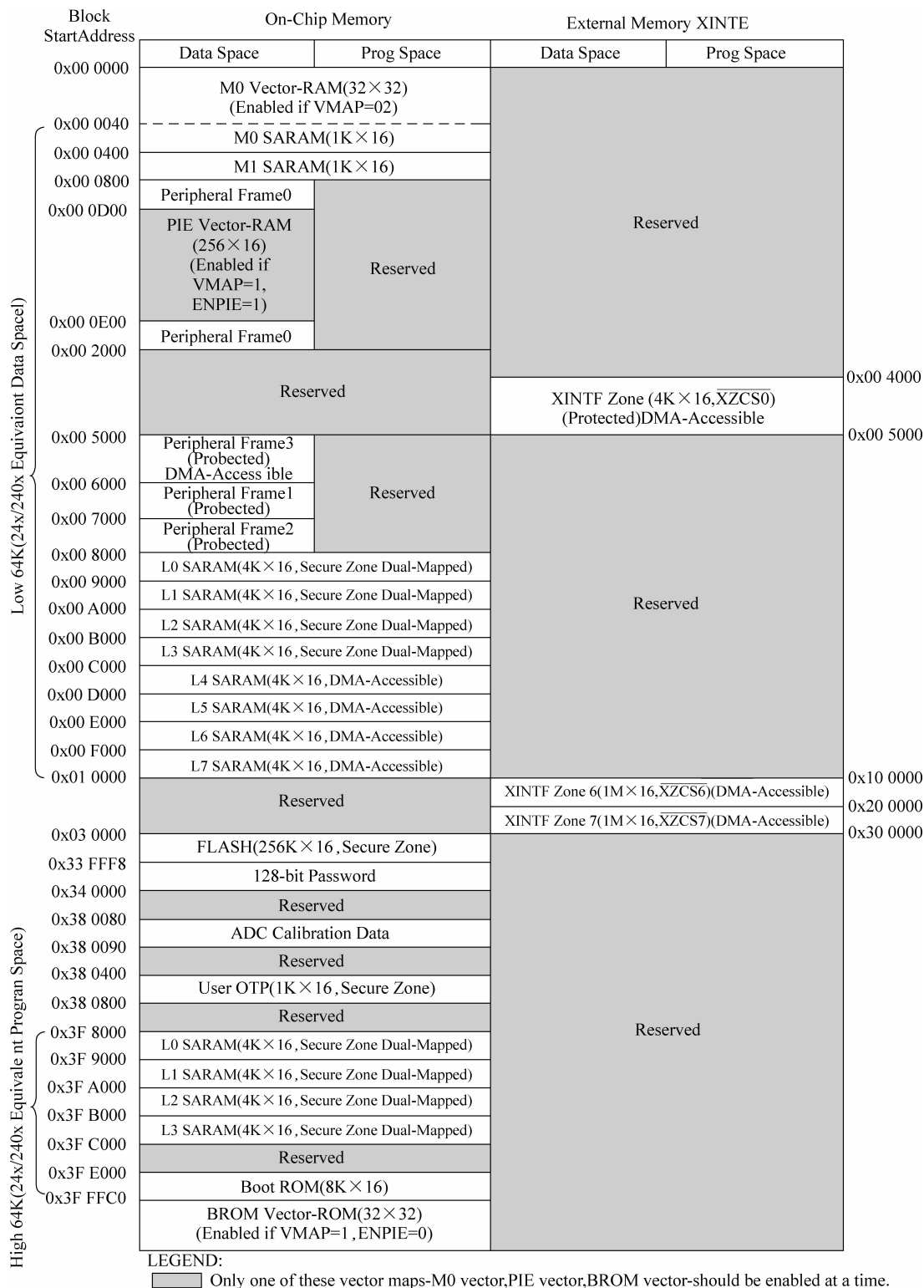


图 3-1 F28335 的存储器映射

存储器映射就会发现,曾经在 F2812 中许多标记为 reserved 的地址在 F2833x 中已经变成了可用的地址。既然是保留空间,那就不能对它们进行操作,否则会引起不可预料的后果。

3.1.2 代码安全模块

代码的安全性是非常重要的,如果自己辛辛苦苦编写调试出来的程序,被别人很轻松地 从存储器里读出来,那损失是不可估量的,所以 TI 的绝大多数 DSP 芯片中都提供了代码安全模块(Code Security Module,CSM)。在 C2000 DSP 和 204x 系统里,带加密功能的芯片型号后面都有个 A,比如 TMS320LF2407A、LF2406A 等;而 F2833x DSP 都含有 CSM 加密模块,所以型号里的 A 就省略。密码长度是用户定义的,有 128 位,那么 128 位就有 $2^{128} = 3.4 \times 10^{38}$ 种可能的密码组合。假如采用枚举法,再加上来回的读/写时钟所耗费的时间,这是不可能完成的破解了。比如,在 150MHz 的时钟频率下,每 8 个时钟周期试验一组密码,则最多需要 5.8×10^{23} 年才能把密码试出来,就算有更快的工具,其成本也肯定超过代码价值了。

CSM 既然可以锁住别人偷试代码,也可以在自己使用不当的情况下锁住自己的代码。所以在烧写 Flash 时,一定要注意 CSM 位具体烧写了什么内容,还是默认空密码等;一旦烧错了,自己不知密码,片子就不能再改了。烧写 Flash 的工具软件有好几种,在购买 DSP 仿真器时厂家光盘上一般都会提供,对密码位的烧写都有专门的提醒。

3.2 通用输入输出端口

GPIO 作为与其他设备进行数据交换的通道具有重要作用,在 F2833x DSP 有限的引脚中,大多数引脚具有第二或第三功能,可以通过配置相应的寄存器(GPIOMUX)在各个功能之间进行切换。

3.2.1 GPIO 概述

F2833x 芯片提供了多达 88 个多功能引脚,每个引脚都可以配置成数字 I/O 工作模式或外设 I/O 工作模式,可以通过功能切换寄存器(GPxMUX1/2)进行切换。当不使用片内外设时,可以将其配置成数字 I/O 工作模式,通过方向控制寄存器(GPxDIR)控制数字 I/O 的输入输出方向,并可以通过输入限定寄存器(GPxQSEL1/2)对输入信号进行限定,从而消除外部噪声信号,F2833x 的 88 个引脚被分为 A、B、C 3 个端口,其中 A 端口包括 GPIO0~GPIO31,B 端口包括 GPIO32~GPIO63,C 端口包括 GPIO64~GPIO87。表 3-1 和表 3-2 所列的寄存器可用来对 GPIO 进行配置,从而满足系统要求。

表 3-1 GPIO 控制寄存器

名称	地址	大小(×16bit)	寄存器说明
GPACTRL	0x6F80	2	GPIOA 控制寄存器(GPIO0~GPIO31)
GPAQSEL1	0x6F82	2	GPIOA 输入限定选择寄存器 1(GPIO0~GPIO15)

续表

名称	地址	大小(×16bit)	寄存器说明
GPAQSEL2	0x6F84	2	GPIOA 输入限定选择寄存器 2(GPIO16~GPIO31)
GPAMUX1	0x6F86	2	GPIOA 功能选择控制寄存器 1(GPIO0~GPIO15)
GPAMUX2	0x6F88	2	GPIOA 功能选择控制寄存器 2(GPIO16~GPIO31)
GPADIR	0x6F8A	2	GPIOA 方向控制寄存器 1(GPIO0~GPIO31)
GPAPUD	0x6F8C	2	GPIOA 上拉控制寄存器 1(GPIO0~GPIO31)
GPBCTRL	0x6F90	2	GPIOB 控制寄存器(GPIO0~GPIO31)
GPBQSEL1	0x6F92	2	GPIOB 输入限定选择寄存器 1(GPIO0~GPIO15)
GPBQSEL2	0x6F94	2	GPIOB 输入限定选择寄存器 2(GPIO16~GPIO31)
GPBMUX1	0x6F96	2	GPIOB 功能选择控制寄存器 1(GPIO0~GPIO15)
GPBMUX2	0x6F98	2	GPIOB 功能选择控制寄存器 2(GPIO16~GPIO31)
GPBDIR	0x6F9A	2	GPIOB 方向控制寄存器 1(GPIO0~GPIO31)
GPBPUD	0x6F9C	2	GPIOB 上拉控制寄存器 1(GPIO0~GPIO31)
GPCMUX1	0x6FA6	2	GPIOC 功能选择控制寄存器 1(GPIO0~GPIO15)
GPCMUX2	0x6FA8	2	GPIOC 功能选择控制寄存器 2(GPIO16~GPIO31)
GPCDIR	0x6FAA	2	GPIOC 方向控制寄存器 1(GPIO0~GPIO31)
GPCPUD	0x6FAC	2	GPIOC 上拉控制寄存器 1(GPIO0~GPIO31)

表 3-2 GPIO 中断及低功耗模式唤醒选择寄存器

名称	地址	大小(×16bit)	寄存器说明
GPIOXINT1SEL	0x6FE0	1	外部中断源 XINT1 输入端口选择寄存器(GPIO0~GPIO31)
GPIOXINT2SEL	0x6FE1	1	外部中断源 XINT2 输入端口选择寄存器(GPIO0~GPIO31)
GPIOXINMISEL	0x6FE2	1	外部中断源 XINMI 输入端口选择寄存器(GPIO0~GPIO31)
GPIOXINT3SEL	0x6FE3	1	外部中断源 XINT3 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT4SEL	0x6FE4	1	外部中断源 XINT4 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT5SEL	0x6FE5	1	外部中断源 XINT5 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT6SEL	0x6FE6	1	外部中断源 XINT6 输入端口选择寄存器(GPIO32~GPIO63)
GPIOXINT7SEL	0x6FE7	1	外部中断源 XINT7 输入端口选择寄存器(GPIO32~GPIO63)
GPIOLPMSEL	0x6FE8	1	LPM 唤醒输入端口选择寄存器(GPIO32~GPIO63)

3.2.2 GPIO 工作模式

由于 F2833x 采用了引脚复用技术,功能选择寄存器(GPIO_xMUX1/2)可以在这些引脚上实现各个引脚的功能切换。

3.2.3 数字 I/O 工作模式下的控制

图 3-2 给出了 GPIO 的复用原理框图。

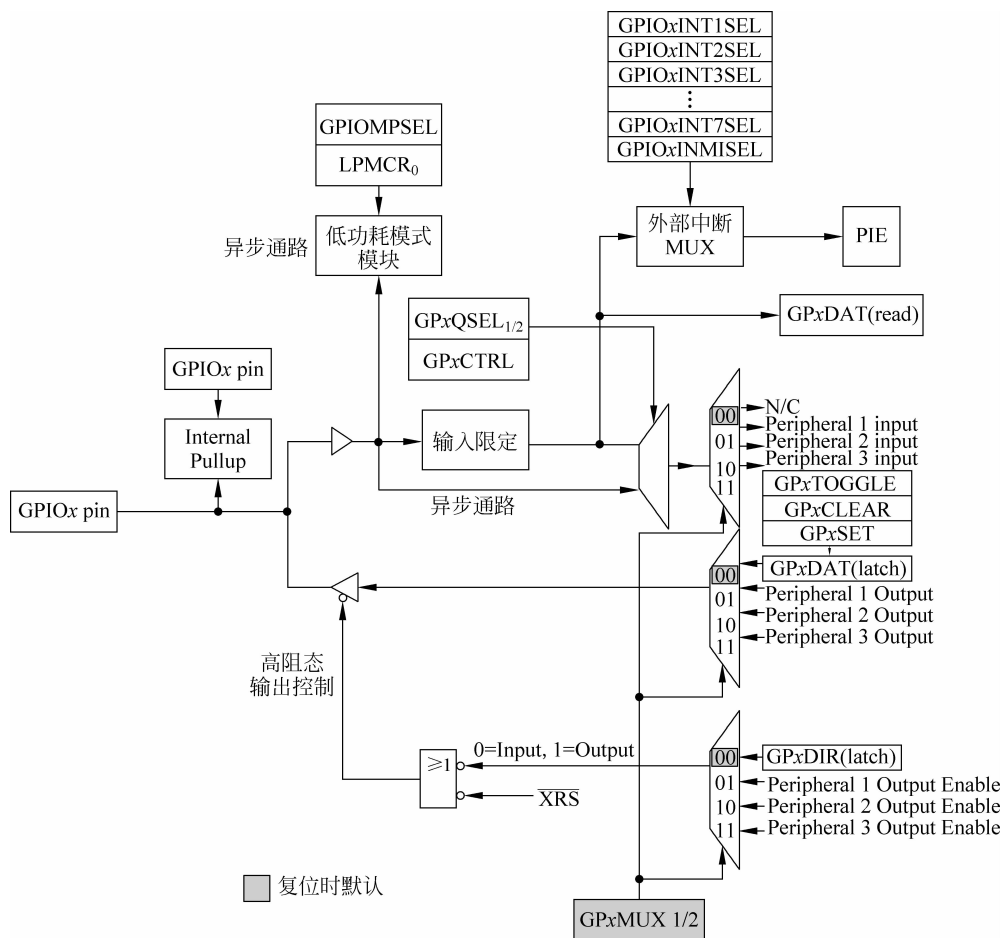


图 3-2 GPIO 复用原理框图

说明：(1) x 表示端口 A、B 或 C，如 GP_xDIR 代表 $GPADIR$ 、 $GPBDIR$ 及 $GPCDIR$ 。
 (2) GP_xDAT 的锁存和读取、访问相同的存储单元。

在实际使用 GPIO 时，如果 GPIO 工作在外设 I/O 模式下，只需通过寄存器 $GP_xMUX1/2$ 将其配置成相应的外设 I/O 模式即可，此时由芯片内外设决定 I/O 的输入输出数据。而当 GPIO 工作在数字 I/O 模式下时，可以通过表 3-3 所列的数据寄存器对引脚上的值进行改变。

表 3-3 GPIO 数据寄存器

名称	地址	大小(×16bit)	寄存器说明
GPADAT	0x6FC0	2	GPIOA 数据寄存器(GPIO0~GPIO31)
GPASET	0x6FC2	2	GPIOA 置位寄存器(GPIO0~GPIO31)

续表

名称	地址	大小(×16bit)	寄存器说明
GPACLEAR	0x6FC4	2	GPIOA 清零寄存器(GPIO0~GPIO31)
GPATOGGLE	0x6FC6	2	GPIOA 状态翻转寄存器(GPIO0~GPIO31)
GPBDAT	0x6FC8	2	GPIOB 数据寄存器(GPIO0~GPIO31)
GPBSET	0x6FCA	2	GPIOB 置位寄存器(GPIO32~GPIO63)
GPBCLEAR	0x6FCC	2	GPIOB 清零寄存器(GPIO32~GPIO63)
GPBTOGGLE	0x6FCE	2	GPIOB 状态翻转寄存器(GPIO32~GPIO63)
GPCDAT	0x6FD0	2	GPIOC 数据寄存器(GPIO64~GPIO87)
GPCSET	0x6FD2	2	GPIOC 置位寄存器(GPIO64~GPIO87)
GPCCLEAR	0x6FD4	2	GPIOC 清零寄存器(GPIO64~GPIO87)
GPCTOGGLE	0x6FD6	2	GPIOC 状态翻转寄存器(GPIO64~GPIO87)

1. GPxDAT 寄存器

端口 A、B 和 C 分别对应一个数据寄存器,寄存器中的每一位都对应一个 I/O 口。不论相应的 GPIO 被配置成数字 I/O 模式还是外设 I/O 模式,数据寄存器中的每一位都能反映当前的引脚状态。向 GPxDAT 寄存器中写数据,可以对相应的输出锁存器清零或置位,此时如果引脚被配置成数字 I/O 模式,相应的引脚将被驱动为低电平或高电平。需要注意的是,当使用 GPxDAT 改变一个输出引脚的状态时,可能会对同一端口的其他引脚产生不确定的影响。

2. GPxSET 寄存器

置位寄存器用于在不影响其他引脚状态的情况下将相应的引脚驱动到高电平。每一个端口都对应一个置位寄存器,且寄存器中的每一位都对应一个 I/O 口。读 GPxSET 寄存器的值,将返回 0。如果相应的引脚配置成输出状态,那么对置位寄存器中相应的位写 1 会将引脚驱动为高电平,写 0 则不影响引脚当前状态。

3. GPxCLEAR 寄存器

清零寄存器用于在不影响其他引脚状态的情况下将相应的引脚驱动到低电平。每一个端口都对应一个清零寄存器,且寄存器中的每一位都对应一个 I/O 口。读 GPxCLEAR 寄存器的值,将返回 0。如果相应的引脚配置成输出状态,那么向清零寄存器中相应的位写 1 会将引脚驱动为低电平,写 0 则不影响引脚当前状态。

4. GPxTOGGLE 寄存器

状态翻转寄存器用于在不影响其他引脚状态的情况下将相应的引脚状态进行翻转,每一个端口都对应一个状态翻转寄存器,且寄存器中的每一位都对应一个 I/O 口。读 GPxTOGGLE 寄存器的值,将返回 0。如果相应的引脚配置成输出状态,那么向状态翻转寄存器中相应的位写 1 会将引脚当前状态翻转。

3.2.4 输入限定功能

通过输入限定功能可方便地消除引脚输入的噪声信号,只有端口 A 和端口 B 具有输入限定功能,可通过配置相应的寄存器 GPAQSEL1/2 和 GPBQSEL1/2 选择输入限定的类型,在数字 I/O 工作模式下的引脚其输入限定类型可以与系统时钟 SYSCLKOUT 同步或采样窗限定。对于工作在外设 I/O 模式下的引脚,其限定型还可以设置为异步状态。

1. 异步输入

由于工作在外设 I/O 模式下的引脚不需要输入同步信号或其自身具有信号同步功能,此时其限定类型可选择异步输入,如通信接口 SCI、SPI、eCAN 和 I²C。当引脚工作在数字 I/O 模式下时,异步输入功能无效。

2. 仅与 SYSCLKOUT 同步

所有引脚在复位时都默认采用此种限定方式。在此模式下,输入信号被限定到与系统时钟 SYSCLKOUT 同步,由于引脚的输入信号是异步的,在与系统时钟 SYSCLKOUT 同步过程中,会产生一个 SYSCLKOUT 周期的延时。

3. 通过采样窗限定种模式下

该种模式下,外部引脚的输入信号首先与系统时钟 SYSCLKOUT 同步,然后经过对输入进行限定的采样窗,得到最终的信号。只有输入信号在一个采样窗内保持不变,采样窗后的信号才允许改变,从而滤除了噪声信号,具体结构如图 3-3 所示。在该类型的限定模式下有两种参数需要进行配置,即采样周期和采样窗长度。

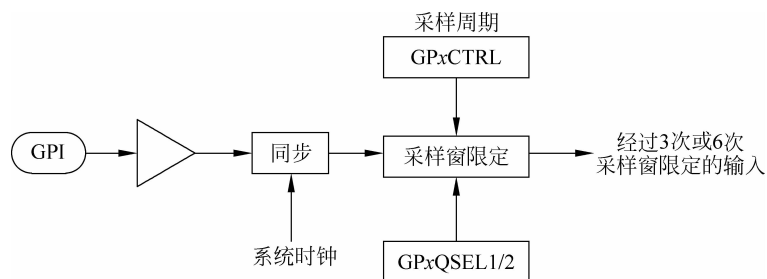


图 3-3 基于采样窗的输入限定

(1) 采样周期。

为了对输入信号进行限定,要间隔一定的周期对输入信号进行采样。采样周期由用户设定,并以 CPU 系统时钟 SYSCLKOUT 为基本单位。采样周期由寄存器 GPxCTRL 的 QUALPRD_n 位决定,并且在配置过程中以 8 个输入引脚作为一组。例如,GPIO0~GPIO7 由 GPACTRL[QUALPRD0]位设置,GPIO8~GPIO15 由 GPACTRL[QUALPRD1]位设置。表 3-4 及表 3-5 给出了采样周期及采样频率与 GPxCTRL[QUALPRD_n]位之间的关系。

表 3-4 采样周期与 GPxCTRL[QUALPRDn]的关系

寄存器的配置	采样周期
GPxCTRL[QUALPRDn]=0	$1 \times T_{\text{SYSCLKOUT}}$
GPxCTRL[QUALPRDn]≠0	$(2 \times \text{GPxCTRL[QUALPRDn]}) \times 1 \times T_{\text{SYSCLKOUT}}$

注：T_{SYSCLKOUT} 为系统时钟 SYSCLKOUT 的周期。

表 3-5 采样频率与 GPxCTRL[QUALPRDn]的关系

寄存器的配置	采样频率
GPxCTRL[QUALPRDn]=0	$f_{\text{SYSCLKOUT}}$
GPxCTRL[QUALPRDn]≠0	$f_{\text{sysclkout}} \div (2 \times \text{GPxCTRL[QUALPRDn]})$

(2) 采样窗长度。

一个采样窗内可包含 3 次或 6 次采样,可以通过寄存器 GPAQSEL1/2 或 GPBQSEL1/2 进行设置。当输入信号在 3 次或 6 次采样内保持不变时,信号可以通过采样窗输送到 DSP 内部。采样窗所包含的采样周期的个数始终比采样次数少 1。例如,当采样窗设定为 3 次采样时,采样窗的宽度为 2 个采样周期;当采样窗设定为 6 次采样时,采样窗的宽度为 5 个采样周期。图 3-4 给出了相应的工作时钟。

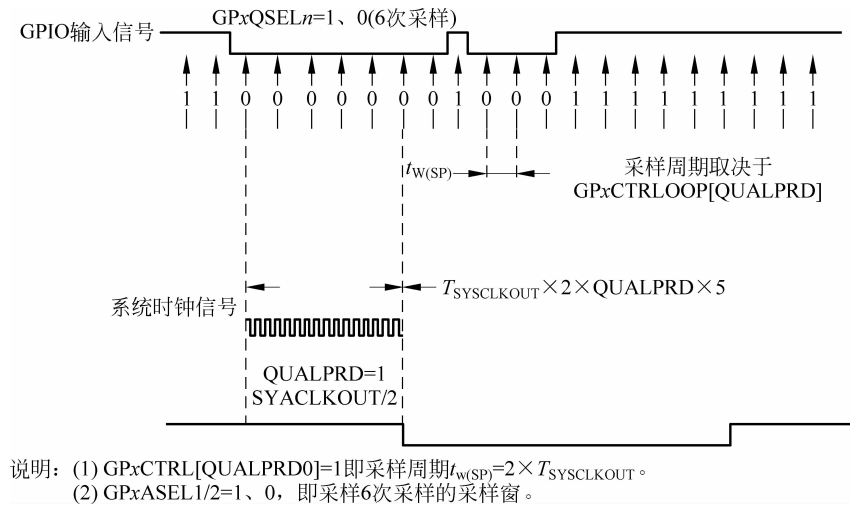


图 3-4 输入限定模式下的工作时钟

3.2.5 相关子寄存器

本节将对 GPIO 的所有相关子寄存器进行详细说明,并给出各位的定义及功能描述。

1. 功能选择寄存器

F2833x 的功能选择寄存器有 6 个,即 GPAMUX1、GPAMUX2、GPBMUX1、GPBMUX2、GPCMUX1 及 GPCMUX2,如表 3-6 至表 3-8 所列。

表 3-6 GPIOAMUX

寄存器位	复位时默认功能	外设选择 1	外设选择 2	外设选择 3
GPAMUX1	00	01	10	11
1~0	GPIO0(I/O)	EPWM1A(O)	保留	保留
3~2	GPIO1(I/O)	EPWM1B(O)	ECAP6(I/O)	MFSKRB(I/O)
5~4	GPIO2(I/O)	EPWM2A(O)	保留	保留
7~6	GPIO3(I/O)	EPWM2B(O)	ECAP5(I/O)	MCLKRB(I/O)
9~8	GPIO4(I/O)	EPWM3A(O)	保留	保留
11~10	GPIO5(I/O)	EPWM3B(O)	MSFRA(I/O)	ECAP1(I/O)
13~12	GPIO6(I/O)	EPWM4A(O)	EPWMSYNCI(I)	EPWMSYNCO(O)
15~14	GPIO7(I/O)	EPWM4B(O)	MCLRA(I/O)	ECAP2(I/O)
17~16	GPIO8(I/O)	EPWM5A(O)	CANTXB(O)	ADCSOCAO(O)
19~8	GPIO9(I/O)	EPWM5B(O)	SCITXDB(O)	ECAP3(I/O)
21~20	GPIO10(I/O)	EPWM6A(O)	CANRXB(I)	ADCSOCBO(O)
23~22	GPIO11(I/O)	EPWM6B(O)	SCIRXDB(I)	ECAP4(I/O)
25~24	GPIO12(I/O)	TZ1(I)	CANTXB(O)	MDXB(O)
27~26	GPIO13(I/O)	TZ2(I)	CANRXB(I)	MDXB(I)
29~28	GPIO14(I/O)	TZ3/XHOLD(I)	SCITXDB(O)	MCLKXB(I/O)
31~30	GPIO15(I/O)	TZ4/XHOLD(O)	SCIRXDB(I)	MFSXB(I/O)
GPAMUX2	00	01	10	11
1~0	GPIO16(I/O)	SPISIMOA(I/O)	CANTXB(O)	TZ5(I)
3~2	GPIO17(I/O)	SPISIMIA(I/O)	CANRXB(I)	TZ6(I)
5~4	GPIO18(I/O)	SPICLKA(I/O)	SCITXDB(O)	CANRXA(I)
7~6	GPIO19(I/O)	SPISTEA(I/O)	SCIRXDB(I)	CANTXA(O)
9~8	GPIO20(I/O)	EQEP1A(I)	MDXA(O)	CANRXB(O)
11~10	GPIO21(I/O)	EQEP1B(I)	MDXA(I)	CANTXB(I)
13~12	GPIO22(I/O)	EQEP1S(I/O)	MCLKXA(I/O)	SCIRXDB(O)
15~14	GPIO23(I/O)	EQEP1I(I/O)	MFSXA(I/O)	SCIRXDB(I)
17~16	GPIO24(I/O)	ECAP1(I/O)	EQEP2A(I)	MDRB(O)
19~18	GPIO25(I/O)	ECAP2(I/O)	EQEP2B(I)	MDRB(I)
21~20	GPIO26(I/O)	ECAP3(I/O)	EQEP2S(I/O)	MCLKXB(I/O)
23~22	GPIO27(I/O)	ECAP4(I/O)	EQEP2I(I/O)	MFSXB(I/O)
25~24	GPIO28(I/O)	SCIRXDA(I)		
27~26	GPIO29(I/O)	SCIRXDA(O)	XA19(O)	XA19(O)
29~28	GPIO30(I/O)	CANRXA(I)	XA18(O)	XA18(O)
31~30	GPIO31(I/O)	CANTXA(O)	SXA17(O)	SXA17(O)

表 3-7 GPIOBMUX

寄存器位	复位时默认值	外设选择 1	外设选择 2
GPBMUX1	00	01	10
1~0	GPIO32(I/O)	SDAA(I/OC)	EPWMSYNCI(I)
3~2	GPIO33(I/O)	SCLA(I/OC)	EPWMSYNCO(O)
5~4	GPIO34(I/O)	ECAP1(I/O)	XREADY(I)
7~6	GPIO35(I/O)	SCITXDA(O)	XR/W(O)

续表

寄存器位	复位时默认值	外设选择 1	外设选择 2
9~8	GPIO36(I/O)	SCITXDA(I)	$\overline{\text{XZCS0}}(\text{O})$
11~10	GPIO37(I/O)	ECAP2(I/O)	$\overline{\text{XZCS7}}(\text{O})$
13~12	GPIO38(I/O)	保留	$\overline{\text{XWE0}}(\text{O})$
15~14	GPIO39(I/O)	保留	XA16(O)
17~16	GPIO40(I/O)	保留	XA0/ $\overline{\text{XWE1}}(\text{O})$
19~18	GPIO41(I/O)	保留	XA1(O)
21~20	GPIO42(I/O)	保留	XA2(O)
23~22	GPIO43(I/O)	保留	XA3(O)
25~24	GPIO44(I/O)	保留	XA4(O)
27~26	GPIO45(I/O)	保留	XA5(O)
29~28	GPIO46(I/O)	保留	XA6(O)
31~30	GPIO47(I/O)	保留	XA7(O)
GPBMUX2	00	01	10
1~0	GPIO48(I/O)	ECAP5(I/O)	XD31(I/O)
3~2	GPIO49(I/O)	ECAP6(I/O)	XD30(I/O)
5~4	GPIO50(I/O)	EQEP1A(I)	XD29(I/O)
7~6	GPIO51(I/O)	EQEP1B(I)	XD28(I/O)
9~8	GPIO52(I/O)	EQEP1S(I/O)	XD27(I/O)
11~10	GPIO53(I/O)	EQEPQI(I/O)	XD26(I/O)
13~12	GPIO54(I/O)	SPISIMOA(I/O)	XD25(I/O)
15~14	GPIO55(I/O)	SPISOMOA(I/O)	XD24(I/O)
17~16	GPIO56(I/O)	SPICLKA(I/O)	XD23(I/O)
19~18	GPIO57(I/O)	$\overline{\text{SPISTEA}}(\text{I/O})$	XD22(I/O)
21~20	GPIO58(I/O)	MCLKRA(I/O)	XD21(I/O)

表 3-8 GPIOCMUX

寄存器位	复位时默认值	外设选择 1	外设选择 2	外设选择 3
GPCMUX1	00	01	10	11
1~0	GPIO64(I/O)	GPIO64(I/O)	XD15(I/O)	XD15(I/O)
3~2	GPIO65(I/O)	GPIO65(I/O)	XD14(I/O)	XD14(I/O)
5~4	GPIO66(I/O)	GPIO66(I/O)	XD13(I/O)	XD13(I/O)
7~6	GPIO67(I/O)	GPIO67(I/O)	XD12(I/O)	XD12(I/O)
9~8	GPIO68(I/O)	GPIO68(I/O)	XD11(I/O)	XD11(I/O)
11~10	GPIO69(I/O)	GPIO69(I/O)	XD10(I/O)	XD10(I/O)
13~12	GPIO70(I/O)	GPIO70(I/O)	XD9(I/O)	XD9(I/O)
15~14	GPIO71(I/O)	GPIO71(I/O)	XD8(I/O)	XD8(I/O)
17~16	GPIO72(I/O)	GPIO72(I/O)	XD7(I/O)	XD7(I/O)
19~18	GPIO73(I/O)	GPIO73(I/O)	XD6(I/O)	XD6(I/O)
21~20	GPIO74(I/O)	GPIO74(I/O)	XD5(I/O)	XD5(I/O)
23~22	GPIO75(I/O)	GPIO75(I/O)	XD4(I/O)	XD4(I/O)
25~24	GPIO76(I/O)	GPIO76(I/O)	XD3(I/O)	XD3(I/O)
27~26	GPIO77(I/O)	GPIO77(I/O)	XD2(I/O)	XD2(I/O)

续表

寄存器位	复位时默认值	外设选择 1	外设选择 2	外设选择 3
29~28	GPIO78(I/O)	GPIO78(I/O)	XD1(I/O)	XD1(I/O)
31~30	GPIO79(I/O)	GPIO79(I/O)	XD0(I/O)	XD0(I/O)
GPCMUX2	00	01	10	11
1~0	GPIO80(I/O)	GPIO80(I/O)	XA8(O)	XA8(O)
3~2	GPIO81(I/O)	GPIO81(I/O)	XA9(O)	XA9(O)
5~4	GPIO82(I/O)	GPIO82(I/O)	XA10(O)	XA10(O)
7~6	GPIO83(I/O)	GPIO83(I/O)	XA11(O)	XA11(O)
9~8	GPIO84(I/O)	GPIO84(I/O)	XA12(O)	XA12(O)
11~10	GPIO85(I/O)	GPIO85(I/O)	XA13(O)	XA13(O)
13~12	GPIO86(I/O)	GPIO86(I/O)	XA14(O)	XA14(O)
15~14	GPIO87(I/O)	GPIO87(I/O)	XA15(O)	XA15(O)
16~31	保留	保留	保留	保留

2. 其他相关寄存器

在描述寄存器的读/写功能及复位的初始状态时,约定以下符号:

R/W-Read/Write,表明相应的寄存器既可读也可写。

R-: -Readonly,表明相应的寄存器只能读。

N-取值 0、1 或 x ,分别表明复位后的默认值为 0、1 或不确定值。

例如,一个寄存器的某位标明 R/W-0,表明此位既可读也可写,复位后默认值为 0。

端口 A 控制寄存器 GPACTRL 的各位信息如表 3-9 所列,每位的功能描述如表 3-10 所列。

表 3-9 GPACTRL 寄存器的各位信息

位	31~24	23~16	15~8	7~0
字段	QUALPRD3	QUALPRD2	QUALPRD1	QUALPRD0
描述	R/W-0	R/W-0	R/W-0	R/W-0

表 3-10 GPACTRL 功能描述

位	字段	取值及功能描述
31~24	QUALPRD3	GPIO24~GPIO31 指定采样周期。 0x00: 采样周期 = $T_{\text{SYSCLKOUT}}$ 。0x01: 采样周期 = $2 \times T_{\text{SYSCLKOUT}}$ 。 0x02: 采样周期 = $4 \times T_{\text{SYSCLKOUT}}$ 。... 0xFF: 采样周期 = $510 \times T_{\text{SYSCLKOUT}}$
23~16	QUALPRD2	为 GPIO16~GPIO23 指定采样周期。配置同 QUALPRD3
15~8	QUALPRD1	为 GPIO8~GPIO15 指定采样周期。配置同 QUALPRD3
7~0	QUALPRD0	为 GPIO0~GPIO7 指定采样周期。配置同 QUALPRD3

端口 B 控制寄存器 GPBCTRL 的各位信息如表 3-11 所列,其功能描述如表 3-12 所列。

表 3-11 GPBCTRL 寄存器的各位信息

位	31~24	23~16	15~8	7~0
字段	QUALPRD3	QUALPRD2	QUALPRD1	QUALPRD0
描述	R/W-0	R/W-0	R/W-0	R/W-0

表 3-12 GPBCTRL 功能描述

位	字段	取值及功能描述
31~24	QUALPRD3	为 GPIO56~GPIO63 指定采样周期。配置同表 3-11
23~16	QUALPRD2	为 GPIO48~GPIO55 指定采样周期。配置同表 3-11
15~8	QUALPRD1	为 GPIO40~GPIO47 指定采样周期。配置同表 3-11
7~0	QUALPRD0	为 GPIO32~GPIO39 指定采样周期。配置同表 3-11

端口 A 的选择限定寄存器 GPAQSEL1 的各位信息如表 3-13 所列,其功能描述如表 3-14 所列。

表 3-13 GPAQSEL1 寄存器各位信息

位	31	30	29	28	...	3	2	1	0
字段	GPIO15		GPIO14		...	GPIO1		GPIO0	
描述	R/W-0		R/W-0		...	R/W-0		R/W-0	

表 3-14 GPAQSEL1 功能描述

位	字段	取值及功能描述
31~0	GPIO15~GPIO0	为 GPIO15~GPIO0 选择输入限定模式 00: 仅与 SYSCLKOUT 同步,对外设模式和数字 I/O 模式都有效 01: 采用 3 次采样的采样窗 10: 采用 6 次采样的采样窗 11: 异步模式,仅用于外设 I/O 模式

端口 A 的选择限定寄存器 GPAQSEL2 的各位信息如表 3-15 所列,其功能描述如表 3-16 所列。

表 3-15 GPAQSEL2 寄存器各位信息

位	31	30	29	28	...	3	2	1	0
字段	GPIO31		GPIO30		...	GPIO17		GPIO16	
描述	R/W-0		R/W-0		...	R/W-0		R/W-0	

表 3-16 GPAQSEL2 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO16	为 GPIO31~GPIO16 选择输入限定模式。配置同表 3-15

端口 B 的选择限定寄存器 GPBQSEL1 的各位信息如表 3-17 所列,其功能描述如表 3-18 所列。

表 3-17 GPBQSEL1 寄存器各位信息

位	31	30	29	28	...	3	2	1	0
字段	GPIO47		GPIO46		...	GPIO33		GPIO32	
描述	R/W-0		R/W-0		...	R/W-0		R/W-0	

表 3-18 GPBQSEL1 功能描述

位	字段	取值及功能描述
31~0	GPIO47~GPIO32	为 GPIO47~GPIO32 选择输入限定模式。配置同表 3-17

端口 B 的选择限定寄存器 GPBQSEL2 的各位信息如表 3-19 所列,其功能描述如表 3-20 所列。

表 3-19 GPBQSEL2 寄存器各位信息

位	31	30	29	28	...	3	2	1	0
字段	GPIO63		GPIO62		...	GPIO49		GPIO48	
描述	R/W-0		R/W-0		...	R/W-0		R/W-0	

表 3-20 GPBQSEL2 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO48	为 GPIO63~GPIO48 选择输入限定模式。配置同表 3-19

当引脚工作在数字 I/O 模式时,可以通过 GP x DIR 设定 GPIO 的输入输出;当引脚工作在外设 I/O 模式下,配置 GP x DIR 寄存器相应的位不起作用。

端口 A 的方向控制寄存器 GPADIR 各位信息如表 3-21 所列,其功能描述如表 3-22 所列。

表 3-21 GPADIR 寄存器各位信息

位	31	30	...	1	0
字段	GPIO31	GPIO30	...	GPIO1	GPIO0
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-22 GPADIR 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	当端口 A 工作在数字 I/O 模式时,设定 GPIO31~GPIO0 的输入、输出方向。 0: 配置成输入状态,默认;1: 配置成输出状态

端口 B 的方向控制寄存器 GPBDIR 各位信息如表 3-23 所列,其功能描述如表 3-24 所列。

表 3-23 GPBDIR 寄存器各位信息

位	31	30	...	1	0
字段	GPIO63	GPIO62	...	GPIO33	GPIO32
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-24 GPBDIR 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	当端口 B 工作在数字 I/O 模式时,设定 GPIO63~GPIO32 的输入、输出方向。 0: 配置成输入状态,默认; 1: 配置成输出状态

端口 C 的方向控制寄存器 GPCDIR 各位信息如表 3-25 所列,其功能描述如表 3-26 所列。

表 3-25 GPCDIR 寄存器各位信息

位	31~24	23	...	1	0
字段	保留	GPIO87	...	GPIO65	GPIO64
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-26 GPCDIR 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	当端口 C 工作在数字 I/O 模式时,设定 GPIO87~GPIO64 的输入、输出方向。 0: 配置成输入状态,默认; 1: 配置成输出状态

端口 A 上拉控制寄存器 GPAPUD 各位信息如表 3-27 所列,其功能描述如表 3-28 所列。

表 3-27 GPAPUD 寄存器各位信息

位	31	30	...	13	12
字段	GPIO31	GPIO30	...	GPIO13	GPIO12
描述	R/W-0	R/W-0	...	R/W-0	R/W-0
位	11	10	...	1	0
字段	GPIO11	GPIO10	...	GPIO1	GPIO0
描述	R/W-1	R/W-1	...	R/W-1	R/W-1

表 3-28 GPAPUD 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	为 A 端口配置内部上拉电阻,每个 I/O 引脚都与寄存器中的一位相对应。 0: 使能内部上拉功能(GPIO12~GPIO31 的默认状态)。 1: 禁止内部上拉功能(GPIO0~GPIO11 的默认状态)

端口 B 上拉控制寄存器 GPBPUD 各位信息如表 3-29 所列,其功能描述如表 3-30 所列。

表 3-29 GPBPUD 寄存器各位信息

位	31	30	...	1	0
字段	GPIO63	GPIO62	...	GPIO33	GPIO32
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-30 GPBPUD 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	端口 B 配置为内部上拉电阻,每个 I/O 引脚都与寄存器的一位相对应。 0: 使能内部上拉功能(默认); 1: 禁止内部上拉功能

端口 C 上拉控制寄存器 GPCPUD 各位信息如表 3-31 所列,其功能描述如表 3-32 所列。

表 3-31 GPCPUD 寄存器各位信息

位	31	30	...	1	0
字段	保留	GPIO87	...	GPIO65	GPIO64
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-32 GPCPUD 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	为端口 C 配置内部上拉电阻,每个 I/O 引脚都与寄存器的一位相对应。 0: 使能内部上拉功能(默认); 1: 禁止内部上拉功能

端口 A 的数据寄存器 GPADAT 各位信息如表 3-33 所列,其功能描述表 3-34 所列。

表 3-33 GPADAT 寄存器各位信息

位	31	30	...	1	0
字段	GPIO31	GPIO30	...	GPIO1	GPIO0
描述	R/W- <i>x</i>	R/W- <i>x</i>	...	R/W- <i>x</i>	R/W- <i>x</i>

注: *x* 表明 GPADAT 在复位后的值不可预知,其决定于引脚的当前电平。

表 3-34 GPADAT 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 寄存器中的位一一对应。 0: 读 0,无论引脚工作在何种模式,引脚的当前状态均为低电平;写 0,如果引脚配置成数字 I/O 模式,则直接驱动相应的引脚为低电平;如果引脚工作在外设模式,则值被锁存,但并不驱动相应的引脚。 1: 读 1,无论引脚工作在何种模式,引脚的当前状态为高电平;写 1,如果引脚配置成数字 I/O 模式,则直接驱动相应的引脚为高电平;如果引脚工作在外设模式,则值被锁存,但并不驱动相应的引脚

端口 B 的数据寄存器 GPBDAT 各位信息如表 3-35 所列,其功能描述如表 3-36 所列。

表 3-35 GPBDAT 寄存器各位信息

位	31	30	...	1	0
字段	GPIO63	GPIO62	...	GPIO33	GPIO32
描述	R/W- <i>x</i>	R/W- <i>x</i>	...	R/W- <i>x</i>	R/W- <i>x</i>

表 3-36 GPBDAT 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 寄存器中的位一一对应。 描述与表 3-34 相同

端口 C 的数据寄存器 GPCDAT 各位信息如表 3-37 所列,其功能描述如表 3-38 所列。

表 3-37 GPCDAT 寄存器各位信息

位	31~24	23	...	1	0
字段	保留	GPIO87	...	GPIO65	GPIO64
描述	R/W- <i>x</i>	R/W- <i>x</i>	...	R/W- <i>x</i>	R/W- <i>x</i>

表 3-38 GPCDAT 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 寄存器中的位一一对应。 描述与表 3-34 相同

端口 A 控制置位、清零及状态翻转寄存器(GPASET、GPACLEAR 和 GPATOGGLE)具有相同的位信息,如表 3-39 所列,其功能描述分别如表 3-40 至表 3-42 所列。

表 3-39 GPASET、GPACLEAR 和 GPATOGGLE 寄存器各位信息

位	31	30	...	1	0
字段	GPIO31	GPIO30	...	GPIO1	GPIO0
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-40 GPASET 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 寄存器中的位一一对应。 0: 写 0,没有影响,读操作始终返回 0。 1: 写 1,将输出寄存器置位。如果引脚配置成数字 I/O 模式,则直接驱动引脚为高电平;如果引脚为外设 I/O 模式,则不驱动相应的引脚

表 3-41 GPACLEAR 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 寄存器中的位一一对应。 0：写 0,没有影响,读操作始终返回 0。 1：写 1,将输出寄存器清零。如果引脚配置成数字 I/O 模式,则直接驱动引脚为低电平；如果引脚为外设 I/O 模式,则不驱动相应的引脚

表 3-42 GPATOGGLE 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	GPIO31~GPIO0 寄存器中的位一一对应。 0：写 0,没有影响,读操作始终返回 0。 1：写 1,将输出寄存器的值取反。如果引脚配置成数字 I/O 模式,则直接驱动引脚为当前电平状态；如果引脚为外设 I/O 模式,则不驱动相应的引脚

端口 B 控制置位、清零及状态翻转寄存器(GPBSET、GPBCLEAR 及 GPBTOGGLE)具有相同的位信息,如表 3-43 所列,其功能描述分别如表 3-44~表 3-46 所列。

表 3-43 GPBSEL、GPBCLEAR 和 GPBTOGGLE 寄存器各位信息

位	31	30	...	1	0
字段	GPIO63	GPIO62	...	GPIO33	GPIO32
描述	R/W- <i>x</i>	R/W- <i>x</i>	...	R/W- <i>x</i>	R/W- <i>x</i>

表 3-44 GPBSET 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 寄存器中的位一一对应。 0：写 0,没有影响,读操作始终返回 0。 1：写 1,将输出寄存器置位。如果引脚配置成数字 I/O 模式,则直接驱动引脚为高电平；如果引脚为外设 I/O 模式,则不驱动相应的引脚

表 3-45 GPBCLEAR 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 寄存器中的位一一对应。 0：写 0,没有影响,读操作始终返回 0。 1：写 1,将输出寄存器清零。如果引脚配置成数字 I/O 模式,则直接驱动引脚为低电平；如果引脚为外设 I/O 模式,则不驱动相应的引脚

表 3-46 GPBTOGGLE 功能描述

位	字段	取值及功能描述
31~0	GPIO63~GPIO32	GPIO63~GPIO32 寄存器中的位一一对应。 0: 写 0, 没有影响, 读操作始终返回 0。 1: 写 1, 将输出寄存器的值取反。如果引脚配置成数字 I/O 模式, 则直接驱动引脚为当前电平状态; 如果引脚为外设 I/O 模式, 则不驱动相应的引脚

端口 C 控制置位、清零及状态翻转寄存器 (GPCSET、GPCCLEAR、GPCTOGGLE) 具有相同的位信息, 如表 3-47 所列, 其功能描述分别如表 3-48~表 3-50 所列。

表 3-47 GPCSEL、GPCCLEAR 和 GPCTOGGLE 寄存器各位信息

位	31~24	23	...	1	0
字段	保留	GPIO87	...	GPIO65	GPIO64
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-48 GPCSET 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 寄存器中的位一一对应。 0: 写 0, 没有影响, 读操作始终返回 0。 1: 写 1, 将输出寄存器置位。如果引脚配置成数字 I/O 模式, 则直接驱动引脚为高电平; 如果引脚为外设 I/O 模式, 则不驱动相应的引脚

表 3-49 GPCCLEAR 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 寄存器中的位一一对应。 0: 写 0, 没有影响, 读操作始终返回 0。 1: 写 1, 将输出寄存器清零。如果引脚配置成数字 I/O 模式, 则直接驱动引脚为低电平; 如果引脚为外设 I/O 模式, 则不驱动相应的引脚

表 3-50 GPCTOGGLE 功能描述

位	字段	取值及功能描述
23~0	GPIO87~GPIO64	GPIO87~GPIO64 寄存器中的位一一对应。 0: 写 0, 没有影响, 读操作始终返回 0。 1: 写 1, 将输出寄存器的值取反。如果引脚配置成数字 I/O 模式, 则直接驱动引脚为当前电平状态; 如果引脚为外设 I/O 模式, 则不驱动相应的引脚

GPIO 中断 XINT_n 的选择寄存器 GPIOXINT_nSEL ($n=1\sim7$) 具有相同的位信息, 如表 3-51 所列。其中, 中断源 XINT1 与 XINT2 可以设定为从端口 A 的任意一个引脚输入,

即 GPIO0~GPIO31,其功能描述如表 3-52 所列。中断源 XINT3~XINT7 可以设定为从端口 B 的任意一个引脚输入,即 GPIO32~GPIO63,功能描述如表 3-53 所列。

表 3-51 GPIOXINTnSEL 寄存器各位信息

位	15~5	4~0
字段	保留	GPIOXINTnSEL
描述	R	R/W-0

表 3-52 GPIOXINT1/2SEL 功能描述

位	字段	取值及功能描述
4~0	GPIOXINTnSEL	为中断 XINT1/2 从端口 A(GPIO0~GPIO31)中选择相应的输入引脚。 0000: 选择 GPIO0 引脚作为 XINT1/2 的输入引脚。 0001: 选择 GPIO1 引脚作为 XINT1/2 的输入引脚。 ⋮ 1111: 选择 GPIO31 引脚作为 XINT1/2 的输入引脚

表 3-53 GPIOXINT3/4/5/6/7SEL 功能描述

位	字段	取值及功能描述
4~0	GPIOXINTnSEL	为中断 XINT3/4/5/6/7 从端口 B(GPIO63~GPIO32)中选择相应的输入引脚。 0000: 选择 GPIO32 引脚作为 XINT3/4/5/6/7 的输入引脚。 0001: 选择 GPIO33 引脚作为 XINT3/4/5/6/7 的输入引脚。 ⋮ 1111: 选择 GPIO63 引脚作为 XINT3/4/5/6/7 的输入引脚

XNMI 中断源可以设定为从端口 A 的任意一个引脚输入,即 GPIO0~GPIO31,其位信息如表 3-54 所列,其功能描述如表 3-55 至表 3-57 所列。

表 3-54 GPIOXNMISEL 寄存器各位信息

位	15~5	4~0
字段	保留	GPIOSEL
描述	R	R/W-0

表 3-55 GPIOXNMISEL 功能描述

位	字段	取值及功能描述
4~0	GPIOSEL	为中断 XNMI 从端口 A(GPIO0~GPIO31)中选择相应的输入引脚。 0000: 选择 GPIO0 引脚作为 XNMI 的输入引脚。 0001: 选择 GPIO1 引脚作为 XNMI 的输入引脚。 ⋮ 1111: 选择 GPIO31 引脚作为 XNMI 的输入引脚

表 3-56 GPIO_LPMSEL 寄存器各位信息

位	31	30	...	1	0
字段	GPIO31	GPIO30	...	GPIO1	GPIO0
描述	R/W-0	R/W-0	...	R/W-0	R/W-0

表 3-57 GPIO_PMSSEL 功能描述

位	字段	取值及功能描述
31~0	GPIO31~GPIO0	低功耗模式唤醒选择,寄存器每一位与 GPIO31~GPIO0 一一对应。 0: 相应引脚的信号对 HALT 和 STANDBY 两种低功耗模式无影响。 1: 相应引脚的信号可将 CPU 从 HALT 和 STANDBY 两种低功耗模式中唤醒

3.2.6 GPIO 配置步骤

要使用一个 GPIO,可参照以下步骤进行配置:

- (1) 选择 GPIO 的工作模式。首先要搞清每个 GPIO 引脚所具有的功能,并通过配置 GPxMUXn 寄存器来选择其工作在外设 I/O 模式还是数字 I/O 模式。默认情况下,GPIO 一般被配置成数字 I/O 模式,且为输入状态。
- (2) 使能或禁止内部上拉电阻。通过对相应的内部上拉控制寄存器 GPxPUD 进行配置,可使能或禁止内部上拉功能。
- (3) 选择输入输出方向。如果一个 GPIO 被配置成数字 I/O 模式,还需要为其配置输入输出方向,通过写 GPxDIR 寄存器,可完成输入输出方向的配置。
- (4) 选择输入限定模式。当一个数字 I/O 被配置成输入状态,可以为其选择限定模式。默认情况下,所有的输入信号与系统时钟 SYSCLKOUT 同步。
- (5) 选择低功耗模式的唤醒端口。通过配置 GPIO_LPMSEL 寄存器,可以指定一个 GPIO 引脚,用其将 CPU 从 HALT 和 STANDBY 低功耗模式中唤醒。
- (6) 为外部中断源选择输入引脚。为 XINT1~XINT7 及 XNMI 外部中断选择合适的输入引脚。