

本章从时序逻辑电路的基本概念出发,重点讨论时序逻辑电路的分析和设计方法,并介绍了寄存器、计数器等常用时序逻辑电路的功能、原理和应用。

根据电路特点,数字电路一般分为组合逻辑电路和时序逻辑电路两大类。组合逻辑电路在任一时刻的稳定输出仅取决于该时刻电路的输入。而时序逻辑电路在任一时刻的稳定输出不仅与该时刻电路的输入有关,而且还与电路原来的状态有关,即与电路以前的输入信号有关。这是时序逻辑电路区别于组合逻辑电路的最大特点。

5.1 时序逻辑电路的结构模型与分类

5.1.1 时序逻辑电路的结构模型

时序逻辑电路简称时序电路,是一种具有记忆功能的逻辑电路,主要由两部分组成:组合逻辑电路部分和存储电路部分。其记忆能力是通过存储电路中的存储元件实现的。时序逻辑电路的结构模型如图 5-1 所示。

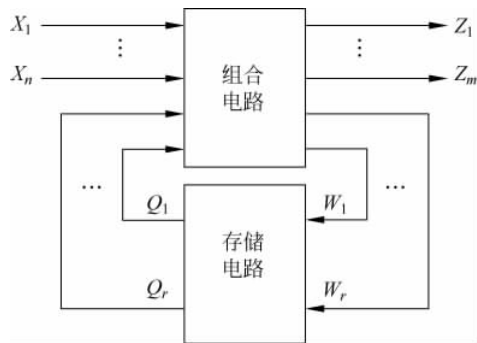


图 5-1 时序逻辑电路的结构模型

该模型具有区别于组合电路模型的两个特点:一是包含存储元件;二是具有反馈线。由图 5-1 可知:

$X_1 \sim X_n$ 为外部输入信号; $Z_1 \sim Z_m$ 为输出信号; $W_1 \sim W_r$ 为存储电路的激励输入信号,用于控制存储器的状态变化; $Q_1 \sim Q_r$ 为存储电路的输出信号,即时序逻辑电路的状态变量,状态变量的取值组合用于表示时序逻辑电路当前所处的状态。这些变量之间的关系可用下面 3 个方程描述。

输出方程:
$$Z_i = f(X_1 \sim X_n; Q_1^n \sim Q_r^n)$$

或

$$Z_i = f(Q_1^n \sim Q_r^n) \quad i = 1, 2, \dots, m \quad (5-1)$$

$$\text{激励方程:} \quad W_i = g(X_1 \sim X_n; Q_1^n \sim Q_r^n) \quad i = 1, 2, \dots, r \quad (5-2)$$

$$\text{状态方程:} \quad Q_i^{n+1} = h(W_i; Q_i^n) \quad i = 1, 2, \dots, r \quad (5-3)$$

由以上关系可知,输出方程和激励方程取决于即刻输入变量和电路的当前状态;而状态方程描述的是电路的下一个状态取决于电路的现状态和激励输入。这一点充分体现了时序逻辑电路区别于组合逻辑电路的显著特点。

时序逻辑电路中可用的存储元件有很多,但最常用的是第4章介绍的触发器。这样,在状态方程中, Q_i^{n+1} 就是第*i*个触发器的次态, W_i 就是该触发器当前的激励信号, Q_i^n 就是该触发器的现态,即一个触发器的次态只由该触发器的现态和激励信号确定。

注意,并不是任何一个时序逻辑电路都具有图5-1所示的完整电路形式。实际应用中,有的时序逻辑电路没有组合电路部分,有的没有输入变量,但只要具备时序逻辑电路的基本特点,就属于该类电路的范畴。

5.1.2 时序逻辑电路的分类

时序逻辑电路有多种不同的分类标准,本章重点介绍两种不同的分类方法。第一种,按电路中所有触发器状态变化是否同步分类;第二种,按输出信号的特性分类。

1. 按电路中所有触发器状态变化是否同步分类

按电路中所有触发器状态变化是否同步将时序逻辑电路分为同步和异步两种。

同步时序逻辑电路中,所有触发器共用同一个时钟脉冲信号 CP ,在 CP 作用下,满足转换条件的触发器状态同步转换,即触发器状态的更新和 CP 同步。这里,时钟脉冲 CP 被看作是同步时序逻辑电路的时间基准,而不是输入变量。

异步时序逻辑电路中,时钟脉冲信号 CP 只能触发部分触发器,其余触发器由电路内部信号触发。因此,具备转换条件的触发器状态变化有先后顺序,并不是与 CP 同步。这里,时钟脉冲信号 CP 不再作为同步信号,而是作为激励信号处理。

2. 按输出信号的特性分类

按输出信号的不同特性将时序逻辑电路分为 Mealy 型和 Moore 型两种。

Mealy 型时序逻辑电路中,输出 Z_i 不仅是当前外部输入 $X_1 \sim X_n$ 的函数,同时也是当前状态 $Q_1^n \sim Q_r^n$ 的函数,即 $Z_i = f(X_1 \sim X_n; Q_1^n \sim Q_r^n)$ 。

Moore 型时序逻辑电路中,输出 Z_i 仅是当前状态 $Q_1^n \sim Q_r^n$ 的函数,即 $Z_i = f(Q_1^n \sim Q_r^n)$ 。或者根本不存在专门的输出 Z_i ,而以电路中触发器的状态直接作为输出。

从电路结构上看,Mealy 型电路和 Moore 型电路本质上并无区别,只是 Mealy 型电路的组合部分比较复杂一些而已。因此,它们的分析方法和设计方法是一样的。

5.2 时序逻辑电路的分析

时序逻辑电路的分析就是根据一个给定的电路,经过分析进而确定或说明电路逻辑功能的过程。下面分别从同步和异步两个角度介绍时序逻辑电路的分析方法。

5.2.1 同步时序逻辑电路的分析

同步时序逻辑电路分析的关键是确定电路随时间的推移,在输入序列作用下,电路状态和输出的变化规律。而这种变化规律通常表现在状态转换表、状态图或时序图中。因此,分析一个给定的同步时序逻辑电路,实际上就是求出该电路的状态转换表、状态图或时序图,以此确定该电路的逻辑功能。

1. 同步时序逻辑电路的描述方法

同步时序逻辑电路的行为虽然可以用式(5-1)~式(5-3)3个方程组描述,但是从这些函数表达式中并不能清楚地看到输入、输出、现态、次态之间的转换关系。为了更加清晰、生动地描述电路的行为,本节引入了状态转换真值表、状态图、时序图等同步时序逻辑电路的描述方法。

1) 状态转换真值表

状态转换真值表是反映时序逻辑电路的输出、现态、次态、输入之间取值对应关系的一种表格。

将电路现态的各种取值组合代入时序逻辑电路的状态方程和输出方程,求出相应的次态和输出,就可以得到状态转换真值表。如果现态的初始值已经给定,则应从给定值开始推导。否则可假定一个现态初始值,依次进行推导。例如,某同步时序逻辑电路有一个输入 X 和一个输出 Z ,有4个状态 00、01、10 和 11,有效脉冲信号为 $CP \uparrow$,其状态转换真值表见表 5-1。

表 5-1 某电路的状态转换真值表

时 钟 脉 冲	输 入	现 态		次 态		输 出
	X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
$CP \uparrow$	1	0	0	1	0	0
$CP \uparrow$	0	1	0	0	1	1
$CP \uparrow$	1	0	1	1	0	1
$CP \uparrow$	1	1	0	1	1	0

从表 5-1 可以看出,若电路的初始状态为 00,当输入 $X=1$ 时,输出 $Z=0$,在时钟脉冲 $CP \uparrow$ 作用下,电路进入状态 10。如果紧接着 X 变为 0,输出 $Z=1$,时钟脉冲 $CP \uparrow$ 到来后电路状态变为 01。

2) 状态图

状态图是一种反映时序逻辑电路状态转移规律和输入、输出取值关系的有向图,它是时序逻辑电路逻辑功能的图示法。在状态图中,每个状态用一个圆圈表示,称为状态圈。圈内用字母或数字表示状态的名称,用带箭头的直线或弧线表示状态转移关系,并把引起这一转移的输入条件和相应的输出标注在有向线段的旁边(Moore 型电路的输出可标注在状态圈内)。

状态图和状态转换真值表具有一一对应关系,并能相互转换。图 5-2 为表 5-1 对应的状态图。

从图 5-2 中可以清楚地看到状态的转移条件和方向。状

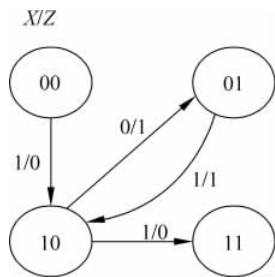


图 5-2 表 5-1 对应的状态图

态图非常直观,它比状态转换真值表更直观地反映了电路中各状态间的转换关系,有利于理解电路的逻辑功能。

3) 时序图

时序图是在时钟脉冲信号 CP 和输入信号的共同作用下,电路输出和状态变化的波形图。它用图形的方式形象描述了输入输出信号与电路状态在时间上的对应关系,是分析各类电路的重要手段。图 5-3 为表 5-1 对应的时序图。

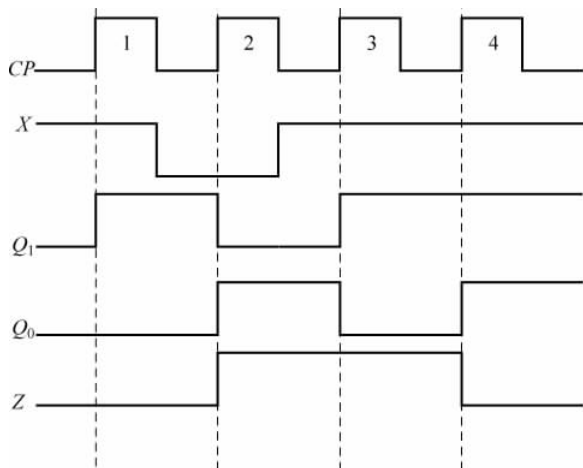


图 5-3 表 5-1 对应的时序图

注意:

① 如果同步时序逻辑电路的初始状态不同,那么尽管输入序列相同,但输出序列和状态转移序列也不同。

② 电路的现态和次态是针对某一时刻而言的,该时刻的次态就是下一时刻的现态。

2. 同步时序逻辑电路的分析步骤

通常,同步时序逻辑电路的分析可以按照以下步骤进行。

(1) 根据给定的电路图,写出方程组(即输出方程、激励方程和状态方程)并化简。

输出方程是同步时序逻辑电路各个输出信号的逻辑表达式;激励方程是各个触发器同步输入端信号的逻辑表达式;把激励方程代入相应触发器的特性方程,即可求出状态方程,也就是各个触发器次态输出的逻辑表达式。

(2) 根据电路的方程组,列出状态转换真值表。

(3) 画状态图。

画状态图的方法是:将时序逻辑电路的所有独立状态分别用圆圈圈起来,再以每个状态作为原状态,在状态转换真值表中找出该状态在不同输入条件下的次态和输出值,并在各独立状态之间用有向箭头表示状态转换方向,在箭头旁标出输入条件和输出值。

(4) 检查电路自启动能力。

自启动能力是电路由于某种原因(如误操作)进入无效状态(或无用状态)后,在 CP 脉冲信号作用下回到有效状态(或有用状态)的能力。

(5) 画时序图。

画时序图时要明确,只有当 CP 触发沿到来时,相应的触发器状态才会改变,否则只会

保持原状态不变。

(6) 描述电路的逻辑功能。

根据以上分析,说明、确定电路的逻辑功能。

实际上,经过分析步骤(1),在获得电路相应方程后,电路逻辑功能已经较全面地表示出来了。但是,为从不同侧面突出电路特点,并使获得的结果形象直观,往往将它转换成图表的形式。在描述电路功能方面,效果是一样的,实际应用中应根据具体问题进行取舍。

下面通过具体实例进行分析。

【例 5-1】 试分析图 5-4 所示同步时序逻辑电路的功能。

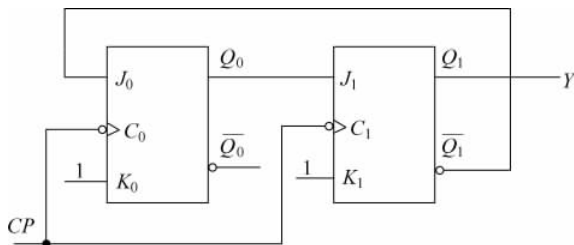


图 5-4 同步时序逻辑电路

解:

(1) 写方程组。

输出方程: $Y = Q_1^n$ (由此方程可知该电路为 Moore 型时序逻辑电路)

激励方程: $K_0 = 1, J_0 = \overline{Q_1^n}; K_1 = 1, J_1 = Q_0^n$

状态方程: 由 JK 触发器的特性方程可知:

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_1^n} \overline{Q_0^n}$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = Q_0^n \overline{Q_1^n}$$

(2) 列出状态转换真值表。

由图 5-4 可知,电路没有外部输入信号,其现态 $Q_1^n Q_0^n$ 有 4 种可能,按二进制大小排列为 00~11,将其分别代入输出方程和状态方程,求出对应的输出和次态,得到电路状态转换真值表,见表 5-2。

表 5-2 电路状态转换真值表

时 钟 脉 冲	现 态		次 态		输 出
	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
$CP \downarrow$	0	0	0	1	0
$CP \downarrow$	0	1	1	0	0
$CP \downarrow$	1	0	0	0	1
$CP \downarrow$	1	1	0	0	1

(3) 画状态图。

根据表 5-2 画出的电路状态转换图如图 5-5 所示。

图 5-5 中,圆圈内的数字表示电路的状态,转移方向上方斜杠后的值表示现状态电路的

输出。另外,Moore 型时序逻辑电路的状态图中,也可以将输出 Y 直接标注在圆圈内状态下方,即圆圈内的数值表示电路的状态和该状态下的输出,如图 5-6 所示。

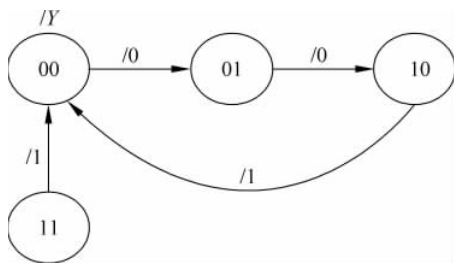


图 5-5 状态图

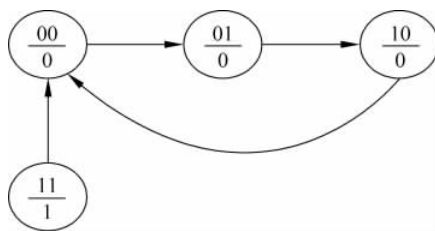


图 5-6 图 5-5 的等效状态图

(4) 检查电路的自启动能力。

由题目中的图 5-4 可知,该电路有两个触发器,所以电路的工作状态数有 $2^2=4$ 个。通过图 5-5 可看到,在连续的 CP 时钟脉冲作用下,电路状态始终在 $00 \rightarrow 01 \rightarrow 10 \rightarrow 00$ 之间循环,这 3 个状态称为该电路的有效状态;另外一个状态 11 为无效状态。

对于该电路,如果电路进入 11 无效状态,在 CP 脉冲作用下,可以通过 00 状态重新进入有效状态,所以该电路具备自启动能力。

(5) 画时序图。

假定电路的初始状态为 $Q_1 Q_0 = 00$,根据图 5-5 画出电路的时序图,如图 5-7 所示。

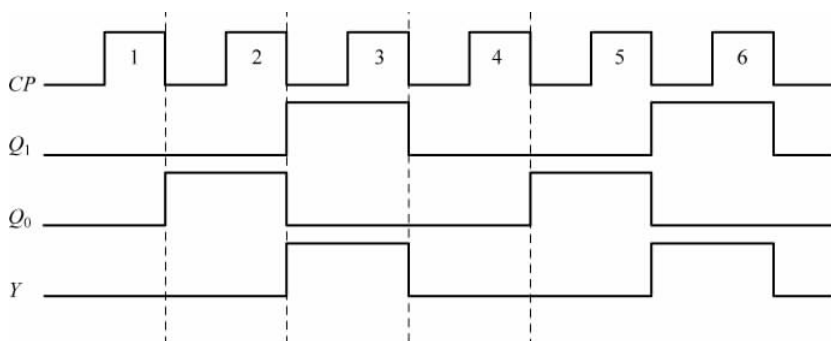


图 5-7 时序图

(6) 描述电路的逻辑功能。

通过电路的状态转换真值表和状态图可知,电路有 3 个有效状态,且在 $100 \rightarrow 0$ 时,输出一个进位信号 1,所以这是一个可以自启动的同步三进制计数器电路。

【例 5-2】 试分析图 5-8 所示同步时序逻辑电路的功能。

解:

(1) 写方程组。

输出方程: $Y = XQ_1^n$ (由此方程可知该电路为 Mealy 型时序逻辑电路)

激励方程:

$$J_0 = X\overline{Q_1^n}, \quad K_0 = 1$$

$$J_1 = X\overline{Q_0^n}, \quad K_1 = \overline{X}$$

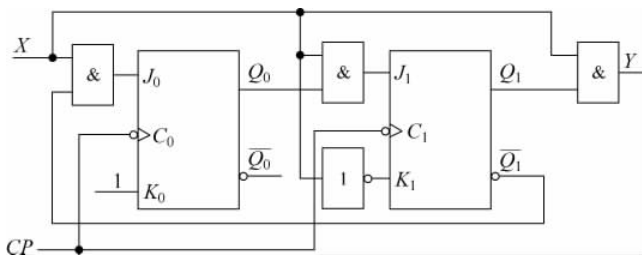


图 5-8 同步时序逻辑电路

状态方程:

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = X \overline{Q_1^n} \overline{Q_0^n}$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = X \overline{Q_1^n} Q_0^n + X Q_1^n = X(Q_0^n + Q_1^n)$$

(2) 列出状态转换真值表。

输入 X 和现态 $Q_1^n Q_0^n$ 有 8 种可能的输入组合,按照 3 位二进制数由小到大的排列顺序,即 000~111,填入表格前 3 列。在时钟脉冲 $CP \downarrow$ 作用下(表内不再列出),根据方程组可求出每种输入组合对应的次态及输出,将其填入表格后 3 列,得到状态转换真值表,见表 5-3。

表 5-3 状态转换真值表

输 入	现 态		次 态		输 出
X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	1	0	1

(3) 画出状态图。

由表 5-3 可画出电路的状态图,如图 5-9 所示。

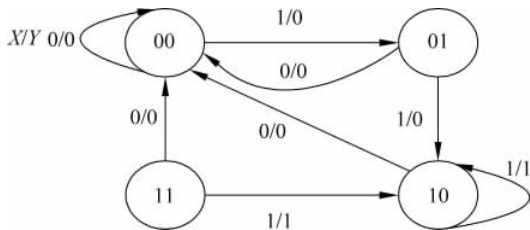


图 5-9 状态图

(4) 检查自启动能力。

由图 5-9 可知,该电路有两个触发器,共 4 种状态。在 CP 时钟脉冲作用下,电路状态在 $00 \rightarrow 01 \rightarrow 10 \rightarrow 00$ 之间循环。所以,4 种状态中,00、01 和 10 是有效状态,11 状态不在循

环圈内,是无效状态,但 11 状态在 CP 时钟脉冲作用下能够回到有效状态 00 或 10,所以电路能够自启动。

(5) 画时序图。

根据图 5-9 画出其对应的时序图,如图 5-10 所示。

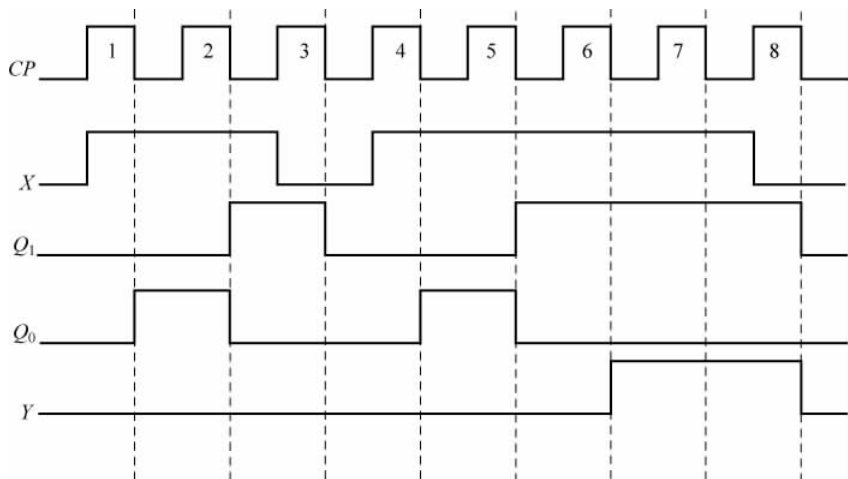


图 5-10 时序图

(6) 电路逻辑功能描述。

由状态图和时序图可见,一旦输入出现“111”序列,输出 Y 便产生一个脉冲,其他情况下输出 $Y=0$ 。因此,该电路是一个“111”串行序列检测器。

5.2.2 异步时序逻辑电路的分析

异步时序逻辑电路的分析步骤与同步时序逻辑电路大致相同。因为它通常也用触发器作为存储单元,电路的输入具有脉冲形式,只不过在异步时序逻辑电路中,触发器的时钟脉冲不都来源于一个,因此,触发器的状态变化不是同时进行的。所以,在列方程时,要将各个触发器的时钟方程考虑在内。

下面通过具体实例,说明异步时序逻辑电路的分析过程。

【例 5-3】 试分析图 5-11 所示异步时序逻辑电路的功能。

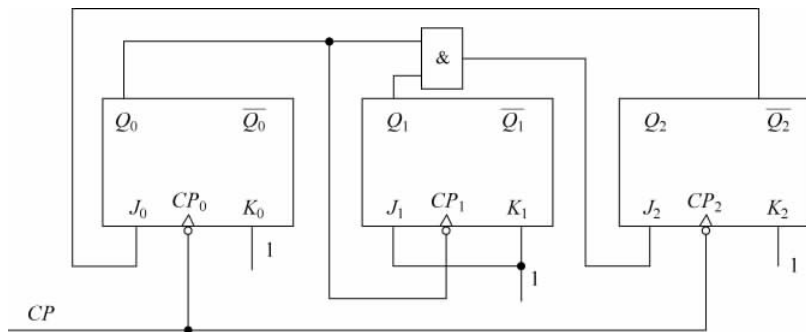


图 5-11 异步时序逻辑电路

解：由图 5-11 可知，3 个触发器的时钟脉冲来源不同，因此，电路为异步时序逻辑电路。

(1) 写方程组。

时钟方程： $CP_0 = CP_2 = CP$ ； J_0K_0 触发器和 J_2K_2 触发器由外加时钟脉冲信号 CP 下降沿触发。

$CP_1 = Q_0$ ； J_1K_1 触发器由 Q_0 下降沿触发

输出方程：本例题没有输出方程。

激励方程： $J_0 = \overline{Q_2^n}$ ； $K_0 = 1$

$J_1 = 1$ ， $K_1 = 1$

$J_2 = Q_1^n Q_0^n$ ， $K_2 = 1$

状态方程： $Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_0^n}$ ($CP \downarrow$ 有效)

$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n}$ ($Q_0 \downarrow$ 有效)

$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_2^n Q_1^n Q_0^n$ ($CP \downarrow$ 有效)

(2) 列出状态转换真值表。

设电路的初始状态为 $Q_2Q_1Q_0 = 000$ ，代入上面的状态方程，得到状态转换真值表，见表 5-4。

表 5-4 状态转换真值表

输 入	现 态			次 态			时 钟 脉 冲		
CP	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0
$\downarrow$	0	0	0	0	0	1	$\downarrow$	$\uparrow$	$\downarrow$
$\downarrow$	0	0	1	0	1	0	$\downarrow$	$\downarrow$	$\downarrow$
$\downarrow$	0	1	0	0	1	1	$\downarrow$	$\uparrow$	$\downarrow$
$\downarrow$	0	1	1	1	0	0	$\downarrow$	$\downarrow$	$\downarrow$
$\downarrow$	1	0	0	0	0	0	$\downarrow$	0	$\downarrow$
$\downarrow$	1	0	1	0	1	0	$\downarrow$	$\downarrow$	$\downarrow$
$\downarrow$	1	1	0	0	1	0	$\downarrow$	0	$\downarrow$
$\downarrow$	1	1	1	0	0	0	$\downarrow$	$\downarrow$	$\downarrow$

表 5-4 中，电路状态的变化不是由外部输入脉冲信号 CP 一个因素决定的。若 $Q_2Q_1Q_0 = 000$ ，当外部输入脉冲 $CP \downarrow$ 到来时， $Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n} Q_1^n Q_0^n = 0$ 。 $Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_0^n} = 1$ 。由于 Q_0 从 $0 \rightarrow 1$ ，即 $Q_0 \uparrow$ ，不满足 J_1K_1 触发器的触发条件，所以 Q_1 状态不发生变化，仍保持 0 状态。以此类推，可以得到电路完整的状态转换真值表。

(3) 画出状态图。

在每一个 $CP \downarrow$ 到来时，根据表 5-4 得到电路状态转换图，如图 5-12 所示。圆圈内的代码表示电路状态 $Q_2Q_1Q_0$ ，共有 8 种不同的状态。

(4) 检查电路自启动能力。

由图 5-12 可知，循环圈外的 3 个无效状态 101、110 和 111，在输入脉冲 $CP \downarrow$ 作用下，均可回到有效状态中，所以电路具有自启动能力。

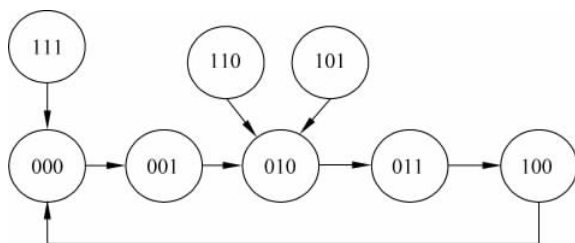


图 5-12 状态图

(5) 画时序图。

设电路初始状态为 $Q_2Q_1Q_0 = 000$, 根据图 5-12 可以画出电路的时序图, 如图 5-13 所示。

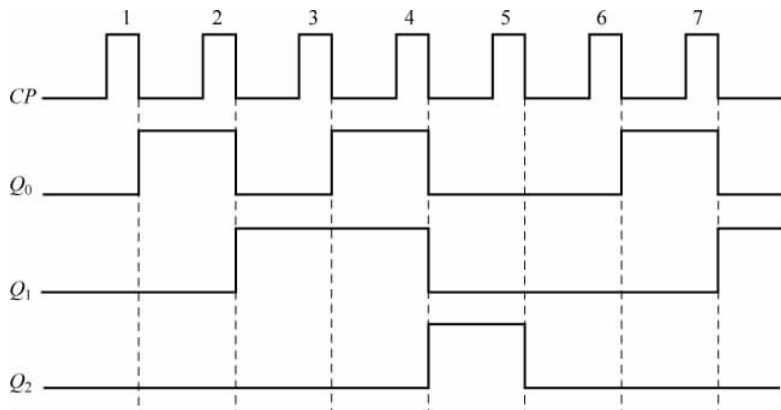


图 5-13 时序图

(6) 电路逻辑功能描述。

根据图 5-12 可知, 该电路是一个具有自启动能力的异步五进制计数器。

【例 5-4】 试分析图 5-14 所示异步时序逻辑电路的功能。

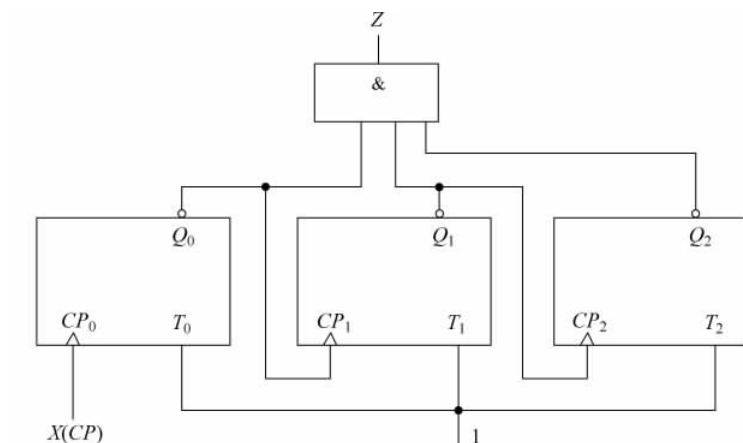


图 5-14 异步时序逻辑电路

解: 由图 5-14 可知, 3 个 T 触发器的时钟脉冲不一致, 电路为异步时序逻辑电路。这里的 T 触发器是上升沿触发。

(1) 写方程组。

时钟方程: $CP_0 = X(CP)$; T_0 触发器由外部输入信号 $X(CP) \uparrow$ 触发

$CP_1 = Q_0$; T_1 触发器由 $Q_0 \uparrow$ 触发

$CP_2 = Q_1$; T_2 触发器由 $Q_1 \uparrow$ 触发

输出方程: $Z = Q_2^n Q_1^n Q_0^n$

激励方程: $T_0 = T_1 = T_2 = 1$

状态方程: $Q_0^{n+1} = T_0 \oplus Q_0^n = \overline{Q_0^n}$ ($CP \uparrow$ 有效)

$Q_1^{n+1} = T_1 \oplus Q_1^n = \overline{Q_1^n}$ ($Q_0 \uparrow$ 有效)

$Q_2^{n+1} = T_2 \oplus Q_2^n = \overline{Q_2^n}$ ($Q_1 \uparrow$ 有效)

(2) 列出状态转换真值表。

列状态转换表时,应先确定有无时钟,然后确定状态的变化。根据图 5-14 的特点,高位触发器的时钟与低位触发器的状态相连(Q_2 为最高位, Q_0 为最低位),所以低位触发器的状态先变,高位触发器的状态后变。

设电路的初始状态为 $Q_2 Q_1 Q_0 = 000$,代入上面的输出方程和状态方程,得到状态转换真值表,见表 5-5。

表 5-5 状态转换真值表

输入	现 态			次 态			时 钟 脉 冲			输出
$X(CP)$	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0	Z
$\uparrow$	0	0	0	1	1	1	$\uparrow$	$\uparrow$	$\uparrow$	1
$\uparrow$	0	0	1	0	0	0	0	$\downarrow$	$\uparrow$	0
$\uparrow$	0	1	0	0	0	1	$\downarrow$	$\uparrow$	$\uparrow$	0
$\uparrow$	0	1	1	0	1	0	1	$\downarrow$	$\uparrow$	0
$\uparrow$	1	0	0	0	1	1	$\uparrow$	$\uparrow$	$\uparrow$	0
$\uparrow$	1	0	1	1	0	0	0	$\downarrow$	$\uparrow$	0
$\uparrow$	1	1	0	1	0	1	$\downarrow$	$\uparrow$	$\uparrow$	0
$\uparrow$	1	1	1	1	1	0	1	$\downarrow$	$\uparrow$	1

表 5-5 中,若电路初始状态 $Q_2 Q_1 Q_0 = 000$,当 $X(CP) \uparrow$ 到来时,导致 Q_0 从 0 变为 1; $Q_0 \uparrow$ 的出现,导致 Q_1 从 0 $\rightarrow$ 1; $Q_1 \uparrow$ 的出现,导致 Q_2 从 0 变为 1; 最终导致输出 Z 变为 1。以此类推,可以得到电路完整的状态转换真值表。

(3) 画状态图。

根据表 5-5 画出电路状态转换图,如图 5-15 所示。

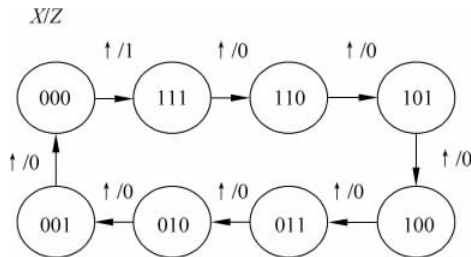


图 5-15 状态图

(4) 检查自启动能力。

由图 5-15 可知,电路的所有 8 个状态全部为有效状态,没有无效状态,因此电路能够自启动。

(5) 画时序图。

设电路初始状态为 $Q_2Q_1Q_0 = 000$,根据图 5-15,可以画出电路的时序图,如图 5-16 所示。

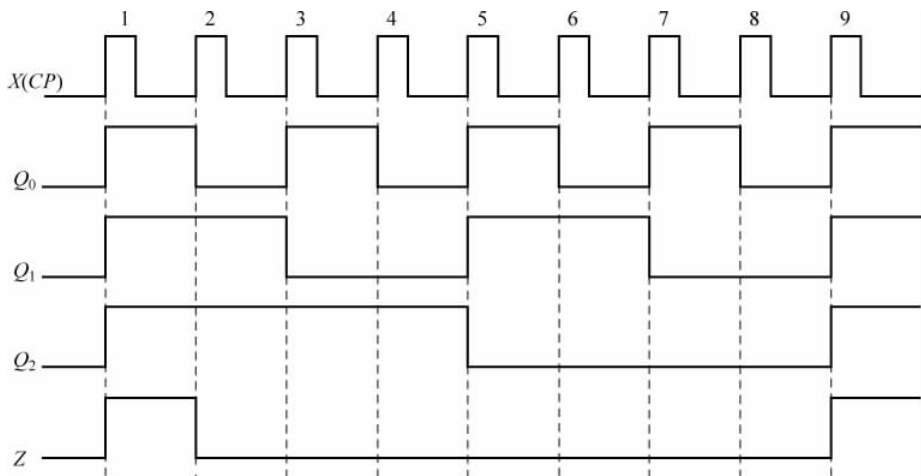


图 5-16 时序图

(6) 电路逻辑功能描述。

由图 5-15 的状态转换过程可知,该电路是一个异步八进制减法计数器,其输入脉冲 $X(CP)$ 为计数脉冲,输出 Z 为借位信号。

5.3 时序逻辑电路的设计

时序逻辑电路设计是时序逻辑电路分析的逆过程,即通过对设计命题的分析,确定体现命题要求的状态图或状态表,进而设计出符合命题要求的逻辑电路图。

由于时序逻辑电路设计不仅有状态定义与状态转换,还涉及状态化简、状态分配等问题,因此比组合电路的设计过程复杂。

下面分别从同步和异步两个角度介绍时序逻辑电路的设计方法和步骤。

5.3.1 同步时序逻辑电路的设计

本节介绍的设计方法基于采用触发器和逻辑门等小规模集成电路,是同步时序逻辑电路设计的经典方法。与最简组合逻辑电路的设计要求类似,这里的设计要求仍符合最简要求,即用最少的触发器和逻辑门实现。

同步时序逻辑电路的一般设计步骤如下。

(1) 建立原始状态转换图(或状态转换真值表)。

对逻辑命题进行抽象,设定电路状态,建立原始状态图(表)。原始状态图(表)建立的正确与否,决定了设计的电路功能是否能够达到预期目的。

其过程一般是：先假定一个初始状态 S_0 ；从这个初始状态 S_0 出发，每加入一个要记忆的输入信号，就用其次态“记忆”，并标出相应的输出值；该次态可能是现态本身（即状态不变），也可能是原始状态图中已有的另一个状态，或是新增加的一个状态。继续这个过程，直到没有新的状态出现，并且从每个状态出发，输入的各种可能取值引起的状态转移均须考虑，进而建立起原始的状态图（表）。

（2）状态化简。

化简的目的是使电路简单。电路的状态越少，需用的触发器越少，电路越简单。

在建立原始状态图（表）时，只考虑如何正确地反映设计要求，并没有严格要求状态的数目最少。因此，需要通过状态化简消去多余的等效状态，得到符合功能要求的最简状态图（表）（注意，这里只介绍完全状态表的化简方法，不完全状态表的化简建立在相容状态的基础上，而非建立在等效状态的基础上）。

假设 S_i 、 S_j 是原始状态表中的两个状态，那么 S_i 、 S_j 等效的条件可归纳为在相同输入条件下：

- ① 它们的输出完全相同。
- ② 它们的次态满足下列条件之一，即
 - 次态相同；
 - 次态交错；
 - 次态循环；
 - 次态对等效。

次态交错是指在某种输入条件下， S_i 的次态是 S_j ，而 S_j 的次态是 S_i 。次态循环是指次态之间的关系构成一个闭环，例如， S_i 和 S_j 在某种输入组合下的次态是 S_k 和 S_l ，而 S_k 和 S_l 在某种输入下的次态又是 S_i 和 S_j ，这种情况称为次态循环。次态对等效是指状态 S_i 和 S_j 的次态 S_k 和 S_l 满足等效的两个条件。例如，状态 S_1 和 S_2 的次态对为 S_3 和 S_4 ，它们既不相同，也没有与状态 S_1 、 S_2 直接构成交错和循环。但是，状态 S_3 和 S_4 的输出完全相同，且其次态相同或交错，或循环。

原始状态图（表）中的两个或多个状态如果同时满足①、②两个条件，则为等效状态，所有等效状态可合并为一个状态。

（3）状态分配。

状态分配又称状态编码，其核心是确定触发器的个数，并对不同状态分配一组相应的二进制代码。若时序逻辑电路的状态数目为 M ，则需要触发器的个数 n 应满足以下条件。

$$2^{n-1} < M < 2^n$$

进行状态编码时，一般应遵循下面 4 个原则。

- ① 相同输入条件下，具有相同次态的现态应分配逻辑相邻编码。
- ② 同一现态在相邻输入条件下的不同次态应分配逻辑相邻编码。
- ③ 在所有输入条件下，具有相同输出的现态应分配逻辑相邻编码。
- ④ 最简状态表中，出现次数最多的状态应分配逻辑 0。

若分配时以上原则有矛盾，则应按自上而下的优先顺序分配。

（4）选定触发器类型，列出状态转换真值表，求出激励方程和输出方程。

（5）画电路图。

根据激励方程和输出方程,画出具体实现的电路图。

(6) 检查电路的自启动特性。

电路的自启动能力比较重要,若设计出的电路不具备自启动能力,必须采取措施加以修改。例如,可以在电路开始时加置初态,或修改逻辑设计等。

下面通过实例说明同步时序逻辑电路的设计方法。

【例 5-5】 某引爆装置,当引爆开关 X 闭合后($X=1$),经过 4 个时钟脉冲周期,即电路的输入序列 $X=1111$ 时,发出引爆信号($Z=1$),使炸药包爆炸。试设计该引爆装置的具体电路。

解: 根据题意画出引爆装置的示意框图和典型的时序图,如图 5-17 所示。

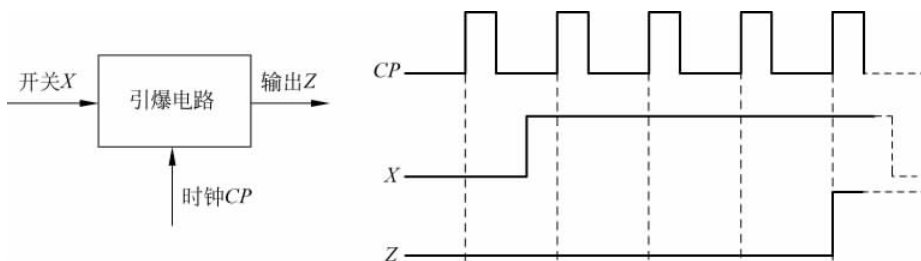


图 5-17 引爆装置的示意框图和典型的时序图

设引爆电路的初始状态为 S_0 ,当电路接收到第一个 1 时,电路的状态由 S_0 转移到 S_1 ,输出 0;当接收到第二个 1 时,电路状态由 S_1 转移到 S_2 ,输出 0;当接收到第三个 1 时,电路状态由 S_2 转移到 S_3 ,输出 0;当接收到第四个 1 时,输出 Z 为 1,引爆装置发出引爆信号,炸药爆炸。一次引爆成功结束,电路就回到初始状态 S_0 。

当电路处于状态 S_1 、 S_2 或 S_3 时,如果输入 X 为 0,则此次引爆将被终止,电路回到初始状态 S_0 ,等待下一个引爆序列。

按照以上分析,建立如下解题步骤。

(1) 建立原始状态转换图(状态转换表)。

根据分析建立原始状态转换图,如图 5-18 所示。

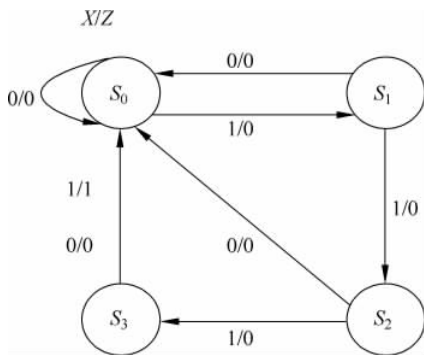


图 5-18 原始状态转换图

图 5-18 对应的原始状态转换表见表 5-6。

表 5-6 原始状态转换表

现 态	次态/输出	
	$X=0$	$X=1$
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/0$
S_2	$S_0/0$	$S_3/0$
S_3	$S_0/0$	$S_0/1$

(2) 状态化简。

由表 5-6 可知,不存在等效状态,故图 5-18 为最简状态图,表 5-6 为最简状态表。

(3) 状态分配。

在表 5-6 中,状态 S_0 出现的次数最多,因此设状态 S_0 的编码为 00。按照相邻编码的分配原则,可依次得到状态 S_1 的编码为 01,状态 S_2 的编码为 10,状态 S_3 的编码为 11。

(4) 确定触发器类型,列出电路激励表,求出相应方程组。

电路有 4 个状态,需要用到两个触发器,若选用 JK 触发器,则可做出表 5-7 所示的电路的激励和输出表。

表 5-7 电路的激励和输出表

输入	现 态		次 态		激 励 函 数				输出
X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	J_1	K_1	J_0	K_0	Z
0	0	0	0	0	0	d	0	d	0
0	0	1	0	0	0	d	d	1	0
0	1	0	0	0	d	1	0	d	0
0	1	1	0	0	d	1	d	1	0
1	0	0	0	1	0	d	1	d	0
1	0	1	1	0	1	d	d	1	0
1	1	0	1	1	d	0	1	d	0
1	1	1	0	0	d	1	d	1	1

根据表 5-7,可以做出 J_1 、 K_1 、 J_0 、 K_0 、 Z 的卡诺图,如图 5-19 所示,并可求出其对应的激励函数和输出函数。

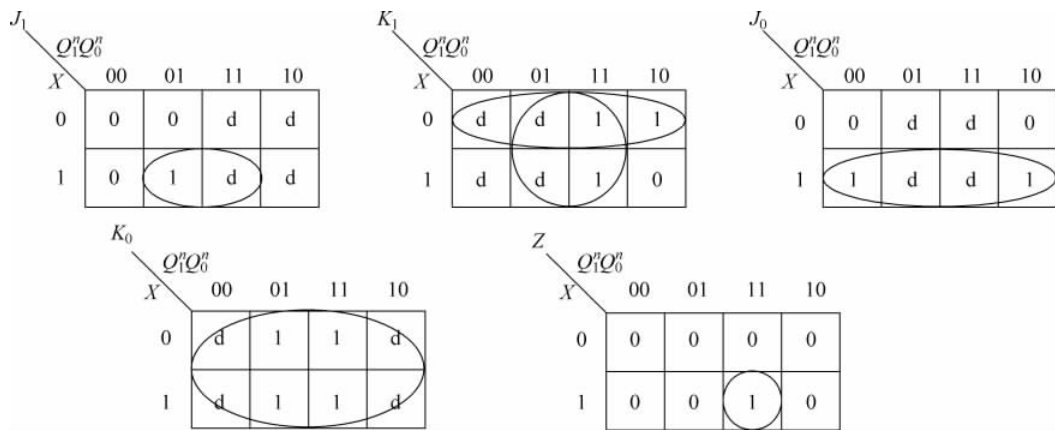


图 5-19 引爆装置激励函数和输出函数的卡诺图

由图 5-19 求出对应的激励方程和输出方程如下。

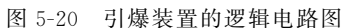
$$J_1 = XQ_0^n \quad K_1 = Q_0^n + \bar{X} \quad J_0 = X \quad K_0 = 1 \quad Z = XQ_1^nQ_0^n$$

(5) 画电路图。

由以上方程可以画出引爆装置的逻辑电路图,如图 5-20 所示。

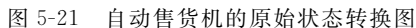
(6) 检查电路自启动能力。

该电路不存在无效状态,故能够自启动。



$Y_1Y_0=11$ 表示有货物输出的同时找回五角钱。

根据以上分析,自动售货机的原始状态转换图如图 5-21 所示。



将原始状态图表示的状态转换关系用表格形式表示,就得到了自动售货机的原始状态转换表,见表 5-8。

表 5-8 自动售货机的原始状态转换表

现 态	次态/输出			
	$X_1X_0=00$	$X_1X_0=01$	$X_1X_0=10$	$X_1X_0=11$
S_0	$S_0/00$	$S_1/00$	$S_2/00$	d/d
S_1	$S_1/00$	$S_2/00$	$S_3/00$	d/d
S_2	$S_2/00$	$S_3/00$	$S_0/10$	d/d
S_3	$S_3/00$	$S_0/10$	$S_0/11$	d/d

(2) 状态化简。

由表 5-8 可知,状态已不能化简。

(3) 状态分配。

设状态分配为: 状态 S_0 的编码为 00, 状态 S_1 的编码为 01, 状态 S_2 的编码为 10, 状态 S_3 的编码为 11。

(4) 确定触发器类型, 列出电路激励表, 求出相应方程组。

电路有 4 个状态, 需要用到两个触发器, 若选用 JK 触发器, 则可做出表 5-9 所示的自动售货机的激励和输出表。

表 5-9 自动售货机的激励和输出表

输 入		现 态		次 态		激 励 函 数				输 出	
X_1	X_0	Q_1	Q_0	Q_1^n	Q_0^n	J_1	K_1	J_0	K_0	Y_1	Y_0
0	0	0	0	0	0	0	d	0	d	0	0
0	0	0	1	0	1	0	d	d	0	0	0
0	0	1	0	1	0	d	0	0	d	0	0
0	0	1	1	1	1	d	0	d	0	0	0
0	1	0	0	0	1	0	d	1	d	0	0
0	1	0	1	1	0	1	d	d	1	0	0
0	1	1	0	1	1	d	0	1	d	0	0
0	1	1	1	0	0	d	1	d	1	1	0
1	0	0	0	1	0	1	d	0	d	0	0
1	0	0	1	1	1	1	d	d	0	0	0
1	0	1	0	0	0	d	1	0	d	1	0
1	0	1	1	0	0	d	1	d	1	1	1
1	1	0	0	d	d	d	d	d	d	d	d
1	1	0	1	d	d	d	d	d	d	d	d
1	1	1	0	d	d	d	d	d	d	d	d
1	1	1	1	d	d	d	d	d	d	d	d

根据表 5-9, 可以做出 J_1 、 K_1 、 J_0 、 K_0 、 Y_1 、 Y_0 的卡诺图, 如图 5-22 所示, 并可求出其对应的激励函数和输出函数。

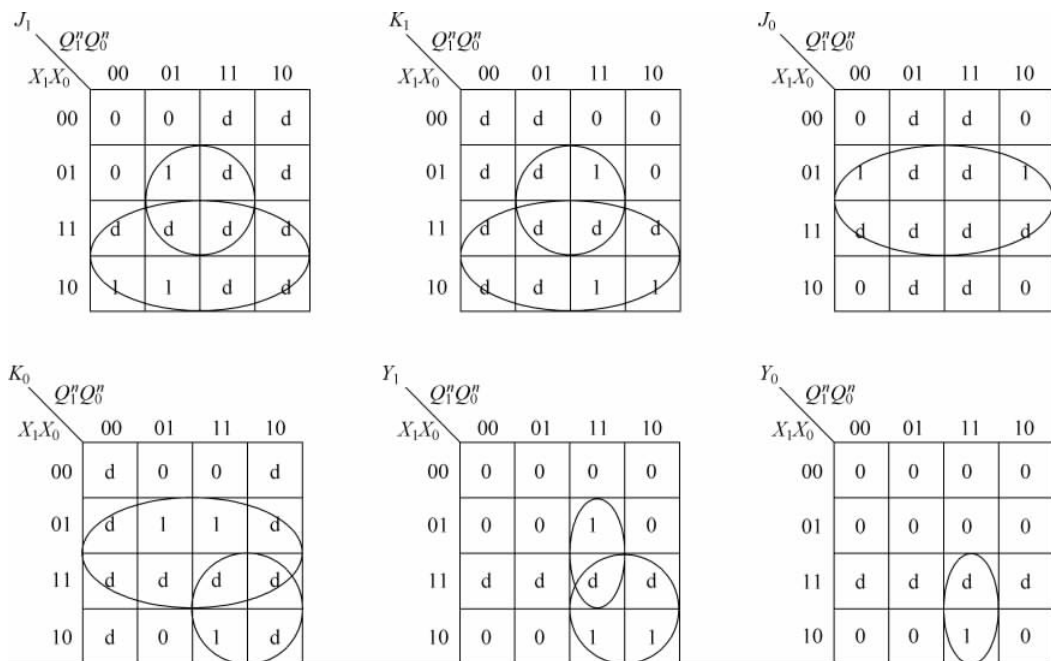


图 5-22 自动售货机的激励函数和输出函数的卡诺图

由图 5-22 可求出对应的激励方程和输出方程如下。

$$J_1 = X_1 + X_0 Q_0^n \quad K_1 = X_1 + X_0 Q_0^n \quad J_0 = X_0 \quad K_0 = X_0 + X_1 Q_1^n$$

$$Y_1 = X_1 Q_1^n + X_0 Q_1^n Q_0^n \quad Y_0 = X_1 Q_1^n Q_0^n$$

(5) 检查电路自启动能力。

该电路不存在无用状态,故能够自启动。

(6) 画电路图。

由激励方程和输出方程可以画出自动售货机的逻辑电路图,如图 5-23 所示。

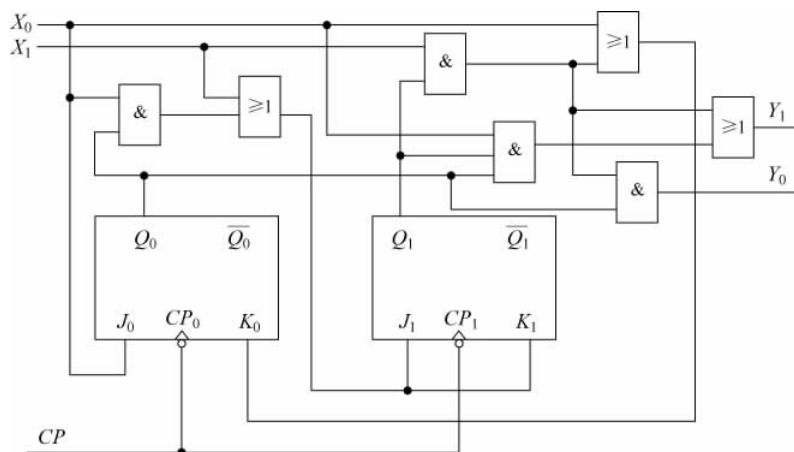


图 5-23 自动售货机电路图

【例 5-7】 试用主从 D 触发器设计一个“100”序列检测器,被检测序列信号为串行输入的随机码,当出现“100”序列时,检测器输出 1,否则输出 0。要求:检测器由 CP 同步驱动,并给定序列信号与 CP 同步运行。

解: 由于输入信号是串行的脉冲序列,为了在序列中识别出 100 序列,必须使电路具有记忆能力,即电路要能利用其内部状态记住前面输入了 10,并接着再输入一个 0,输出才为 1。因此,该电路应是一个时序逻辑电路,设其输入为 X ,输出为 Y ,并由 CP 同步控制。

(1) 设定电路状态,作原始状态图。

设 S_0 状态记忆已输入了一个或多个 1;

S_1 状态记忆已输入了一个或多个 10;

S_2 状态记忆已输入了一个或多个 100;

S_3 状态记忆已输入了 3 个或 3 个以上的 0。

按功能要求画出原始状态图,如图 5-24 所示。

由原始状态图列出原始状态表,见表 5-10。

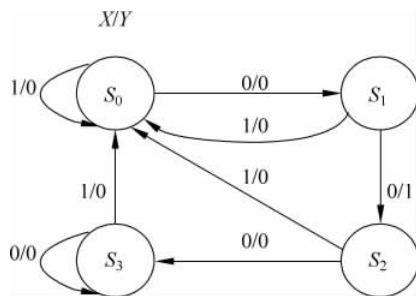


图 5-24 原始状态图

表 5-10 原始状态表

现 态	次态/输出	
	$X=0$	$X=1$
S_0	$S_1/0$	$S_0/0$
S_1	$S_2/1$	$S_0/0$
S_2	$S_3/0$	$S_0/0$
S_3	$S_3/0$	$S_0/0$

(2) 状态化简。

由表 5-10 可知, S_2 和 S_3 状态在相同输入条件下,其次态相同,输出也一样。因此, S_2 和 S_3 为等效状态,可以合并为一个状态。将表 5-10 中的 S_3 都用 S_2 代替,得到化简后的状态表(表 5-11)。

表 5-11 化简后的状态表

现 态	次态/输出	
	$X=0$	$X=1$
S_0	$S_1/0$	$S_0/0$
S_1	$S_2/1$	$S_0/0$
S_2	$S_2/0$	$S_0/0$

由表 5-11 可得到简化的状态图,如图 5-25 所示。

(3) 状态编码。

本例有 3 个状态 S_0 、 S_1 、 S_2 ,需要两个触发器。根据编码分配原则,可选 $S_0=00$, $S_1=01$, $S_2=11$ 。将对应的编码代入表 5-11,得到表 5-12。

表 5-12 转换表

现 态	次态/输出	
	$X=0$	$X=1$
00	01/0	00/0
01	11/1	00/0
11	11/0	00/0

(4) 列出电路激励表, 求出相应方程组。

由以上分析可知, 电路需要用到两个 D 触发器。
根据表 5-12 可做出表 5-13。

表 5-13 真值表

输 入	现 态		次 态		输 出
X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	1	1
0	1	0	d	d	d
0	1	1	1	1	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	d	d	d
1	1	1	0	0	0

由表 5-13 可做出 Q_1^{n+1} 、 Q_0^{n+1} 的卡诺图, 如图 5-26 所示。由于 D 触发器的特性方程 $Q^{n+1} = D$, 所以可求出电路的激励函数和输出函数。

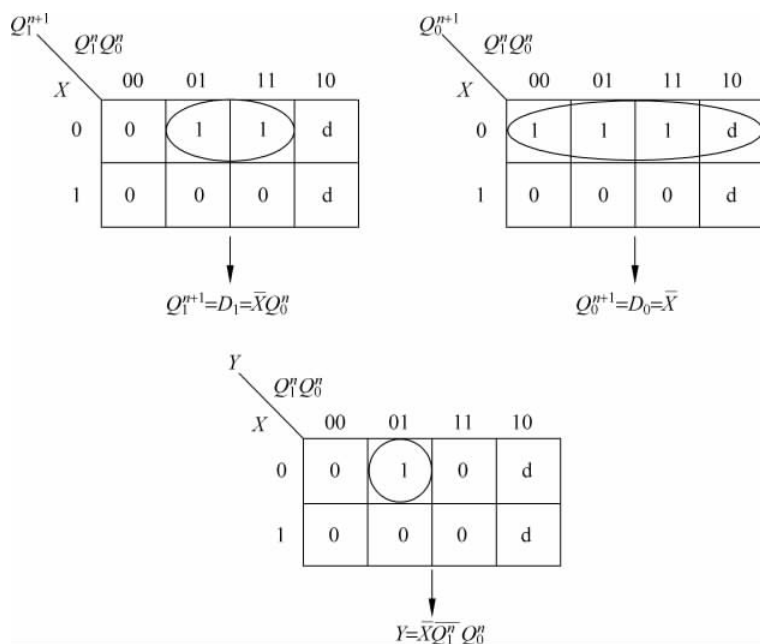


图 5-26 卡诺图

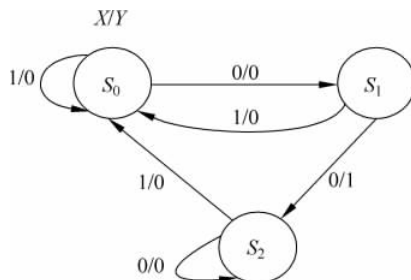


图 5-25 简化的状态图

(5) 检查电路自启动能力。

该电路有一个无用状态 10, 把 $Q_1^n Q_0^n = 10$ 代入方程 $Q_1^{n+1} = D_1 = \bar{X} Q_0^n$ 、 $Q_0^{n+1} = D_0 = \bar{X}$ 和 $Y = \bar{X} \bar{Q}_1^n Q_0^n$, 得到电路的下一状态 $Q_1^{n+1} Q_0^{n+1} = 0\bar{X}$, $Y = 0$ 。由此可以看出, 无效状态 10 在时钟脉冲作用下, 能够回到有效状态 00 或 01, 而且电路没有错误输出。因此, 电路能够自启动。

(6) 画电路图。

由方程 $Q_1^{n+1} = D_1 = \bar{X} Q_0^n$ 、 $Q_0^{n+1} = D_0 = \bar{X}$ 和 $Y = \bar{X} \bar{Q}_1^n Q_0^n$ 可以画出如图 5-27 所示的“100”序列检测器的逻辑电路图。

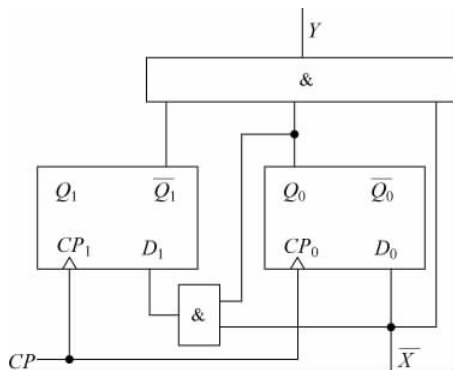


图 5-27 “100”序列检测器的逻辑电路图

5.3.2 异步时序逻辑电路的设计

异步时序逻辑电路的设计方法与同步时序逻辑电路的设计方法相似。但是, 由于异步时序逻辑电路没有统一的时钟脉冲, 因此, 在设计过程中, 除了参考同步时序逻辑电路的设计步骤外, 还需要在选定触发器类型后, 为每个触发器选择合适的时钟脉冲信号, 即确定相应的时钟方程。

下面通过实例介绍异步时序逻辑电路的设计方法和步骤。

【例 5-8】 设计一个异步六进制加法计数器, 计数到 5 时, 输出高电平。采用下降沿 JK 触发器实现。

解:

(1) 根据设计要求作原始状态图, 如图 5-28 所示。

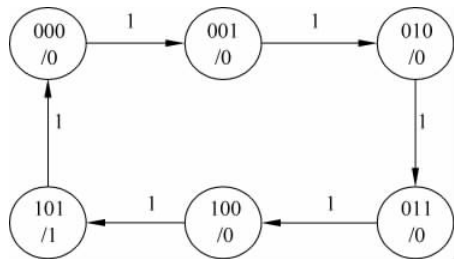


图 5-28 异步六进制加法计数器原始状态图

(2) 状态化简。

原始状态图已经最简, 同时注意到本例有两个无用状态 110 和 111。

(3) 状态编码。

将最简状态图转换成用二进制状态表示的最简状态表,见表 5-14。

表 5-14 最简状态表

现 态			次 态			输 出
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1

(4) 写出激励函数和输出函数表达式。

采用 3 个触发器,根据表 5-14,可得到输出函数表达式为

$$Z = Q_2^n \overline{Q_1^n} Q_0^n$$

表 5-14 对应的波形图如图 5-29 所示。

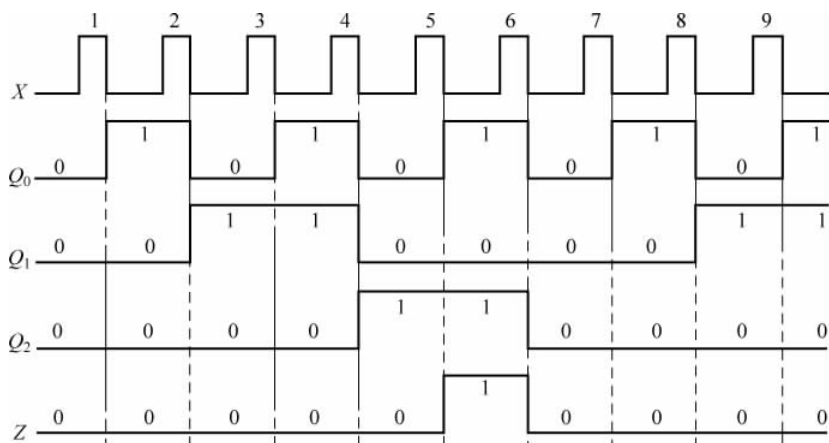


图 5-29 异步六进制计数器波形图

根据 Q 的变化,先确定触发器的时钟函数表达式,然后确定 JK 表达式。

选取各触发器时钟方程的原则是:触发器翻转时,必须产生触发脉冲;触发器无须翻转时,最好不产生触发脉冲,即在完成状态变化的情况下,尽可能取脉冲数量少的作为触发脉冲信号。

根据这个原则,观察图 5-29 可知,触发器 Q_0 的时钟只能取自 X (计数脉冲),只要 X 有负跳变(下降沿),当 $J_0=K_0=1$ 时就能满足这一要求。

对于触发器 Q_1 ,用 Q_0 作为 Q_1 的时钟最合适。由于 Q_0 第 3 个下降沿来到后,要求 Q_1 不变化,所以必须使激励函数 J_1 、 K_1 的表达式满足要求。

对于触发器 Q_2 ,用 Q_0 作为 Q_2 的时钟也最合适。但从波形图看, Q_0 的第 1 个下降沿和第 4 个下降沿要求 Q_2 不变化,所以也必须使 J_2 、 K_2 的表达式满足要求。

根据以上分析,可以画出如图 5-30 所示的卡诺图,由于只有一个输入 X ,所以在画状态

表时为了直观,没有把 X 表示出来,但在时钟 CP 的表达式中应该明确写上 X ,以表示有输入信号,才有时钟信号。

Q_2^n		$Q_1^n Q_0^n$				Q_2^n		$Q_1^n Q_0^n$			
		00	01	11	10			00	01	11	10
		0	1	1	1			1	0	1d	d1
		1	1	1	d	d	1	1d	d1	dd	dd
		$CP_0=1 \times X=X$						$J_0=K_0=1$			

Q_2^n		$Q_1^n Q_0^n$				Q_2^n		$Q_1^n Q_0^n$			
		00	01	11	10			00	01	11	10
		0	0	1	1			0	0	dd	1d
		1	0	1	d	d	1	dd	0d	dd	dd
		$CP_1=Q_0^n$						$J_1=\overline{Q_2^n}, K_1=1$			

Q_2^n		$Q_1^n Q_0^n$				Q_2^n		$Q_1^n Q_0^n$			
		00	01	11	10			00	01	11	10
		0	0	d	1			0	0	dd	0d
		1	0	1	d	d	1	dd	0d	dd	dd
		$CP_2=Q_0^n$						$J_2=Q_1^n, K_2=1$			

图 5-30 JK 表达式

还有一种计算激励函数的方法: Q_0 的激励函数 $J_0=K_0=1$ 不需要计算。由于触发器 Q_2 和 Q_1 的时钟是同一个 Q_0 ,所以这两个触发器的激励函数 $J_2、K_2、J_1、K_1$ 可以按照同步时序逻辑电路的方法一次计算出来,见表 5-15。

表 5-15 激励表

现 态			次 态			激 励 函 数			
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_2	K_2	J_1	K_1
0	0	0	0	0	1	d	d	d	d
0	0	1	0	1	0	0	d	1	d
0	1	0	0	1	1	d	d	d	d
0	1	1	1	0	0	1	d	d	1
1	0	0	1	0	1	d	d	d	d
1	0	1	0	0	0	d	1	0	d

由表 5-15 同样可以得到激励函数 $J_2=Q_1^n、K_2=1、J_1=\overline{Q_2^n}、K_1=1$ 。

(5) 检查电路能否自启动。

在逻辑设计时有两个无用状态,根据 CP 和 JK 的表达式,分别检查每个无用状态的次态,见表 5-16。

表 5-16 无用状态表

现 态			时钟和激励			次 态		
Q_2^n	Q_1^n	Q_0^n	$CP_2J_2K_2$	$CP_1J_1K_1$	$CP_0J_0K_0$	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	1	0	0 1 1	0 0 1	1 1 1	1	1	1
1	1	1	1 1 1	1 0 1	1 1 1	0	0	0

根据表 5-16 的状态变化可知: $110 \rightarrow 111 \rightarrow 000$, 无用状态经过一次或两次变化后, 均变为有用状态, 所以电路可以自启动。

(6) 画逻辑电路图。

根据时钟、激励和输出方程画逻辑电路图, 如图 5-31 所示。

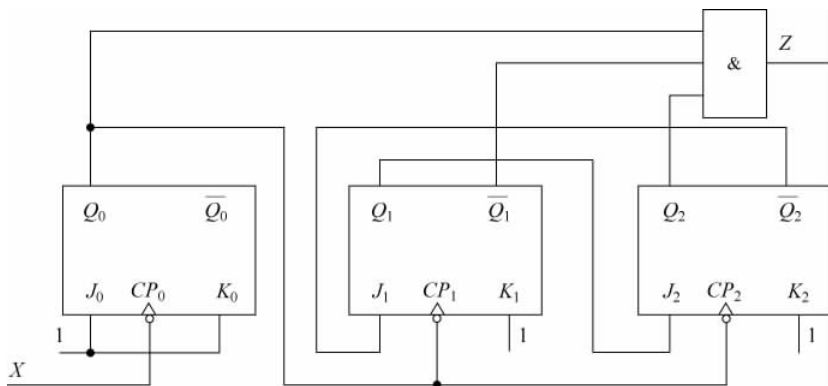


图 5-31 异步六进制加法计数器逻辑电路图

【例 5-9】 设计一个“ $x_1 - x_2 - x_2$ ”序列检测器。电路框图如图 5-32(a)所示。它有两个输入 x_1 和 x_2 , 当 x_1 输入一个脉冲, x_2 连续输入两个脉冲时, 输出端 Z 才会输出一个脉冲, 波形图如图 5-32(b)所示。另外, 假设 x_1 、 x_2 不会同时有输入脉冲。

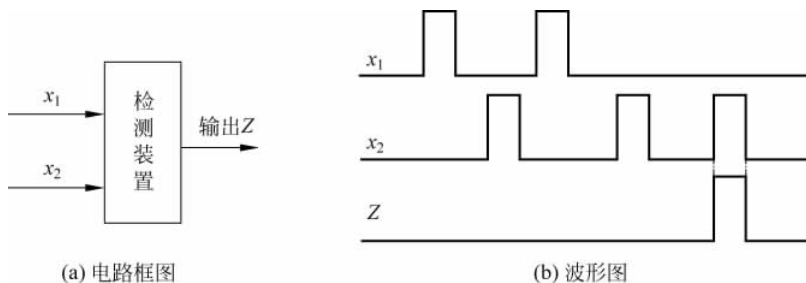


图 5-32 序列检测器

解：

(1) 根据设计要求, 作原始状态图(表)。

假设 x_1 和 x_2 都没有脉冲输入时, 电路处于 S_0 状态。电路转换过程如下。

电路为 S_0 状态: 当 x_1 有脉冲输入时, 这是电路需要识别的第 1 个信号, 则令状态转换到 S_1 ; 若电路处在 S_0 状态时, x_2 有脉冲输入, 则电路不应做出反应, 仍应处于 S_0 状态不变。

电路为 S_1 状态: x_1 有脉冲输入, 这仍是电路需要识别的第 1 个信号, 所以电路仍停留

在 S_1 状态；当电路在 S_1 状态时, x_2 有脉冲输入,这是电路需要识别的第2个信号,则令电路转换到 S_2 状态。

电路为 S_2 状态: x_1 有脉冲输入,则电路应转至 S_1 状态,这仍是电路需要识别的第1个信号;若 x_2 有脉冲输入,这是电路需要识别的第3个信号,则令电路转换到 S_3 状态,同时令 $Z=1$ 有输出脉冲。

电路为 S_3 状态: x_1 有脉冲输入,则电路转至 S_1 状态;若 x_2 有脉冲输入,这不是电路要识别的状态,电路应转至 S_0 状态。

根据以上分析,可画出如图 5-33 所示的原始状态图和表 5-17 所示的原始状态转换表。

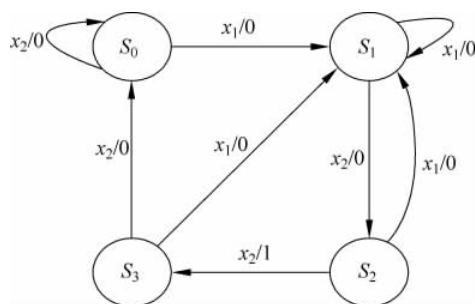


图 5-33 原始状态图

表 5-17 原始状态转换表

现 态	次态/输出	
	$X=x_1$	$X=x_2$
S_0	$S_1/0$	$S_0/0$
S_1	$S_1/0$	$S_2/0$
S_2	$S_1/0$	$S_3/1$
S_3	$S_1/0$	$S_0/0$

(2) 状态化简。

观察表 5-17,在相同输入条件下, S_0 、 S_3 、次态和输出都是相同的,因此 S_0 和 S_3 是等效状态,可以合并为一个状态 S_3 。将表 5-17 中的所有 S_0 换成 S_3 ,即可得到化简后的状态表,见表 5-18。

表 5-18 化简后的状态转换表

现 态	次态/输出	
	$X=x_1$	$X=x_2$
S_1	$S_1/0$	$S_2/0$
S_2	$S_1/0$	$S_3/1$
S_3	$S_1/0$	$S_3/0$

(3) 状态编码。

观察表 5-18,3 个状态共需要两个触发器,结合状态编码规则,可给 S_1 分配 00 编码,给 S_2 分配 01 编码,给 S_3 分配 10 编码。将表 5-18 转换成用二进制状态表示的最简状态表,见表 5-19。

表 5-19 二进制最简状态表

现 态	次态/输出	
	$X=x_1$	$X=x_2$
00	00/0	01/0
01	00/0	10/1
10	00/0	10/0

(4) 写出激励函数和输出函数表达式。

假设本例采用 D 触发器实现, 触发器状态不变时, 可设时钟信号 $CP=0$, 输入信号 D 为任意; 当触发器状态变化时, 必须使 $CP=1$, 此刻输入信号 D 的值等于次态的值。根据表 5-19 可以列出电路的激励、时钟和输出表, 见表 5-20。

表 5-20 激励、时钟和输出表

输入		现 态		次 态		时钟和激励		输 出
x_1	x_2	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	$CP_1 D_1$	$CP_0 D_0$	Z
0	0	0	0	0	0	0d	0d	0
0	0	0	1	0	1	0d	0d	0
0	0	1	0	1	0	0d	0d	0
0	1	0	0	0	1	0d	11	0
0	1	0	1	1	0	11	10	1
0	1	1	0	1	0	0d	0d	0
1	0	0	0	0	0	0d	0d	0
1	0	0	1	0	0	0d	10	0
1	0	1	0	0	0	10	0d	0

由表 5-20 可以画出如图 5-34 所示的卡诺图。

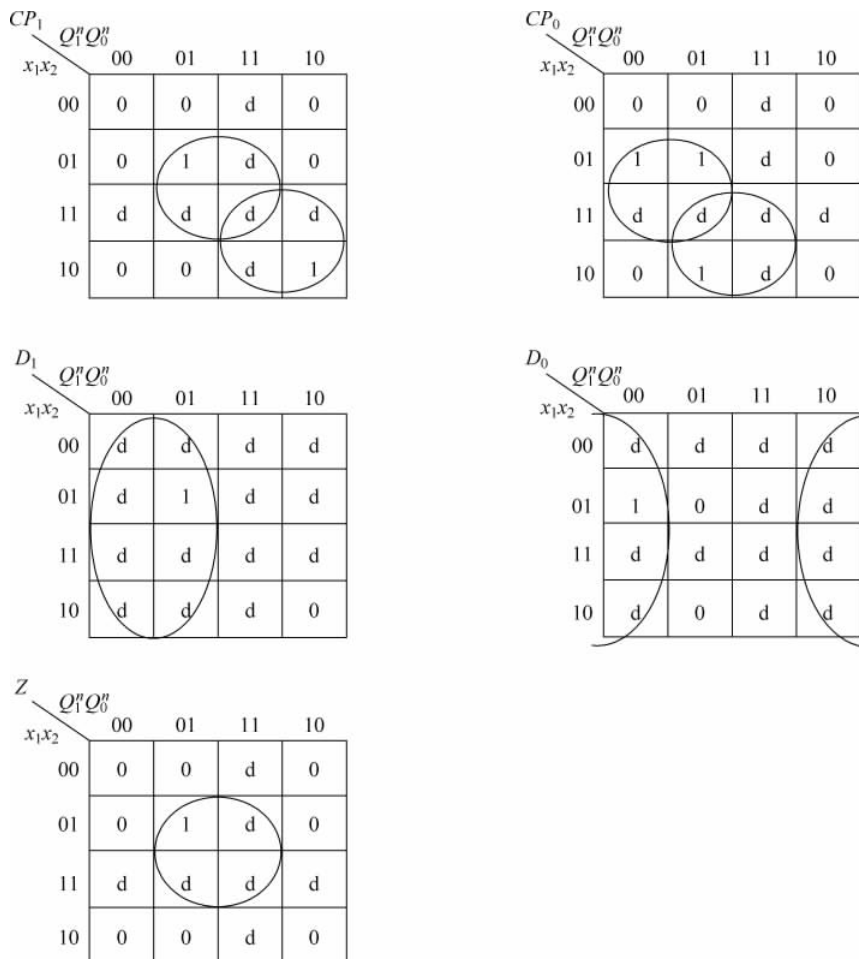


图 5-34 卡诺图

由卡诺图可求出电路的时钟方程、激励方程和输出方程为

$$CP_1 = x_2 Q_0^n + x_1 Q_1^n, \quad CP_0 = x_2 \overline{Q_1^n} + x_1 Q_0^n, \quad D_1 = \overline{Q_1^n}, \quad D_0 = \overline{Q_0^n}, \quad Z = x_2 Q_0^n$$

(5) 检查电路能否自启动。

在逻辑设计时有一个无用状态 11, 根据 CP 、 D 和 Z 的表达式, 检查 11 无用状态的次态, 见表 5-21。

表 5-21 无用状态表

输 入		现 态		次 态		时钟和激励		输 出
x_1	x_2	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	$CP_1 D_1$	$CP_0 D_0$	Z
0	1	1	1	0	1	10	00	1
1	0	1	1	0	0	10	10	0

由无用状态表 5-21 可知, 无用状态 11 在时钟脉冲作用下能够回到有用状态 01 或 00, 电路能够自启动。但是, 在 x_2 作用下, 电路输出 Z 为 1, 这是一个错误的输出。错误的原因是由于 $Q_1^n Q_0^n = 11$ 时, Z 卡诺图中对应的 4 个最小项被当作无关项处理。为了得到正确的输出 Z , 这 4 个最小项的取值只能为 0。因此, 需要通过修改 Z 的卡诺图修改电路, 如图 5-35 所示。

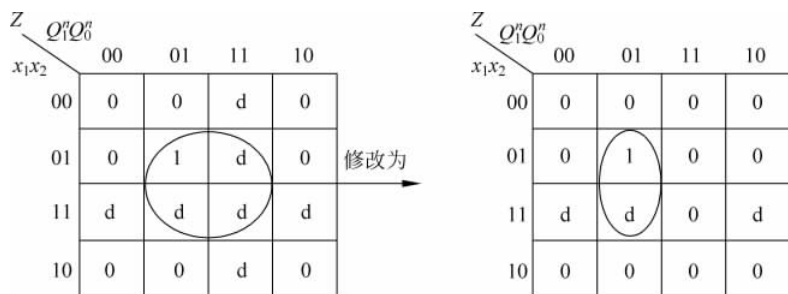


图 5-35 卡诺图修改图

由修改后的卡诺图可得到最终输出 $Z = x_2 \overline{Q_1^n} Q_0^n$ 。

(6) 画出逻辑电路图。

根据时钟、激励和输出方程: $CP_1 = x_2 Q_0^n + x_1 Q_1^n$, $CP_0 = x_2 \overline{Q_1^n} + x_1 Q_0^n$, $D_1 = \overline{Q_1^n}$, $D_0 = \overline{Q_0^n}$, $Z = x_2 \overline{Q_1^n} Q_0^n$ 画逻辑电路图, 如图 5-36 所示。

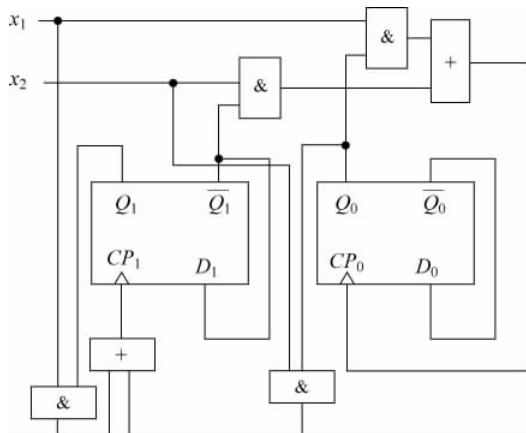


图 5-36 电路图

5.4 寄存器

寄存器是常用的时序逻辑电路之一,主要用来存放数码、运算结果或指令等二进制信息。它除了可实现对数据的接收、保存、传送和清除等基本功能外,根据需要,有的还具有移位、串/并输入、串/并输出以及预置等功能。

寄存器主要由触发器和一些控制门组成,其结构简单且有规律,一般可从触发器和门电路的基本功能出发直接分析。下面分别介绍基本寄存器和移位寄存器的功能、原理及应用。

5.4.1 基本寄存器

基本寄存器通常是由若干个 D 触发器组成的逻辑部件。一位触发器可寄存一位二进制信息,要寄存 n 位二进制信息,则需要 n 个触发器。图 5-37 所示为 D 触发器组成的 4 位寄存器电路。

图 5-37 中, $D_3 \sim D_0$ 为并行数据输入端, $Q_3 \sim Q_0$ 为并行数据输出端, $\overline{CR}$ 为寄存器清零端。 $\overline{CR}=0$ 时,寄存器被清零,即 $Q_0Q_1Q_2Q_3=0000$; 寄存器正常工作时, $\overline{CR}=1$, 在时钟脉冲信号 $CP \uparrow$ 到来时,将输入端数据保存到触发器 Q 端; 当输出控制信号有效时,可将保存在触发器 Q 端的数据经三态控制门传送出去,即 $Q_0Q_1Q_2Q_3=D_0D_1D_2D_3$ 。

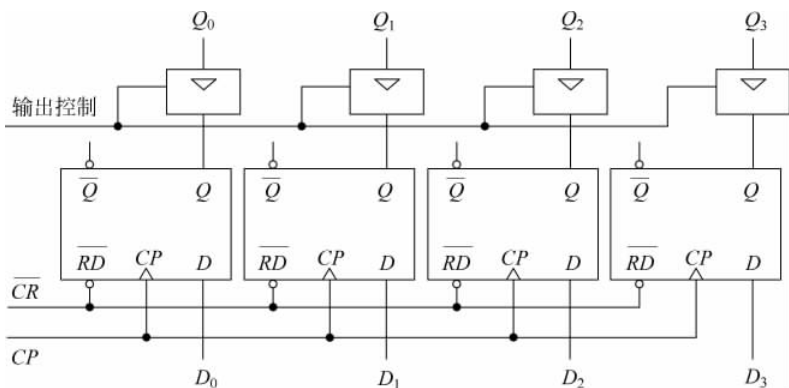


图 5-37 4 位寄存器电路

除了 D 触发器外,其他同步触发器、主从触发器、边沿触发器均可构成基本寄存器,这里不一一列举。

5.4.2 移位寄存器

在时钟脉冲控制下,能够将寄存的数据向左(右)移动的寄存器称为移位寄存器。移位寄存器不但可以存放代码,还可以依靠移位功能实现数据的串-并转换、数据运算及处理等功能。

移位寄存器的构成比较简单。图 5-38 为 4 位右移移位寄存器的逻辑电路图。

由图 5-38 可知,只需将左边一位触发器的输出端 Q 接到右边一位触发器的 D 输入端,同时将所有触发器的时钟端连接起来,用同步时钟脉冲 CP 进行控制即可。

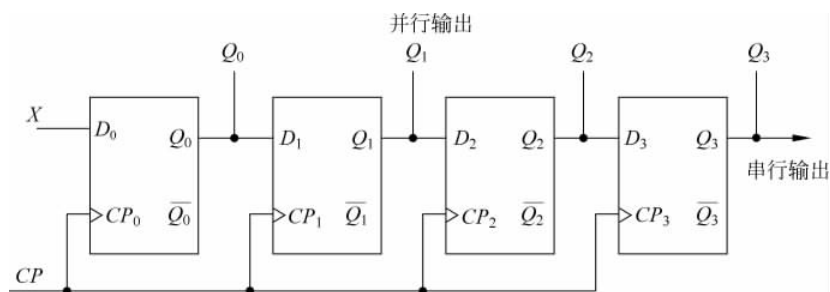


图 5-38 4 位右移移位寄存器的逻辑电路图

用同样的方法可构成左移移位寄存器,即将右边一位触发器的输出端 Q 接到左边一位触发器的 D 输入端,所有触发器共用同一时钟脉冲 CP ,如图 5-39 所示。

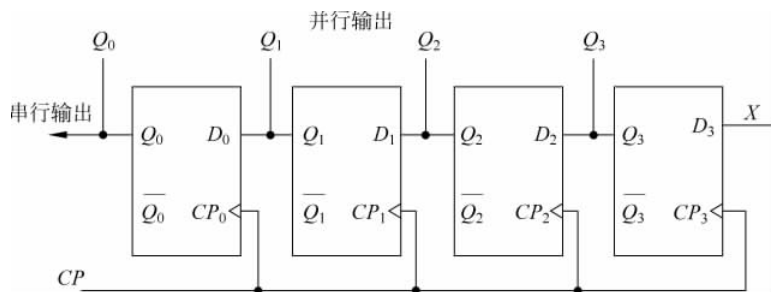


图 5-39 4 位左移移位寄存器电路

将右移移位寄存器和左移移位寄存器组合在一起,在控制电路的控制下,就可构成双向移位寄存器。

实际应用中,常常采用中规模通用移位寄存器。图 5-40 是 4 位双向移位寄存器 74LS194 的逻辑符号图。

图 5-40 中, $D_3 \sim D_0$ 为并行数据输入端, $Q_3 \sim Q_0$ 为并行数据输出端; $\overline{CR}$ 为清零端; D_{SL} 为左移串行数据输入端, D_{SR} 为右移串行数据输入端; M_1 和 M_0 为工作方式控制端。

4 位双向移位寄存器 74LS194 的功能见表 5-22。

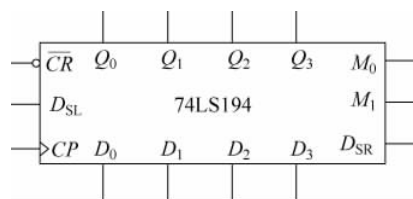


图 5-40 4 位双向移位寄存器 74LS194 的逻辑符号图

表 5-22 4 位双向移位寄存器 74LS194 的功能表

输入变量										输出变量				说明
$\overline{CR}$	M_1	M_0	CP	D_{SL}	D_{SR}	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	清零
1	×	×	0	×	×	×	×	×	×	保持				
1	1	1	↑	×	×	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	并行置数
1	0	1	↑	×	1	×	×	×	×	1	Q_0	Q_1	Q_2	右移输入 1
1	0	1	↑	×	0	×	×	×	×	0	Q_0	Q_1	Q_2	右移输入 0
1	1	0	↑	1	×	×	×	×	×	Q_1	Q_2	Q_3	1	左移输入 1
1	1	0	↑	0	×	×	×	×	×	Q_1	Q_2	Q_3	0	左移输入 0
1	0	0	×	×	×	×	×	×	×	保持				

从表 5-22 可知,74LS194 具有以下功能。

- (1) 清零功能。 $\overline{CR}=0$ 时,对寄存器清零。 $Q_0Q_1Q_2Q_3=0000$ 。
- (2) 保持功能。 $\overline{CR}=1$,且 $CP=0$ 或 $M_1M_0=00$ 时,寄存器状态保持不变。
- (3) 并行置数功能。 $\overline{CR}=1$ 且 $M_1M_0=11$ 时,在 $CP \uparrow$ 作用下, $D_3 \sim D_0$ 输入端的数据 $d_3 \sim d_0$ 并行置入寄存器。
- (4) 串行右移功能。 $\overline{CR}=1$ 且 $M_1M_0=01$ 时,在 $CP \uparrow$ 作用下,执行右移功能,可依次将加在 D_{SR} 端的数据串行右移入寄存器。
- (5) 串行左移功能。 $\overline{CR}=1$ 且 $M_1M_0=10$ 时,在 $CP \uparrow$ 作用下,执行左移功能,可依次将加在 D_{SL} 端的数据串行左移入寄存器。

5.4.3 寄存器的应用

寄存器除完成预定功能外,在数字系统逻辑设计中还能用来构成计数器和脉冲序列发生器等。例如移位寄存器,还可以用来实现序列检测、序列产生、串行加法器、数据的并串转换等。下面举一个脉冲序列发生器的例子。

【例 5-10】 用一片 74LS194 和适当的逻辑门构成产生序列 10011001 的脉冲序列发生器。

解: 序列信号发生器可由移位寄存器和反馈逻辑电路构成,其结构框图如图 5-41 所示。

由产生的序列 10011001 可知,序列发生器产生的序列周期为 $P=8$,因此需要移位寄存器的级数(触发器个数)为 3。设输出序列 $Z=a_7a_6a_5a_4a_3a_2a_1a_0$,图 5-42 列出了所要产生的序列(以 $P=8$ 周期重复,最右边信号先输出),图中数码下面的水平线段表示移位寄存器的状态。

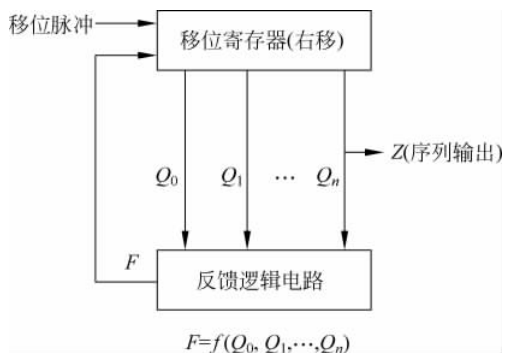


图 5-41 序列发生器结构框图

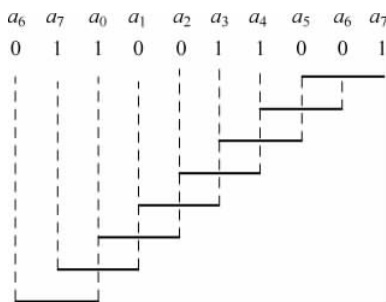


图 5-42 移位寄存器状态

将 $a_7a_6a_5=100$ 作为寄存器的初始状态,即 $Q_2Q_1Q_0=100$,从 Q_2 产生输出,并由反馈电路依次形成 $a_4a_3a_2a_1a_0$ $a_7a_6a_5$ 作为右移串行输入端 D_{SR} 的输入,这样便可在时钟脉冲作用下产生规定的输出序列。电路工作状态表见表 5-23。

表 5-23 电路工作状态表

CP	$F(D_{SR})$	Q_0	Q_1	Q_2
0	1	0	0	1
1	1	1	0	0
2	0	1	1	0
3	0	0	1	1
4	1	0	0	1
5	1	1	0	0
6	0	1	1	0
7	0	0	1	1

由表 5-23 可得到反馈函数 F 的逻辑表达式为

$$F = Q_2 Q_1 \overline{Q_0} + \overline{Q_2} Q_1 Q_0$$

根据 F 表达式和 74LS194 的功能表,可画出该序列发生器的逻辑电路图,如图 5-43 所示。

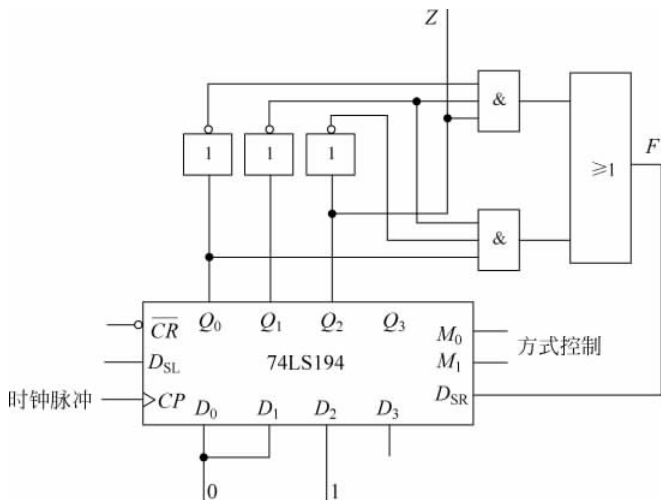


图 5-43 时序脉冲发生器的逻辑电路图

该电路的工作过程: 在 $M_1 M_0$ 的控制下, 先置寄存器 74LS194 的初始状态为 $Q_2 Q_1 Q_0 = 100$, 然后令其工作在右移串行输入方式, 在 Z 端产生需要的脉冲序列。

5.5 计 数 器

计数器是数字系统中应用最广泛的时序逻辑电路之一, 常用于定时、分频、控制和信号产生电路中, 其功能是对输入时钟脉冲 CP 的个数进行累计。累计的脉冲个数称为计数器的模(又称计数长度, 实际上就是电路的有效状态数), 用 N 表示。例如, $N=5$ 的计数器表示计数器的模为 5, 也称五进制计数器。

计数器种类很多, 特点各异。通常有以下几种不同的分类方法。

(1) 按数制分类: 二进制计数器、十进制计数器。

(2) 按计数功能分类: 加法计数器、减法计数器、加/减(可逆)计数器。

(3) 按触发器翻转方式分类: 同步计数器、异步计数器。

这几种分类方法互相融和,例如,在同步计数器中,又可以根据进位制或者计数增减进一步详细分类。

利用计数器实现电路设计时,掌握计数器芯片型号、功能及正确使用方法是非常重要的。通过器件手册、相关资料或网页的电子文档,读懂产品的符号、型号、引脚图及功能表等有关参数,进而灵活应用计数器,这是学习集成器件必须掌握的一项基本技能。

下面介绍几种常用的集成计数器芯片。

5.5.1 同步计数器

1. 同步二进制计数器

1) 同步二进制加法计数器

图 5-44 为同步四位二进制加法计数器 74LS161 的引脚图。

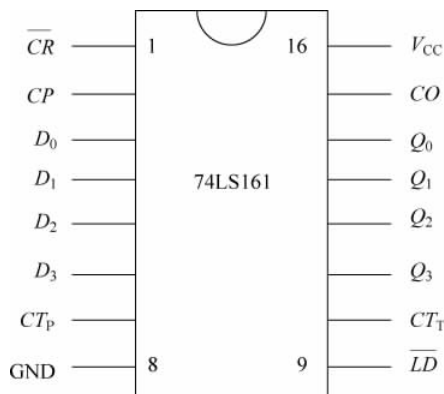


图 5-44 74LS161 的引脚图

图 5-44 中, $\overline{LD}$ 为同步置数控制端, $\overline{CR}$ 为异步清零端, CT_P 和 CT_T 为计数控制端, $D_3 \sim D_0$ 为并行数据输入端, $Q_3 \sim Q_0$ 为并行数据输出端, CO 为进位输出端。74LS161 的功能表见表 5-24。

表 5-24 74LS161 功能表

输入变量									输出变量				说 明
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零, $CO=0$
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	$CO=CT_T Q_3 Q_2 Q_1 Q_0$
1	1	1	1	↑	×	×	×	×	计数				$CO=Q_3 Q_2 Q_1 Q_0$
1	1	0	×	×	×	×	×	×	保持				$CO=CT_T Q_3 Q_2 Q_1 Q_0$
1	1	×	0	×	×	×	×	×	保持				$CO=0$

74LS161 的主要功能有:

(1) 异步清零功能。 $\overline{CR}=0$ 时,不论有无时钟脉冲信号 CP 和其他输入信号,计数器都

被清零,即 $Q_3Q_2Q_1Q_0=0000$ 。

(2) 同步并行置数功能。 $\overline{CR}=1$ 、 $\overline{LD}=0$ 时,在输入时钟脉冲信号 $CP \uparrow$ 到来时,并行输入的数据 $d_3 \sim d_0$ 被置入计数器,即 $Q_3Q_2Q_1Q_0=d_3d_2d_1d_0$ 。

(3) 加法计数功能。当 $\overline{LD}=\overline{CR}=CT_P=CT_T=1$ 时,计数器对 CP 信号按四位二进制数的自然顺序进行加法计数。

(4) 保持功能。 $\overline{LD}=\overline{CR}=1$ 且 $CT_P \cdot CT_T=0$ 时,计数器状态保持不变。这时若 $CT_P=0$ 、 $CT_T=1$,则 $CO=CT_TQ_3Q_2Q_1Q_0=Q_3Q_2Q_1Q_0$,即进位输出信号 CO 保持不变;若 $CT_P=1$ 、 $CT_T=0$,则 $CO=0$,即进位输出为 0。

2) 同步二进制加/减法计数器

74LS191 是同步四位二进制可逆(加/减)计数器。除了计数功能外,它还具有异步预置数和计数值保持功能。图 5-45 是 74LS191 的引脚图。

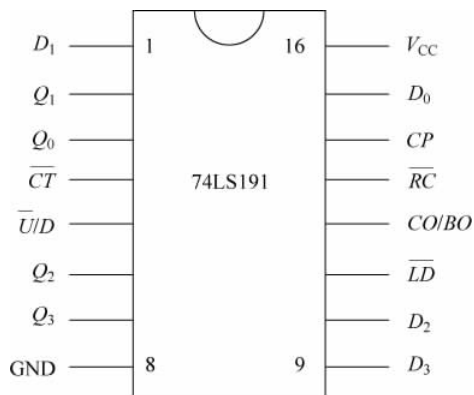


图 5-45 74LS191 的引脚图

图 5-45 中, $\overline{LD}$ 为预置控制端,具有最高优先级, $\overline{LD}$ 为“0”时,预置数据通过 $D_3 \sim D_0$ 并行输入端置入计数器,实现异步预置功能。计数器的保持功能由 $\overline{CT}$ 控制, $\overline{CT}=0$,可进行正常计数; $\overline{CT}=1$,计数器保持原状态不变。 $\overline{U/D}$ 是计数器加/减控制端, $\overline{U/D}=0$,进行加法计数; $\overline{U/D}=1$,进行减法计数。 CO/BO 为进位/借位输出端。 $\overline{RC}$ 为行波时钟输出端(低电平有效),利用 $\overline{RC}$ 端,可级联成 N 位同步计数器。当采用并行 CP 时钟控制时,则将 RC 接到后一级 $\overline{CT}$ 端;当采用并行 $\overline{CT}$ 控制时,则将 RC 接到后一级 CP 时钟端。 $\overline{RC} = \overline{CP} \cdot \overline{CO/BO} \cdot \overline{CT}$ 。当 $\overline{CT}=0$ 、 $CO/BO=1$ 时, $\overline{RC}=CP$,所以, $\overline{RC}$ 端产生的输出进位/借位脉冲与输入计数脉冲是相同的。74LS191 的功能表见表 5-25。

表 5-25 74LS191 的功能表

输入变量								输出变量				说明
$\overline{LD}$	$\overline{CT}$	$\overline{U/D}$	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	异步置数
1	0	0	$\uparrow$	×	×	×	×	加法计数				
1	0	1	$\uparrow$	×	×	×	×	减法计数				
1	1	×	×	×	×	×	×	保持				

2. 同步十进制计数器

1) 同步十进制加法计数器

图 5-46 为同步十进制加法计数器 74LS160 的引脚图。

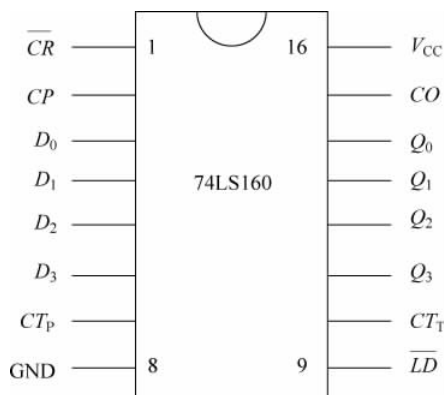


图 5-46 同步十进制加法计数器 74LS160 的引脚图

图 5-46 中, $\overline{LD}$ 为同步置数控制端, $\overline{CR}$ 为异步清零控制端, CT_P 和 CT_T 为计数控制端, $D_3 \sim D_0$ 为并行数据输入端, $Q_3 \sim Q_0$ 为并行数据输出端, CO 为进位输出端。74LS160 的功能见表 5-26。

表 5-26 74LS160 的功能表

输入变量									输出变量				说 明
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零, $CO=0$
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	同步置数 $CO=CT_T Q_3 Q_0$
1	1	1	1	↑	×	×	×	×	加法计数				$CO=Q_3 Q_0$
1	1	0	×	×	×	×	×	×	保持				$CO=CT_T Q_3 Q_0$
1	1	×	0	×	×	×	×	×	保持				$CO=0$

74LS160 的主要功能有:

(1) 异步清零功能。 $\overline{CR}=0$ 时, 不论有无时钟脉冲信号 CP 和其他输入信号, 计数器都被清零, 即 $Q_3 Q_2 Q_1 Q_0 = 0000$ 。

(2) 同步并行置数功能。 $\overline{CR}=1$ 、 $\overline{LD}=0$ 时, 在输入时钟脉冲信号 $CP \uparrow$ 到来时, 并行输入的数据 $d_3 \sim d_0$ 被置入计数器, 即 $Q_3 Q_2 Q_1 Q_0 = d_3 d_2 d_1 d_0$ 。

(3) 加法计数功能。 $\overline{LD}=\overline{CR}=CT_P=CT_T=1$ 时, 计数器对 CP 信号按照 8421 BCD 码的规律进行十进制加法计数。

(4) 保持功能。 $\overline{LD}=\overline{CR}=1$ 且 $CT_P \cdot CT_T=0$ 时, 计数器状态保持不变。这时若 $CT_P=0$ 、 $CT_T=1$, 则 $CO=CT_T Q_3 Q_0 = Q_3 Q_0$, 即进位输出信号 CO 保持不变; 若 $CT_P=1$ 、 $CT_T=0$, 则 $CO=CT_T Q_3 Q_0 = 0$, 即进位输出为 0。

2) 同步十进制加/减(可逆)计数器

图 5-47 为同步十进制加/减(可逆)计数器 74LS190 的引脚图。

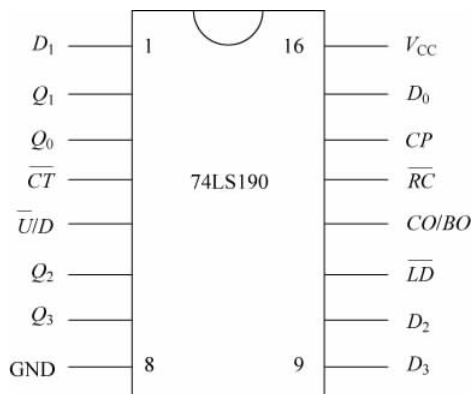


图 5-47 同步十进制加/减(可逆)计数器 74LS190 的引脚图

图 5-47 中, $\overline{LD}$ 为异步置数控制端, $\overline{CT}$ 为计数器控制端, $D_3 \sim D_0$ 为并行数据输入端, $Q_3 \sim Q_0$ 为并行数据输出端, $\overline{U/D}$ 为加/减计数器方式控制端, CO/BO 为进位输出/借位输出端, $\overline{RC}$ 为行波时钟输出端。虽然 74LS190 没有专用清零输入端, 但可借助数据 $D_3 D_2 D_1 D_0 = 0000$ 实现计数器的清零功能。

74LS190 的功能表见表 5-27。

表 5-27 74LS190 的功能表

输入变量								输出变量				说 明
$\overline{LD}$	$\overline{CT}$	$\overline{U/D}$	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	并行异步置数
1	0	0	↑	×	×	×	×	加法计数				$CO/BO = Q_3 Q_0$
1	0	1	↑	×	×	×	×	减法计数				$CO/BO = Q_3 Q_2 Q_1 Q_0$
1	1	×	×	×	×	×	×	保持				保持

74LS190 的主要功能有:

(1) 异步置数功能。 $\overline{LD} = 0$ 时, 无论有无时钟脉冲 CP 等信号输入, 并行输入的数据 $d_3 d_2 d_1 d_0$ 都被置入计数器, 即 $Q_3 Q_2 Q_1 Q_0 = d_3 d_2 d_1 d_0$ 。

(2) 加法计数功能。 $\overline{LD} = 1$ 、 $\overline{CT} = 0$ 、 $\overline{U/D} = 0$ 时, 在 $CP \uparrow$ 作用下, 进行十进制加法计数。

(3) 减法计数功能。 $\overline{LD} = 1$ 、 $\overline{CT} = 0$ 、 $\overline{U/D} = 1$ 时, 在 $CP \uparrow$ 作用下, 进行十进制减法计数。

(4) 保持功能。 $\overline{LD} = \overline{CT} = 1$ 时, 计数器保持原状态不变。

行波时钟输出端 $\overline{RC}$ 的作用是多级级联。根据级联方式的不同, $\overline{RC}$ 接后一级电路的 CP 端(串行)或接后一级电路的 $\overline{CT}$ 端(全同步计数)。

5.5.2 异步计数器

74LS290 为集成异步二-五-十进制计数器, 其内部由一个(一位)二进制计数器和一个五进制计数器组成。图 5-48 是异步二-五-十进制计数器 74LS290 的引脚图。

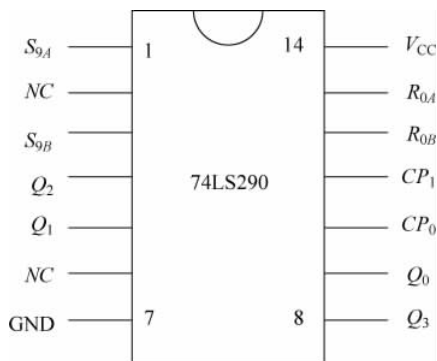


图 5-48 异步二-五-十进制计数器 74LS290 的引脚图

图中, R_{0A} 和 R_{0B} 为清零输入端, S_{9A} 和 S_{9B} 为置 9 输入端。74LS290 的功能见表 5-28。

表 5-28 74LS290 的功能表

输入变量			输出变量				说 明
$R_{0A} \cdot R_{0B}$	$S_{9A} \cdot S_{9B}$	CP	Q_3	Q_2	Q_1	Q_0	
1	0	×	0	0	0	0	清零
0	1	×	1	0	0	1	置 9
0	0	↓	计数				

74LS290 的主要功能有:

(1) 异步清零功能。 $R_0 = R_{0A} \cdot R_{0B} = 1$ 、 $S_9 = S_{9A} \cdot S_{9B} = 0$ 时, 计数器清零, 即 $Q_3Q_2Q_1Q_0 = 0000$ 。

(2) 异步置 9 功能。 $R_0 = R_{0A} \cdot R_{0B} = 0$ 、 $S_9 = S_{9A} \cdot S_{9B} = 1$ 时, 计数器置 9, 即 $Q_3Q_2Q_1Q_0 = 1001$ 。

(3) 计数功能。 $R_0 = R_{0A} \cdot R_{0B} = 0$ 、 $S_9 = S_{9A} \cdot S_{9B} = 0$ 时, 计数器处于计数工作状态, 具体分为下面 4 种情况。

① 计数脉冲由 CP_0 端输入、 Q_0 输出, 构成一位二进制计数器。

② 计数脉冲由 CP_1 端输入、 $Q_3Q_2Q_1$ 输出, 构成异步五进制计数器。

③ 将 Q_0 与 CP_1 相连, 计数脉冲由 CP_0 端输入, $Q_3Q_2Q_1Q_0$ 输出, 构成 8421 BCD 码异步十进制计数器。

④ 将 Q_3 与 CP_0 相连, 计数脉冲由 CP_1 端输入, 从高位到低位输出为 $Q_0Q_3Q_2Q_1$, 构成 5421 BCD 码异步十进制计数器。

5.5.3 计数器的应用

计数器的应用非常广泛。除了用于计数外, 以计数器为核心, 附加其他外围电路, 还可以构成实现计时、分频、产生周期序列信号等功能的电路。

下面列举一个由同步四位二进制加法计数器 74LS161 和八选一数据选择器 74LS151 构成的“00010111”序列信号发生器电路, 如图 5-49 所示。

在 CP 时钟脉冲信号的作用下, 四位二进制计数器 74LS161 低 3 位的状态按照 $000 \rightarrow$

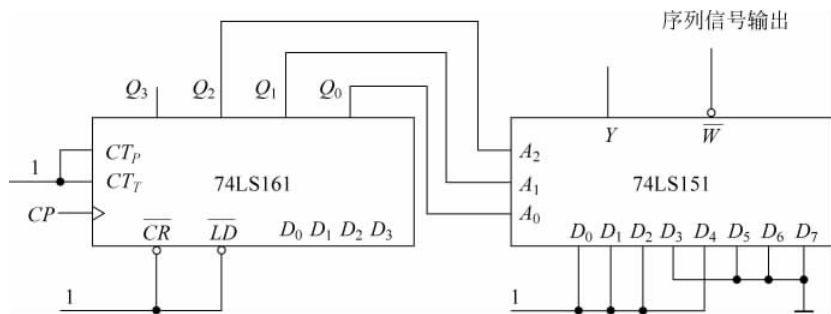


图 5-49 “00010111”序列信号发生器电路

001→010→011→100→101→110→111→000 的循环计数。由于这 3 位的输出作为八选一数据选择器 74LS151 的地址端输入变量,随着状态的变化, $\overline{D_7} \sim \overline{D_0}$ 的状态就出现在 $\overline{W}$ 端。通过定义数据选择器输入端的状态,就可以在输出端得到不同的序列信号输出。

5.6 本章小结

时序逻辑电路是一种具有记忆功能的逻辑电路,主要由组合逻辑电路和存储电路两部分组成。描述时序逻辑电路的方程有 3 种:输出方程、状态方程和激励方程。按照电路中所有触发器状态是否同时发生变化,时序逻辑电路可分为同步和异步两种;按照电路中输出信号的不同特性,时序逻辑电路可分为 Mealy 型和 Moore 型两种。

时序逻辑电路的描述方式有电路图、电路方程、状态转换真值表、状态转换图(简称状态图)、时序图(波形图)。各种描述方式从不同侧面突出电路特点,并使获得的结果形象、直观。时序逻辑电路的分析过程就是根据已知电路图,给出电路的其他描述方式,然后结合各种描述方式的特点,描述电路实现的逻辑功能。时序逻辑电路的设计是分析的逆过程,即根据命题(电路功能的文字描述)要求建立原始状态图(表),化简并分配状态编码,根据图表求出电路方程,最后根据方程画出实现命题功能要求的电路图。

计数器和寄存器是最常见的典型时序逻辑电路。计数器可以实现对输入时钟脉冲 CP 个数的累计,常用于定时、分频、控制和信号产生电路中。寄存器主要用来暂时存放数码、运算结果或指令等二进制信息,也可以依靠移位功能实现数据的串-并转换、数据运算及处理等功能。

5.7 习题和自测题

习题(答案见附录 D)

1. 时序逻辑电路和组合逻辑电路有何不同? 描述时序逻辑电路需要几种不同的方程?
2. Moore 型同步时序逻辑电路和 Mealy 型同步时序逻辑电路有何区别?
3. 同步时序逻辑电路与异步时序逻辑电路有何不同?
4. 同步时序逻辑电路分析的步骤是什么?
5. 做出“1011”序列检测器的状态图。典型的输入输出序列如下。

输入 X: 1010101101100011110110001

输出 Z: 0000000100100000000010000

6. 什么是寄存器？什么是计数器？计数器可以分为几类？

7. 分析图 5-50 所示的同步时序逻辑电路。写出电路方程,列出状态转换真值表,做出状态图和时序图。设电路初始状态 $Q_2Q_1Q_0=000$ 。

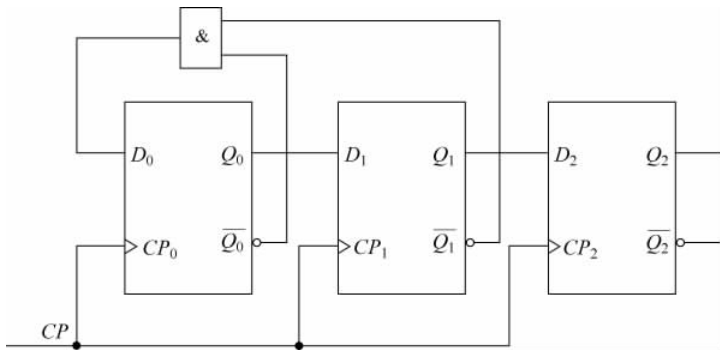


图 5-50 习题 7 同步时序逻辑电路

8. 分析图 5-51 所示的同步时序逻辑电路。写出电路方程,列出状态转换真值表,做出状态图和时序图,并说明该电路的功能。

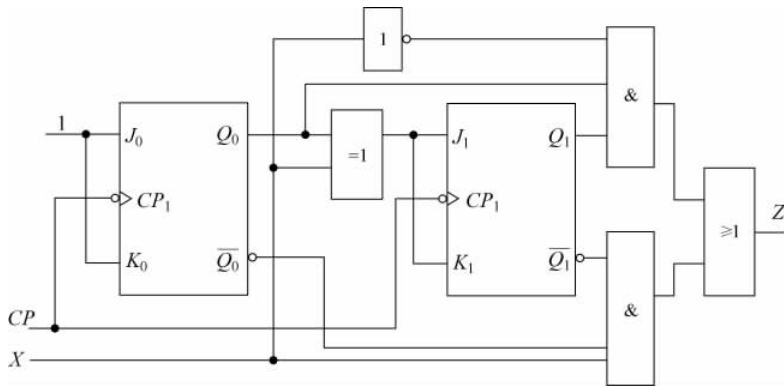


图 5-51 习题 8 同步时序逻辑电路

9. 分析图 5-52 所示的异步时序逻辑电路,并说明该电路的功能。

10. 分析图 5-53 所示的异步计数器。

11. 试用 JK 触发器设计一个可控计数器, 当控制端 $C=1$ 时, 实现 $000 \rightarrow 100 \rightarrow 110 \rightarrow 111 \rightarrow 011 \rightarrow 000$; 当 $C=0$ 时, 实现 $000 \rightarrow 110 \rightarrow 010 \rightarrow 011 \rightarrow 111 \rightarrow 000$ 。

12. 试用 JK 触发器设计一个“0010”串行序列检测器(可重叠)。

13. 试用 JK 触发器设计一个同步六进制减法计数器。

14. 试用 D 触发器设计一个同步八进制加法计数器。

15. 试用 74LS160 构成一个能对时钟脉冲进行 100 分频的分频电路。

16. 试用 74LS160 和 74LS151(八选一数据选择器)构成“11010”序列信号发生器,并画出电路图。

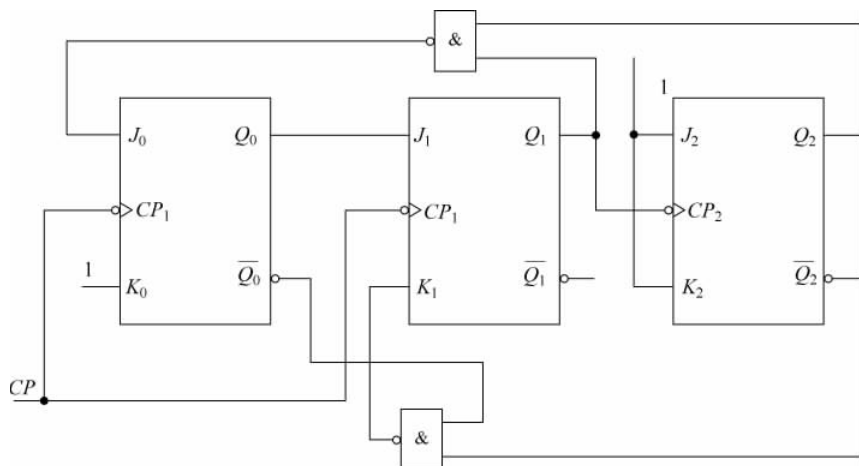


图 5-52 习题 9 异步时序逻辑电路

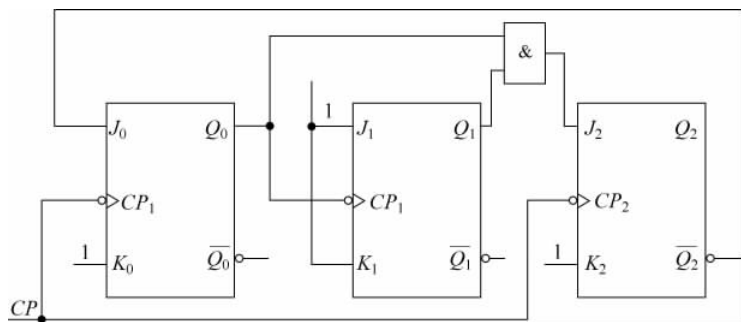


图 5-53 习题 10 异步时序逻辑电路

17. 图 5-54 是一个十字路口交通信号灯的示意图。要求：

① 平时的状态为：主干道绿灯亮、支干道红灯亮。为了保持主干道通畅，主干道绿灯亮的时间不得少于 60s。

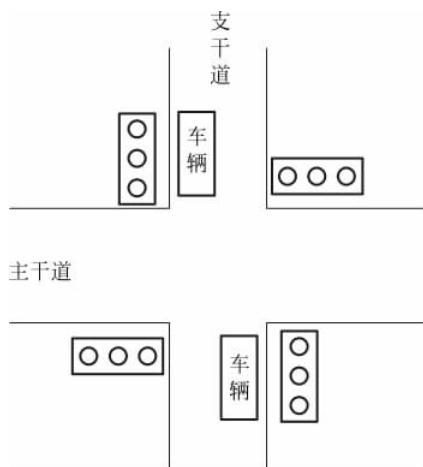


图 5-54 习题 17 十字路口交通信号灯的示意图

② 当支干道有车,且主干道绿灯亮的时间达到 60s 后,转到主干道红灯亮、支干道绿灯亮的状态,但支干道绿灯亮的时间不得超过 30s。

③ 主、支干道绿灯变红灯时,黄灯先亮 5s。

请设计该交通信号灯的同步时序控制电路。

18. 分析图 5-55 所示电路的功能。

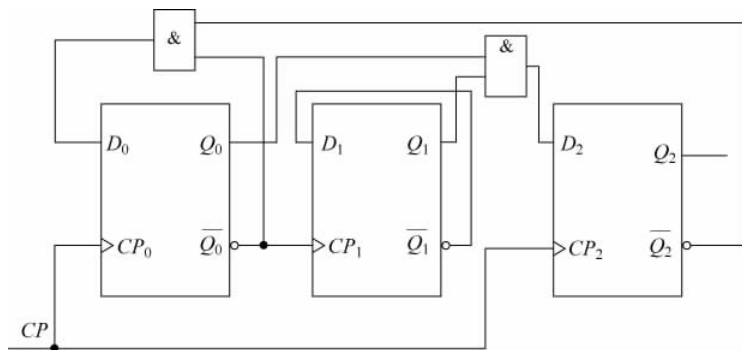


图 5-55 习题 18 异步时序逻辑电路

19. 设电路状态转换图如图 5-56 所示,试利用 JK 触发器设计一个异步计数器,并检查其自启动能力。

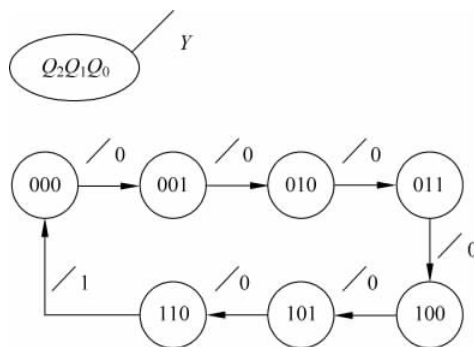


图 5-56 习题 19 电路状态转换图

20. 设计一个异步十进制加法计数器。

自测题(答案见附录 D)

一、单选题

- 同步时序逻辑电路和异步时序逻辑电路比较,差异在于后者()。
 - 没有稳定状态
 - 没有统一的时钟脉冲控制
 - 输入数据是异步的
 - 输出数据是异步的
- n 个触发器可以构成能寄存()位二进制数码的寄存器。
 - n
 - $2n$
 - 2^n
 - n^2
- 时序逻辑电路中对于自启动能力的描述是()。
 - 无效状态自动进入有效循环,称为具有自启动能力
 - 无效状态在时钟脉冲作用下进入有效循环,称为具有自启动能力

- (C) 有效状态在时钟脉冲作用下进入有效循环,称为具有自启动能力
 (D) 有效状态自动进入有效循环,称为具有自启动能力
4. 时序逻辑电路中不可缺少的部分为()。
 (A) 组合电路 (B) 记忆电路
 (C) 同步时钟信号 (D) 组合电路和记忆电路
5. Moore 型时序逻辑电路的输出()。
 (A) 与当前输入有关 (B) 与当前输入和状态都有关
 (C) 与当前状态有关 (D) 与当前输入和状态都无关
6. 下列电路中,不属于时序逻辑电路的是()。
 (A) 计数器 (B) 触发器 (C) 寄存器 (D) 译码器
7. ()电路在任何时刻只能有一个输入端有效。
 (A) 一般二进制编码器 (B) 优先编码器
 (C) 七段显示译码器 (D) 二进制译码器
8. 某时序逻辑电路的波形如图 5-57 所示,由此判定该电路是()。
 (A) 二进制计数器 (B) 十进制计数器 (C) 移位寄存器 (D) 以上均不是

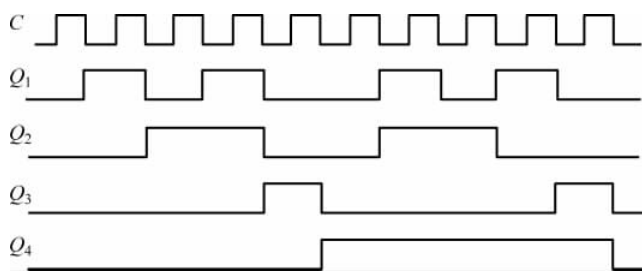


图 5-57 自测题 8 的电路

9. 利用 1MHz 的时钟频率,8 个数位可以()并行进入移位寄存器中。
 (A) 在 1 个触发器的传输延迟时间内 (B) 在 $1\mu\text{s}$ 内
 (C) 在 $8\mu\text{s}$ 内 (D) 在 8 个触发器的传输延迟时间内
10. 移位寄存器中的一级由()组成。
 (A) 计数器 (B) 译码器 (C) 触发器 (D) 加法器
11. 计数器的模是()。
 (A) 触发器的个数 (B) 一秒钟内再循环的次数
 (C) 状态的最大可能个数 (D) 时序中实际的状态个数
12. 4 位二进制计数器的最大模是()。
 (A) 4 (B) 8 (C) 16 (D) 32
13. 模 12 计数器必须具有()。
 (A) 12 个触发器 (B) 4 个触发器 (C) 3 个触发器 (D) 5 个触发器
14. 异步计数器和同步计数器的区别是()。
 (A) 时序中状态的个数 (B) 时钟脉冲的方法
 (C) 使用的触发器类型 (D) 模的数值

15. 3 个级联的模 10 计数器的整体模是()。
- (A) 1000 (B) 100 (C) 30 (D) 10000
16. 一个 10MHz 的时钟频率应用在一个级联计数器上,该级联计数器有一个模 5 计数器、模 8 计数器和两个模 10 计数器。最低输出频率可能是()。
- (A) 2.5kHz (B) 5kHz (C) 10kHz (D) 25kHz
17. 一个 4 位二进制加/减计数器处于二进制状态 0。那么,在减模式中的下一个状态是()。
- (A) 0001 (B) 1000 (C) 1110 (D) 1111
18. 模 13 二进制计数器的终端计数值是()。
- (A) 0000 (B) 1100 (C) 1101 (D) 1111
19. 为了将 1B 数据并行载入一个具有同步载入的移位寄存器中,必须有()。
- (A) 1 个时钟脉冲
(B) 8 个时钟脉冲
(C) 数据中的每个 1 都要有 1 个时钟脉冲
(D) 数据中的每个 0 都要有 1 个时钟脉冲
20. 为了将 1B 数据串行移位到移位寄存器中,必须有()。
- (A) 1 个时钟脉冲 (B) 8 个时钟脉冲
(C) 1 个置数脉冲 (D) 1 个复位脉冲
21. 当一个 8 位串行输入/串行输出移位寄存器用作 $24\mu\text{s}$ 的时间延迟时,时钟频率必须是()。
- (A) 41.67kHz (B) 8kHz (C) 125kHz (D) 333kHz
22. 一组数位 10110101 串行移位(首先移动最右边的位)到一个 8 位并行输出移位寄存器中,移位寄存器的初始状态为 11100100。在两个时钟脉冲后,该寄存器的状态为()。
- (A) 00101101 (B) 01011110 (C) 01111001 (D) 10110101
23. 使用 100kHz 的时钟频率,8 个数位可以在()内串行进入移位寄存器中。
- (A) $80\mu\text{s}$ (B) 80ms (C) $10\mu\text{s}$ (D) $8\mu\text{s}$
24. 描述时序逻辑电路用的方法,下面不正确的是()。
- (A) 时序图 (B) 曲线图
(C) 状态图 (D) 状态转换真值表
25. 一个由触发器组成的 4 位异步计数器,每个计数器从时钟到 Q 输出的时间延迟为 12ns。计数器从 1111 循环回到 0000,花费的总时间是()。
- (A) 12ns (B) 24ns (C) 36ns (D) 48ns
26. 时序逻辑电路输出状态的改变()。
- (A) 仅与该时刻的输入信号有关 (B) 仅与时序逻辑电路的原状态有关
(C) 答案(A)、(B)都是 (D) 答案(A)、(B)都不是
27. Moore 和 Mealy 型时序逻辑电路的本质区别是()。
- (A) 没有输入变量
(B) 当时的输出只和当时电路的状态有关,和当时的输入无关
(C) 没有输出变量

- (D) 当时的输出只和当时的输入有关,和当时的电路状态无关
28. 8 位移位寄存器,串行输入时经()个脉冲后,8 位数码全部移入寄存器中。
(A) 1 (B) 2 (C) 4 (D) 8
29. 把一个五进制计数器与一个四进制计数器串联,可得到()进制计数器。
(A) 4 (B) 5 (C) 20 (D) 9
30. 寄存器在电路组成上的特点是()。
(A) 有 CP 和数码输入端 (B) 有 CP 输入端,无数码输入端
(C) 无 CP 输入端,有数码输入端 (D) 以上都不对

二、判断题

1. 在一个异步计数器中,所有触发器的状态在同一时间变化。 ()
2. 一个十进制计数器有 16 种状态。 ()
3. 如果当前状态为 1000,那么一个在减模式时的 4 位加/减计数器的下一个状态是 0111。 ()
4. 为了获得 100 的模,需要 10 个十进制计数器。 ()
5. 移位寄存器由一组触发器组成。 ()
6. 移位寄存器有数据存储和数据移位的功能。 ()
7. 在串行移位寄存器中,几个数据位同时被输入。 ()
8. 一个移位寄存器可以具有并行和串行输出。 ()
9. 在双向移位寄存器中,存储的数据可以右移,也可以左移。 ()
10. 一个移位寄存器可以作为一个时间延迟电路。 ()