

# 第3章

## 层叠应用及阻抗控制



第3集  
微课视频

随着 SMT 的发展及电子器件的小型化、集成化、智能化, PCB 设计必然向着多层、高密度布线的方向发展, 而电路的集成度越来越高, 也将面临信号的传输频率和速率越来越高, PCB 布线已不仅仅是器件的连接载体, 还应起到传输高性能信号的作用, 将信号完整、准确地传送到接收器件。

多层 PCB 层叠结构是影响 PCB 电磁兼容 (Electromagnetic Compatibility, EMC) 性能的一个重要因素, 也是抑制电磁干扰的一个重要手段。阻抗不连续是引起信号反射、失真的根本原因, 因此, 阻抗控制在高速互连设计过程中的重要性不言而喻。Altium Designer 24 提供了高级的层堆栈管理器, 通过图层堆栈管理工具可轻松定义并管理板层, 同时还配备了阻抗计算器和材料库, 用户可根据设计需求创建多个阻抗配置文件, 在设计过程中估算阻抗, 并应用到规则中。

本章将对 PCB 的层叠应用和阻抗控制进行详细介绍, 让用户能够学会选择合适的层叠结构, 并进行高速信号的阻抗计算, 以满足 PCB 设计的电磁兼容及信号完整性。

### 学习目标:

- 了解常用层叠基本原则及常用方案。
- 了解层叠中正片、负片的区别和负片的分割方法。
- 掌握层叠的添加方法。
- 了解阻抗计算相关条件及方法。

## 3.1 层叠的添加及应用

PCB 的运用越来越广泛, 复杂程度越来越高, 电子元件在 PCB 上也越来越密集, 电气干扰成了不可避免的问题。在多层板的设计运用中, 为了避免电气因素的干扰, 信号层和电源层必须分离。一个好的设计方案, 可以在多层板中大大减少 EMI 及串扰的影响。

### 3.1.1 层叠的定义

在设计多层 PCB 之前, 设计者需要根据电路的规模、电路板的尺寸

和电磁兼容（EMC）的要求来添加必要的信号走线层、电源层和地层，即确定所采用的电路板结构，这就是设计多层板的简单概念。

确定层数之后，再确定内电层的放置位置以及如何在这些层上分布不同的信号，这就是多层 PCB 层叠结构的选择问题。层叠结构是影响 PCB 电磁兼容性能的一个重要因素。

### 3.1.2 多层板的组成结构

单面板是只有一面覆铜的印制板，多采用纸质酚醛基覆铜箔板制作。双面板就是双面都有覆铜的印制板，通常采用环氧玻璃布覆铜箔板制造。多层板是内部含有多个导线层的印制板，由芯板和半固化片互相层叠压合而成。

芯板（Core）：也叫覆铜板，是将补强材料浸以树脂，一面或两面覆以铜箔，经热压而成的板状材料，用于多层板生产时被称为芯板，是构成印制电路板的重要的基本材料，故又称基材。

半固化片（Prepreg）：又称为 PP 片，主要由树脂和增强材料组成，是多层板生产中的主要材料之一，起到黏合芯板、调节板厚的作用。

一般多层板最外边的线路层（顶底层）使用单独的铜箔层作为外层铜箔，与其邻近的两个介质层通常使用 PP 片。以 8 层板为例演示多层板的压合情况，如图 3-1 所示。

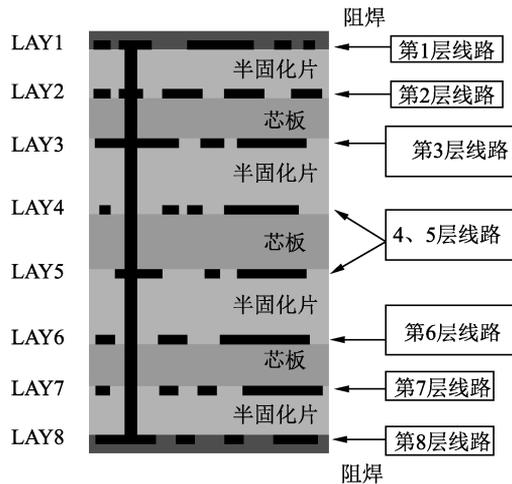


图 3-1 8 层板层叠情况

### 3.1.3 层叠的基本原则

PCB 层叠设计不是简单的层堆叠，地层和电源层的排布尤为重要。板的层数不是越多越好，也不是越少越好。从布线方面来说，层数越多越利于布线，但是制板成本和难度也会随之增加。对于生产厂家来说，层叠结构对称与否是 PCB 制造时需要关注的重点，所以层数的选择需要考虑各方面的需求，以达到最佳的平衡。

一般情况下，根据以下几个原则进行层叠设计：

- (1) 元件面、焊接面为完整的地平面（屏蔽）。

- (2) 无相邻平行布线层。
- (3) 所有信号层尽可能与地平面相邻。
- (4) 关键信号与地层相邻，不跨越分割平面。
- (5) 主电源层有一相邻地平面。

### 3.1.4 常见的层叠方案

根据层叠的几个原则，可以合理地安排多层板电路中各层的顺序。本节将列出4层板、6层板和8层板的常见层叠结构。

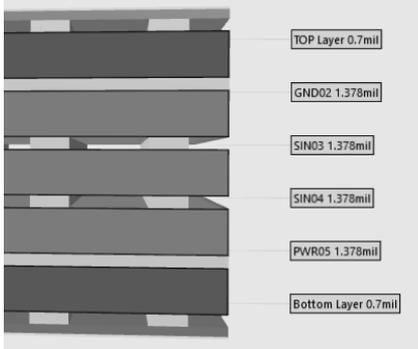
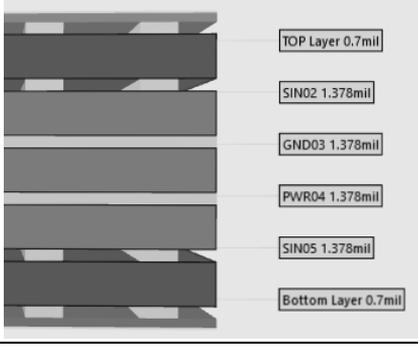
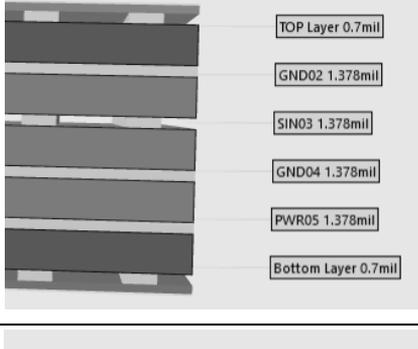
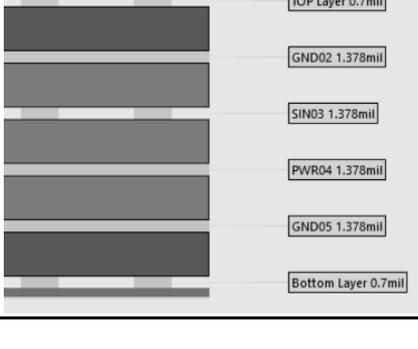
(1) 常见4层板层叠结构如表3-1所示。通过对比，优选方案1（业内4层板常用方案），可选方案3。

表 3-1 常见4层板层叠结构

方案	方案结构	方案分析
方案 1		在元件面下有一地平面，关键信号优先布在TOP层
方案 2		缺陷： <ul style="list-style-type: none"> <li>● 电源、地相距过远，电源平面阻抗过大</li> <li>● 电源、地平面由于元件焊盘等影响，极不完整</li> <li>● 由于参考面不完整，信号阻抗不连续</li> </ul>
方案 3		主要器件或关键信号在bottom布局布线

(2) 常见 6 层板的层叠结构如表 3-2 所示。

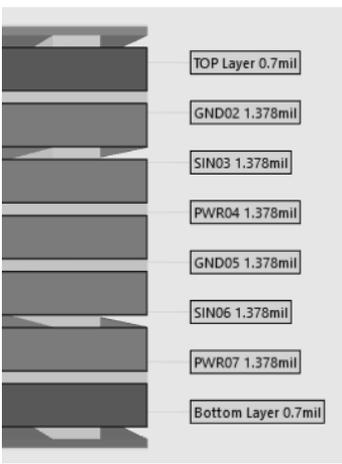
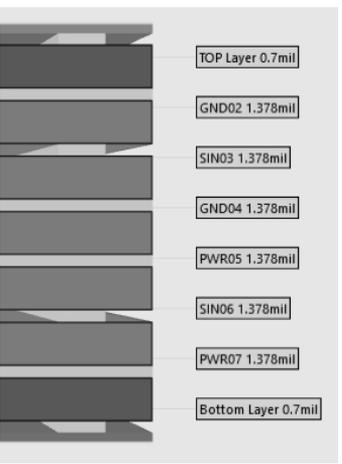
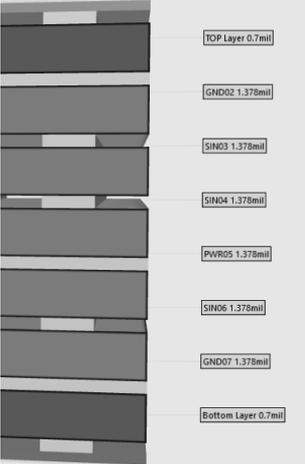
表 3-2 常见 6 层板的层叠结构

方案	方案结构	方案分析
方案 1		<p>优点:</p> <ul style="list-style-type: none"> <li>● 采用了 4 个信号层和两个内部电源/接地层, 具有较多的信号层, 有利于元器件之间的布线工作</li> </ul> <p>缺陷:</p> <ul style="list-style-type: none"> <li>● 电源层和地线层分隔较远, 没有充分耦合</li> <li>● 信号层 SIN03 和 SIN04 直接相邻, 信号隔离性不好, 容易发生串扰</li> </ul>
方案 2		<p>同方案1, 具有较多的信号层, 有利于元器件之间的布线工作</p> <p>信号层 TOP Layer、SIN02 和 SIN05、Bottom Layer 直接相邻, 信号隔离性不好, 容易发生串扰</p>
方案 3		<p>缺陷:</p> <ul style="list-style-type: none"> <li>● 可供布线的层面减少了</li> </ul> <p>优点:</p> <ul style="list-style-type: none"> <li>● 电源层和地线层紧密耦合</li> <li>● 每个信号层都与内电层直接相邻, 与其他信号层均有有效的隔离, 不易发生串扰</li> <li>● SIN03 和内电层 GND 相邻, 可以用来传输高速信号。两个内电层可以有效地屏蔽外界对 SIN03 层信号的干扰和 SIN03 层信号对外界的干扰</li> </ul>
方案 4		<p>同方案3类似</p> <p>电源层和地线层紧密耦合</p> <p>每个信号层都与内电层直接相邻, 与其他信号层均有有效的隔离, 不易发生串扰</p>

通过对比可知优选方案3和方案4。考虑到实际的设计成本，板子走线密度较大时，常用方案1。在使用方案1时，由于SIN03和SIN04相邻，很容易发生串扰，布线时要尽可能使两个平面的走线形成正交结构，即相互垂直，以减少串扰。

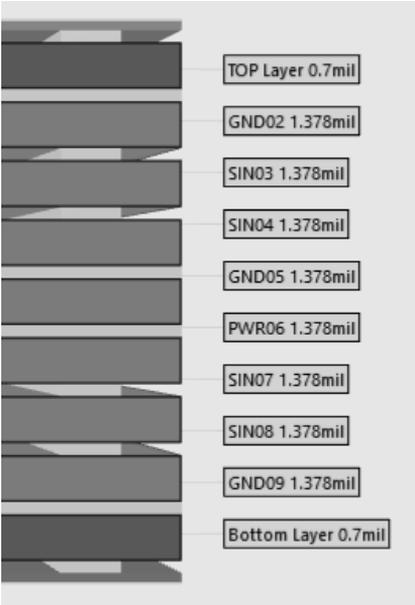
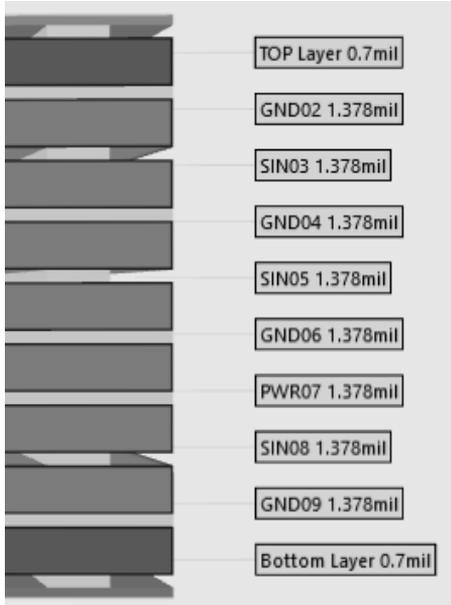
(3) 常见8层板层叠结构如表3-3所示，优选方案1和方案2。

表3-3 常见8层板层叠结构

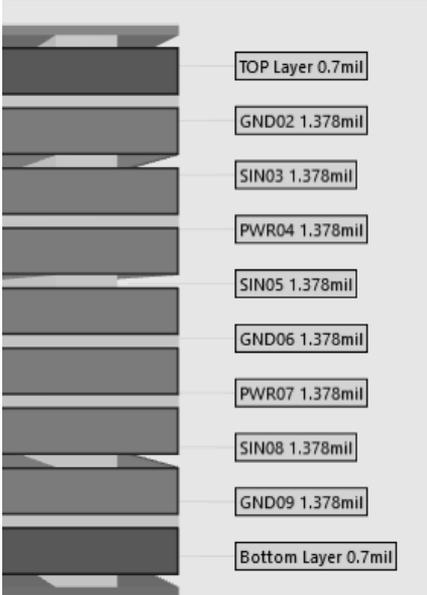
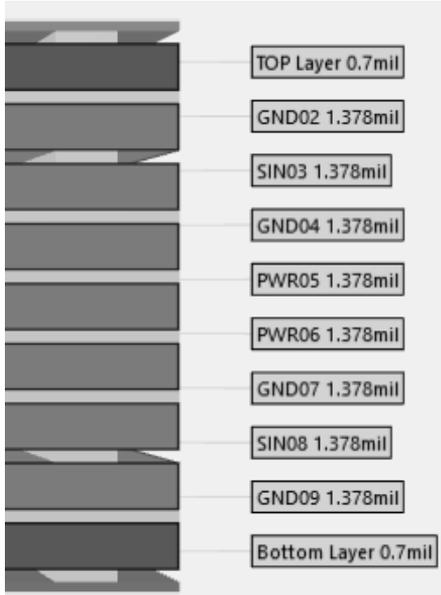
方案 1	方案 2	方案 3
		
<ul style="list-style-type: none"> <li>TOP Layer 0.7mil</li> <li>GND02 1.378mil</li> <li>SIN03 1.378mil</li> <li>PWR04 1.378mil</li> <li>GND05 1.378mil</li> <li>SIN06 1.378mil</li> <li>PWR07 1.378mil</li> <li>Bottom Layer 0.7mil</li> </ul>	<ul style="list-style-type: none"> <li>TOP Layer 0.7mil</li> <li>GND02 1.378mil</li> <li>SIN03 1.378mil</li> <li>GND04 1.378mil</li> <li>PWR05 1.378mil</li> <li>SIN06 1.378mil</li> <li>PWR07 1.378mil</li> <li>Bottom Layer 0.7mil</li> </ul>	<ul style="list-style-type: none"> <li>TOP Layer 0.7mil</li> <li>GND02 1.378mil</li> <li>SIN03 1.378mil</li> <li>SIN04 1.378mil</li> <li>PWR05 1.378mil</li> <li>SIN06 1.378mil</li> <li>GND07 1.378mil</li> <li>Bottom Layer 0.7mil</li> </ul>

(4) 常见10层板层叠结构如表3-4所示，建议使用方案2和方案3，可用方案1和方案4。

表3-4 常见10层板层叠结构

方案 1	方案 2
	
<ul style="list-style-type: none"> <li>TOP Layer 0.7mil</li> <li>GND02 1.378mil</li> <li>SIN03 1.378mil</li> <li>SIN04 1.378mil</li> <li>GND05 1.378mil</li> <li>PWR06 1.378mil</li> <li>SIN07 1.378mil</li> <li>SIN08 1.378mil</li> <li>GND09 1.378mil</li> <li>Bottom Layer 0.7mil</li> </ul>	<ul style="list-style-type: none"> <li>TOP Layer 0.7mil</li> <li>GND02 1.378mil</li> <li>SIN03 1.378mil</li> <li>GND04 1.378mil</li> <li>SIN05 1.378mil</li> <li>GND06 1.378mil</li> <li>PWR07 1.378mil</li> <li>SIN08 1.378mil</li> <li>GND09 1.378mil</li> <li>Bottom Layer 0.7mil</li> </ul>

续表

方案 3	方案 4
 <p>TOP Layer 0.7mil</p> <p>GND02 1.378mil</p> <p>SIN03 1.378mil</p> <p>PWR04 1.378mil</p> <p>SIN05 1.378mil</p> <p>GND06 1.378mil</p> <p>PWR07 1.378mil</p> <p>SIN08 1.378mil</p> <p>GND09 1.378mil</p> <p>Bottom Layer 0.7mil</p>	 <p>TOP Layer 0.7mil</p> <p>GND02 1.378mil</p> <p>SIN03 1.378mil</p> <p>GND04 1.378mil</p> <p>PWR05 1.378mil</p> <p>PWR06 1.378mil</p> <p>GND07 1.378mil</p> <p>SIN08 1.378mil</p> <p>GND09 1.378mil</p> <p>Bottom Layer 0.7mil</p>

### 3.1.5 正片和负片的概念

正片就是用于走线的信号层，在 PCB 上可用 Track、Polygon、Fill 等进行走线和大面积铺铜，例如 Top Layer 和 Bottom Layer 就是正片，即凡是画线铺铜的地方铜被保留，没有画线的地方铜被清除，如图 3-2 所示。

负片（平面）和正片的工艺做法正好相反，凡是画线的地方都没有铜，没有画线的地方铜被保留，常用于电源层和地层，如图 3-3 所示。Altium Designer 在 3D 情况下可明显区分正、负片。



图 3-2 正片层走线示意图

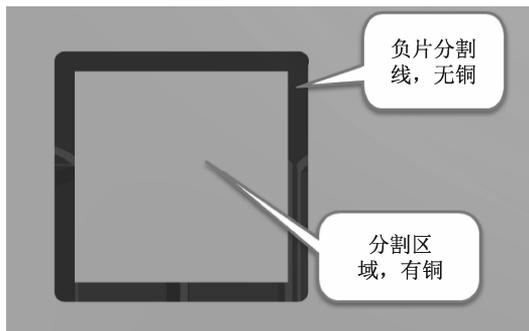


图 3-3 负片层示意图

电源层和地层也可以使用正片，使用负片的好处是，负片默认为大面积的铺铜，在设计过程中，添加过孔或者改变铺铜区域不需要对铜皮进行更新，节省操作时间。

### 3.1.6 3W 原则/20H 原则

**3W 原则:** 为了减少线间串扰, 应保证线间距足够大, 如果线中心距不少于 3 倍线宽时, 则可保持 70% 的线间电场不互相干扰, 称为 3W 原则 (W 为线宽)。线宽如要达到 98% 的电场不互相干扰, 可使用 10W 原则, 如图 3-4 所示。

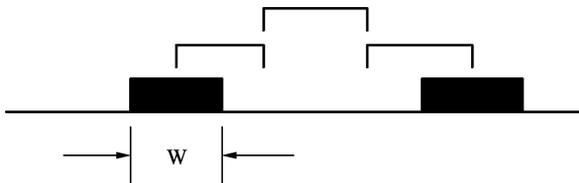


图 3-4 3W 原则

在实际设计过程中, 经常出现因走线过密而无法实现所有走线满足 3W 间距的情况, 设计者可优先针对敏感及高速信号采用 3W 原则进行处理, 比如时钟信号、复位信号等。

**20H 原则:** 为了抑制边缘辐射效应, 电源层相对地层内缩 20H (H 为两个平面层的距离) 的距离, 即确保电源层的边缘要比 0V 平面边缘至少缩入相当于两个平面之间层间距离的 20 倍。在板的边缘会向外辐射电磁干扰, 将电源层内缩, 使得电场只在接地层的范围内传导, 有效地提高了 EMC。若内缩 20H 则可以将 70% 的电场限制在接地边沿内; 内缩 100H 则可以将 98% 的电场限制在接地边沿内, 如图 3-5 所示。

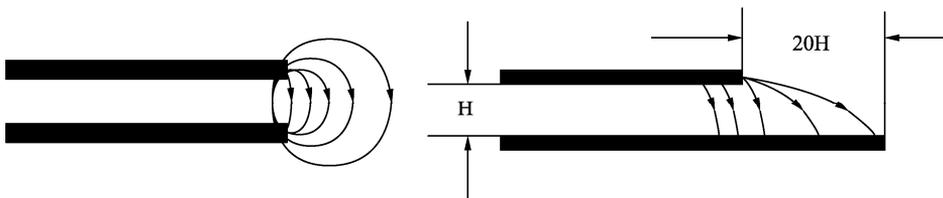


图 3-5 20H 原则示意图

### 3.1.7 层叠的添加和编辑

Altium Designer 中, 层的添加和编辑是在层叠管理器中实现的。其具体步骤如下。

(1) 执行菜单栏中“设计”→“层叠管理器”命令, 或按快捷键 D+K, 如图 3-6 所示, 即可打开层叠管理器, 如图 3-7 所示, 从图中左侧的#栏中可看出这是一个双面板。

图中各参数设置如下。

- **Name:** 层名称, 可更改, 一般是以“层的作用+层的序号”命名, 便于层的识别。比如电源层 (地平面), 设置为 PWR (GND)+层序号; 信号走线层, 设置为 SIN (SIG)+层序号。
- **Material:** 每个层所使用的材料, 可单击右侧的按钮进行选择修改。



图 3-6 打开层叠管理器

#	Name	Material	Type	Thickness	Weight	Pullback distance
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask	0.4mil		
1	Top Layer		Signal	1.4mil	1oz	
	Dielectric 1		Prepreg	5mil		
2	Bottom Layer		Signal	1.4mil	1oz	
	Bottom Solder	Solder Resist	Solder Mask	0.4mil		
	Bottom Overlay		Overlay			

图 3-7 层叠管理器

- Type: 板层的样式, 针对导电层, 可设置为 Plane 或 Signal。
- Thickness: 层厚度, 根据实际需要进行设置。
- Weight: 层的铜厚, 可根据实际要求设置单位为  $oz/ft^2$ , 此处简写为 oz,  $1oz/ft^2$  的铜厚度约为 1.35mil)。
- Pullback distance: 电源平面和地平面的内缩值, 可修改, 一般遵循 20H 原则。

**注意:** 有些参数被软件隐藏了, 用户若想显示需要的参数, 将光标放到任意一个参数

名称上, 右击, 会显示 Select columns 项, 如图 3-8 所示。然后单击 Select columns..., 进入 Select columns 对话框, 单击需要显示的参数左侧的  按钮, 如图 3-9 所示, 即可将该参数显示在层叠管理器中。



图 3-8 选择参数

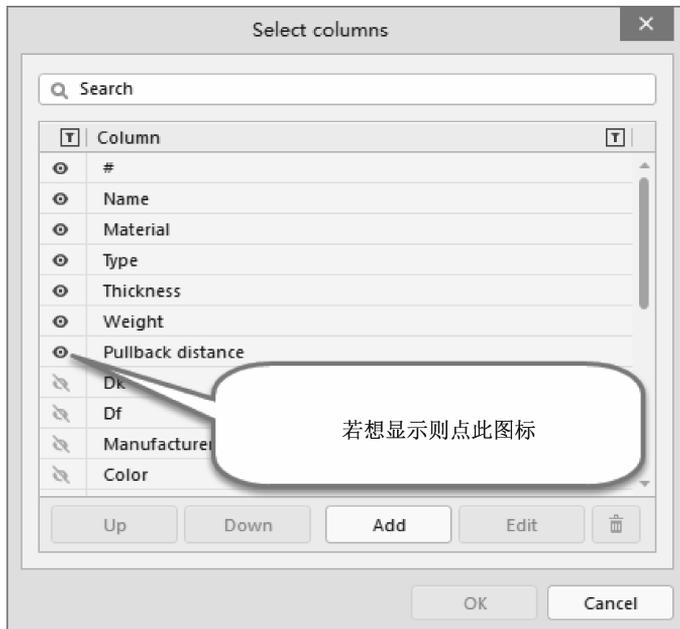


图 3-9 Select columns 对话框

(2) 将光标悬放在 Top Layer 处, 右击, 从弹出的快捷菜单中执行 Insert layer below →Plane 命令, 如图 3-10 所示, 即可在其下方添加一个平面层。连续添加直到 6 层板为止, 如图 3-11 所示。



图 3-10 添加平面

**注意:** Insert layer above/below (在上方/下方添加层) 选项中可选择层的样式, 分别为 Signal(布线层/正片)、Plane(平面/负)、Core(芯板)、PrePreg(半固化片)、Copper plating(镀铜)。

#	Name	Material	Type
	Top Overlay		Overlay
	Top Solder	Solder Resist	Solder Mask
1	Top Layer		Signal
	Dielectric 3	PP-006	Prepreg
2	Layer 2	CF-004	Plane
	Dielectric 2	PP-006	Prepreg
3	Layer 1	CF-004	Signal
	Dielectric 4	PP-006	Prepreg
4	Layer 3	CF-004	Plane
	Dielectric 5	PP-006	Prepreg
5	Layer 4	CF-004	Plane
	Dielectric 1		Prepreg
6	Bottom Layer		Signal
	Bottom Solder	Solder Resist	Solder Mask
	Bottom Overlay		Overlay

图 3-11 6 层板层叠

(3) 在 2、3、4、5 层的 Name 文本框中双击, 将层名更改为便于识别的层名称, 6 层板层叠最终效果如图 3-12 所示。

（4）添加层的过程中，有可能会同时添加两个信号层或平面，这是因为启用了软件层叠中的层叠对称功能。在 Properties 面板中的 Board 选项组中，取消选中 Stack Symmetry（堆栈对称），如图 3-13 所示，此时添加层时可一个个添加，否则将成对添加。

#	Name	Material	Type
	Top Overlay		Overlay
	Top Solder	Solder Resist	Solder Mask
1	Top Layer		Signal
	Dielectric 3	PP-006	Prepreg
2	GND02	CF-004	Plane
	Dielectric 2	PP-006	Prepreg
3	SIN03	CF-004	Signal
	Dielectric 4	PP-006	Prepreg
4	PWR04	CF-004	Plane
	Dielectric 5	PP-006	Prepreg
5	GND05	CF-004	Plane
	Dielectric1		Dielectric
6	Bottom Layer		Signal
	Bottom Solder	Solder Resist	Solder Mask
	Bottom Overlay		Overlay

图 3-12 6 层板层叠最终效果

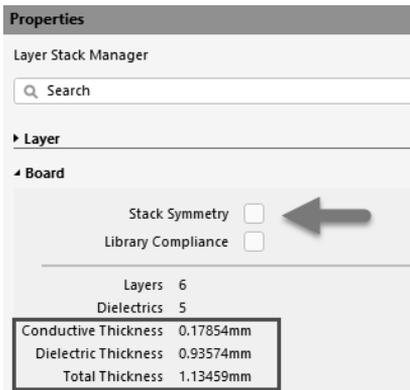


图 3-13 板层信息

（5）从图 3-13 也可得到板层的厚度信息，Altium Designer 中新增的.Total\_Thickness 特殊字符串，可用于显示电路板的整体厚度，如图 3-14 所示。



图 3-14 特殊字符串显示板厚

**注意：**若电路板包含多层堆栈，使用.Total\_Thickness (SubstackName) 特殊字符串显示所选子堆栈的厚度。例如软硬结合板的.Total\_Thickness (flex) 或.Total\_Thickness (Rigid)。

### 3.1.8 平面的分割处理

平面的分割可通过执行菜单栏中“放置”→“线条”命令或按快捷键 P+L 处理。放置的线条实际上就是两个平面之间的安全间距，所以不宜过细，可选择在 15mil 以上，特别是遇到模拟、数字电源的分割和压差比较大的电源平面，分割线应适当加粗（注：若使用的

是放置 Track，会自动跳到信号层)。平面分割示意图如图 3-15 所示。

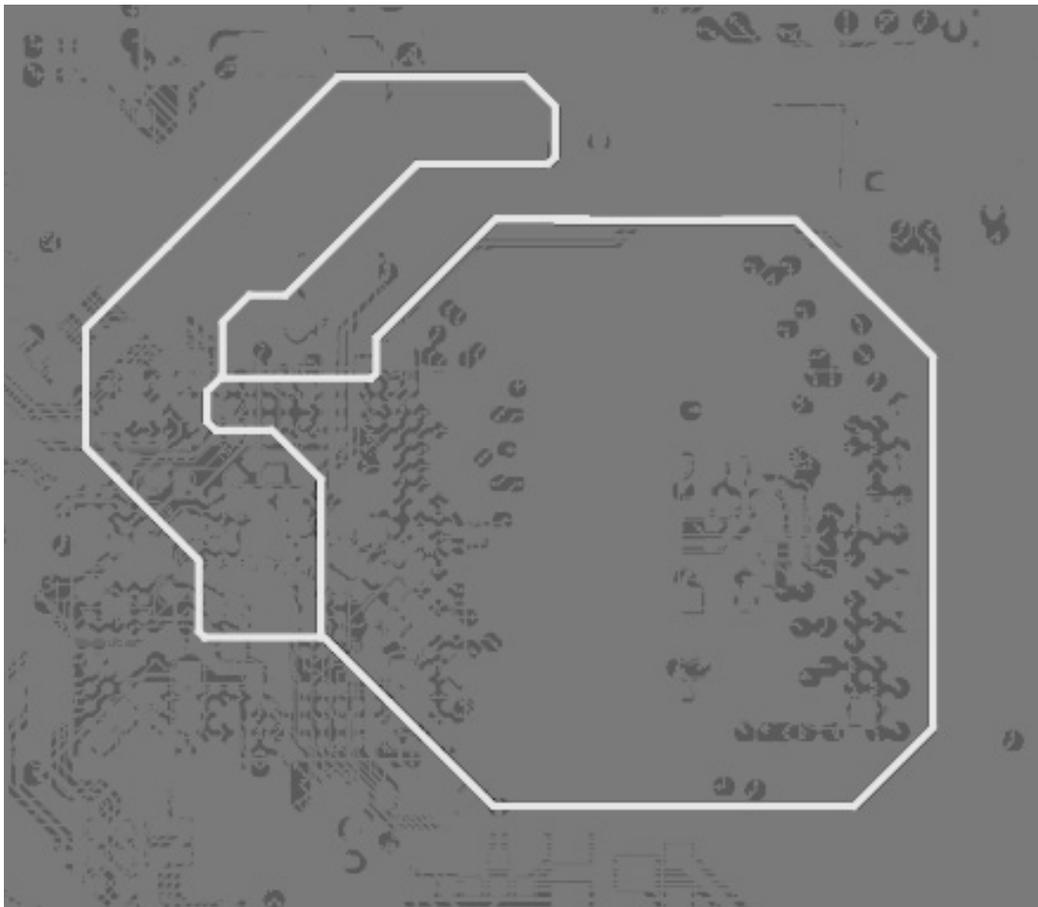


图 3-15 平面分割示意图

分割平面之后，在分割区域双击，即可弹出网络连接窗口，根据需要设置网络即可，如图 3-16 所示。



图 3-16 给平面添加网络

### 3.1.9 平面多边形

常规情况下, PCB 电源平面可被设计为负片, 即在制造电路板时, 放置在电源平面的线或者填充会在铜中形成空隙。之所以使用这种方法, 是因为平面层的大部分是铜, 仅在特定位置 (如未连接的焊盘周围) 需要铜中的空隙, 或者在将平面划分为不同的电压区域时, 将其作为分隔空隙, 这样可以更快速、有效地生成输出数据。

针对更复杂的电源平面设计, Altium Designer 24 支持将电源平面定义为多边形。此功能不会影响电源平面的设计方法, 平面仍然定义为负片, 放置对象 (线、填充等) 依然会在铜中产生空隙。使用多边形的好处在于可以自动检测并清除铜岛、狭窄的颈部和死铜。

其设计步骤如下。

(1) 要使用平面多边形功能, 需要启用优选项 Advanced Settings 对话框中的 Legacy.PCB.SplitPlanes 选项, 如图 3-17 所示。

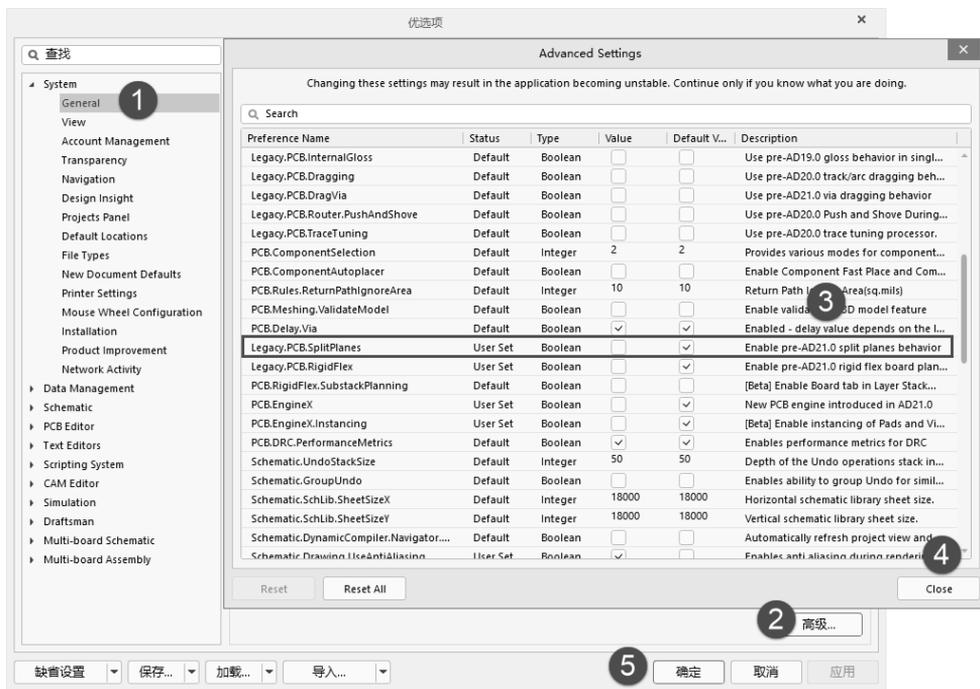


图 3-17 Advanced Settings 对话框

(2) 双击分割的区域, 可在 Properties 面板中打开相应的多边形定义, 如图 3-18 所示。常规平面与平面多边形在过孔密集处的对比如图 3-19 所示。

使用平面多边形的注意事项:

- 启用该功能后, 请检查每个平面层, 双击分割的平面并按 Repour 按钮更新铜皮;
- 平面层的连接和间隙依然由 PlaneConnect 和 PlaneClearance 设计规则定义;
- 修改平面 (连接或间隙) 设计规则后, 需要双击该平面按 Repour 按钮, 以更新平面的连接/间隙。



图 3-18 平面多边形定义

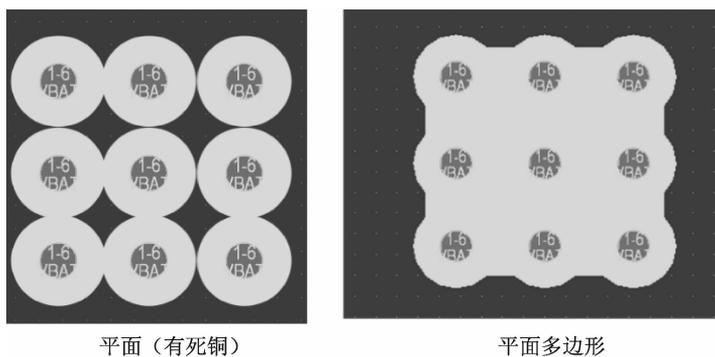


图 3-19 平面与平面多边形的区别

## 3.2 阻抗控制

### 3.2.1 阻抗控制的定义及目的

#### 1. 特性阻抗的定义

特性阻抗又称特征阻抗，其单位是 $\Omega$ 。它不是直流电阻，属于长线传输中的概念。在高频范围内，信号传输过程中，信号沿到达的地方在信号线和参考平面（电源或地平面）间由于电场的建立，会产生一个瞬间电流，如果传输线是各向同性的，那么只要信号在传

输，就始终存在一个电流  $I$ ，而如果信号的输出电平为  $V$ ，在信号传输过程中，传输线就会等效成一个电阻，大小为  $V/I$ ，把这个等效的电阻称为传输线的特性阻抗  $Z$ 。信号在传输的过程中，如果传输路径上的特性阻抗发生变化，信号就会在阻抗不连续的节点发生反射。影响特性阻抗的因素有介质厚度、线宽等。

## 2. 阻抗控制的目的

PCB 提供的电路性能要求信号在传输过程中不发生反射现象，才能保证信号完整性，降低传输损耗。而电压、电流在传输线中传播时，特性阻抗不一致会造成反射现象，需要进行阻抗控制及匹配，这样才能得到完整、精准、无噪声干扰的传输信号。阻抗控制在高频设计电路中尤为重要，关系到信号质量的优劣。

### 3.2.2 控制阻抗的方式

在进行高频电路设计时，需要控制阻抗，那么该如何控制？

(1) 使用经验值。记录之前做过的阻抗线，在下次需要时可直接套用。缺陷是一旦参数变化，所使用的经验值就不适用了。

(2) 将 PCB 的所有阻抗线分类，分别设置相应颜色，之后截图给 PCB 厂，由板厂调整控制，如图 3-20 所示（仅以 DDR 部分为例）。缺陷是当板子布线密度较大时，板上可能没有多余的空间进行线宽、线距的调整，板厂有可能无法进行阻抗控制。

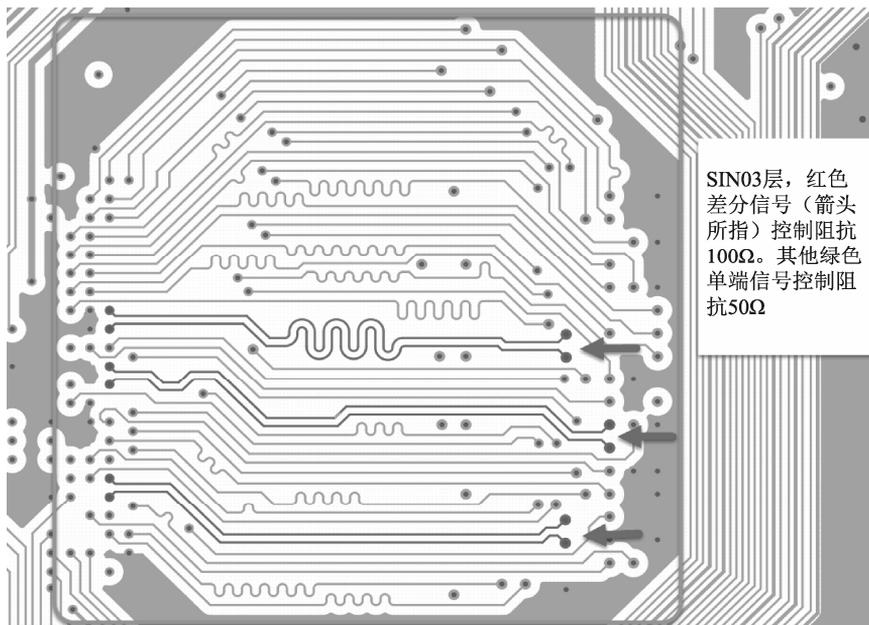


图 3-20 阻抗控制截图

(3) 根据层叠参数，结合板厂提供的相关资料（板材厚度、介电常数等数据）计算阻抗，按照计算出来的数值进行 PCB 布线，同时将阻抗控制截图、层叠结构等文件交给板厂，以做最终的微调控制。

### 3.2.3 微带线与带状线的概念

(1) 微带线 (Microstrip line): 是由支在介质基片上的单一导体带构成的微波传输线, 即表层走线。

(2) 带状线 (Stripline): 是一条置于两个平行的地平面或电源平面之间的高频传输导线, 即 PCB 内层走线。

### 3.2.4 阻抗计算的相关条件与原则

在进行阻抗计算之前, 需要了解阻抗控制需要的条件、影响因素及所用材料的相关参数。

(1) 阻抗设计需要的条件: 板厚、铜厚、板子层叠结构及各层厚度、基板材料、表面工艺、阻抗值等。

(2) 影响阻抗的因素: 介质厚度、线宽、线距、介电常数、铜厚、阻焊厚度、残铜率 (指板上铜的面积和整板面积之比) 等。介质厚度、线距越大, 阻抗值越大; 介电常数、铜厚、线宽、阻焊厚度越大, 阻抗值越小。

(3) 板层进行压合时, 需要注意以下几点。

- ① 7628 的 PP 片表面比较粗糙会影响板子的外观, 一般不会放到外层。
- ② 3 张 1080 也不允许放在外层, 否则容易在压合时产生滑板现象。
- ③ 4 张及以上的 PP 片不允许叠加在一起, 否则也容易产生滑板现象。
- ④ 多层板各层间 PP 片和芯板的排列应当对称。例如 6 层板中, 1~2 和 5~6 的 PP 片应当一致, 否则压合时容易翘曲。

### 3.2.5 Altium Designer 的材料库

Altium Designer 为用户提供了可供选择的电路板材料库, 用于构建 PCB 层叠。按快捷键 D+K 进入层叠管理器, 执行菜单栏中“工具”→“材料库”命令, 如图 3-21 所示。

将弹出如图 3-22 所示的 Altium Material Library 对话框。

(1) 对话框上方的 mil、in、 $\mu\text{m}$ 、mm 可进行单位的切换, 左侧可用于相应图层的材料设置。

① Surface finish process: 表面处理工艺。

- ENIG (Electroless Nickel/Immersion Gold): 化学镍金、化镍金或者沉镍金, 在 PCB 表面导体先镀上一层镍后再镀上一层金, 镀镍主要是防止金和铜间的扩散。
- HASL (Hot Air Solder Leveling): 热风焊料整平, 俗称喷锡, 主要是将 PCB 直接浸入到熔融状态的锡浆里面, 在经过热风整平后, 在 PCB 铜面会形成一层致密的锡层。
- IAu (Immersion Au): 沉金, 是在铜面上包裹一层厚厚的、电性良好的镍金合金, 可以长期保护 PCB。



图 3-21 打开材料库命令

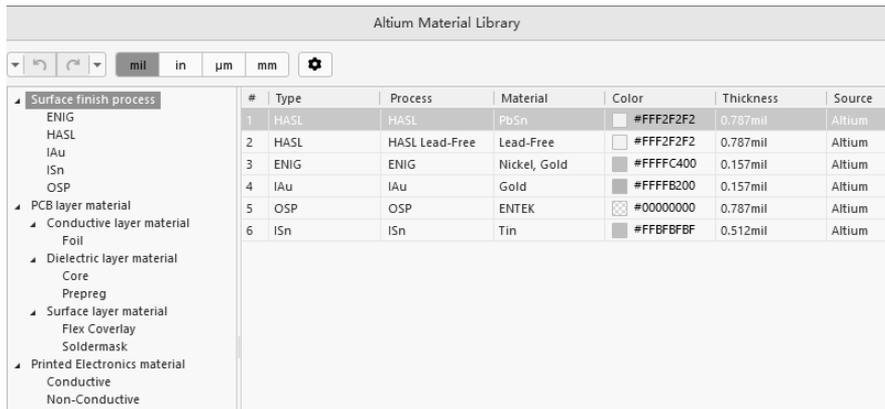


图 3-22 Altium Material Library 对话框

- ISn (Immersion Sn): 沉锡, 用置换反应在 PCB 面形成一层极薄的锡层。
  - OSP (Organic Solderability Preservatives): 有机保焊膜, 就是在洁净的裸铜表面上, 以化学的方法长出一层有机皮膜。
  - ② PCB layer material: PCB 层材料。
    - Conductive layer material: 导电层材料。
    - Dielectric layer material: 电介质层材料, 包含芯板和 PP 片。
    - Surface layer material: 表面材料, 分为柔性板覆盖层和阻焊层材料。
    - Printed Electronics material: 印刷电子材料, 分为导电材质和不导电材质。
- (2) 右侧为相关图层所包含的材料。以 PP 片为例, 如图 3-23 所示为 PP 片包含的材料。

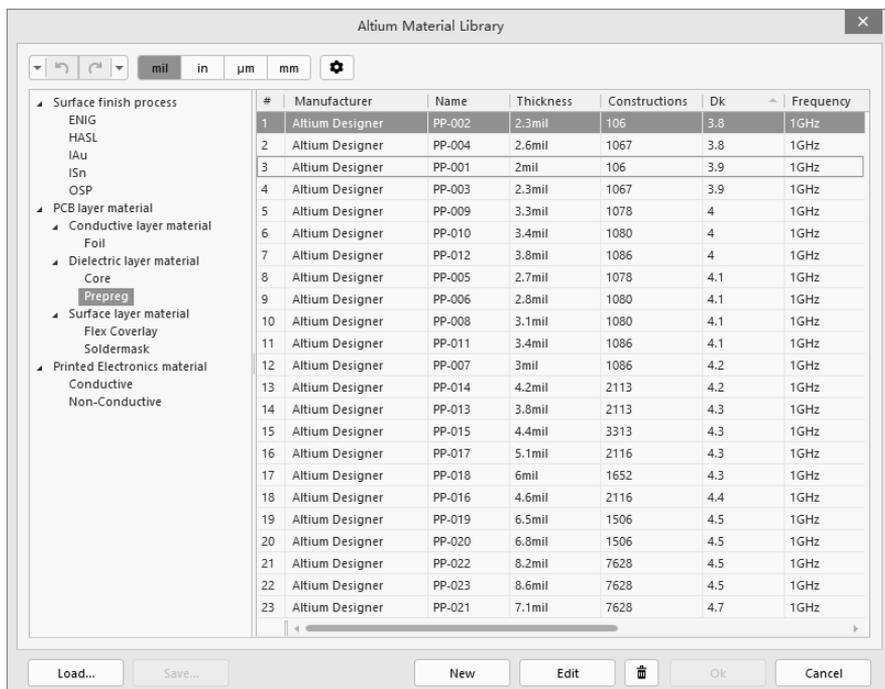


图 3-23 PP 片包含的材料

(3) 右侧面板显示各类 PP 片的相关参数, 单击  按钮, 可打开如图 3-24 所示的 Material Library Settings 对话框。在此对话框中, 可显示或者隐藏相关的属性。

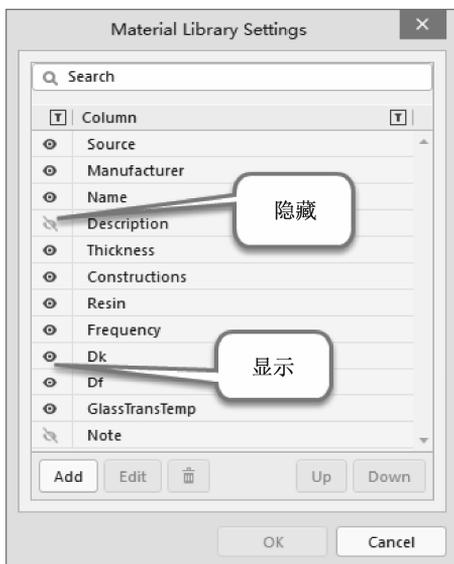


图 3-24 Material Library Settings 对话框

(4) 在 Altium Material Library 对话框中用户可通过单击 New 按钮添加需要的相关材料。单击 New 按钮, Altium Material Library 对话框下方会出现一些参数文本框, 如图 3-25 所示, 根据实际材料填写各个参数。若数据填写不准确, 文本框的红色警告会一直存在。

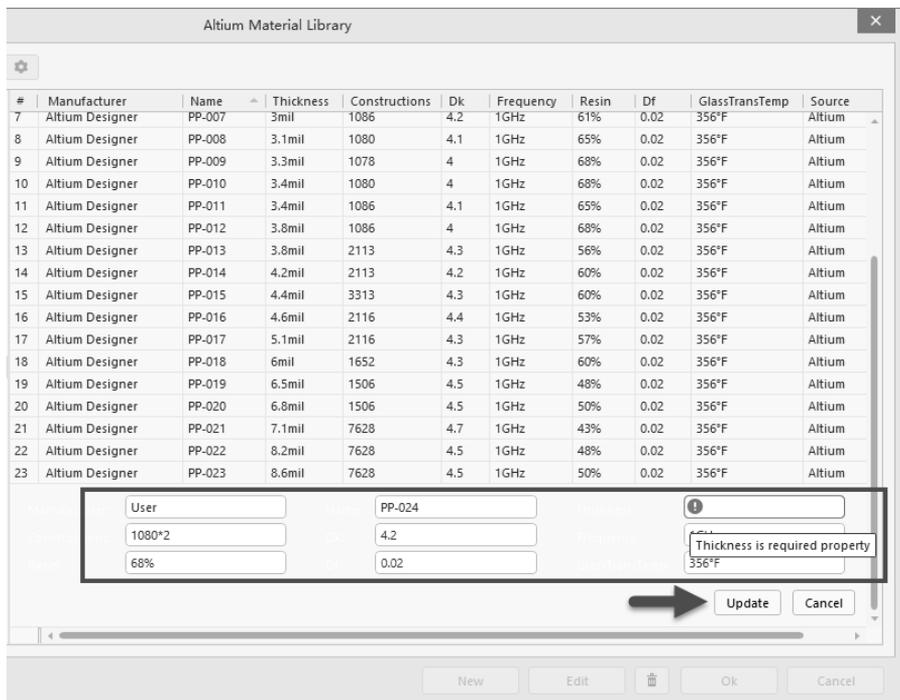


图 3-25 添加新材料

(5) 数据填写完成之后, 单击 Update 按钮, 即可加载新材料, 如图 3-26 所示, Source 会自动赋予 User 属性, 以区别于 Altium Designer 提供的材料。

#	Manufacturer	Name	Thickness	Constructions	Dk	Frequency	Resin	Df	GlassTransTemp	Source
2	Altium Designer	PP-002	2.3mil	106	3.8	1GHz	75%	0.02	356°F	Altium
3	Altium Designer	PP-003	2.3mil	1067	3.9	1GHz	72%	0.02	356°F	Altium
4	Altium Designer	PP-004	2.6mil	1067	3.8	1GHz	75%	0.02	356°F	Altium
5	Altium Designer	PP-005	2.7mil	1078	4.1	1GHz	62%	0.02	356°F	Altium
6	Altium Designer	PP-006	2.8mil	1080	4.1	1GHz	62%	0.02	356°F	Altium
7	Altium Designer	PP-007	3mil	1086	4.2	1GHz	61%	0.02	356°F	Altium
8	Altium Designer	PP-008	3.1mil	1080	4.1	1GHz	65%	0.02	356°F	Altium
9	Altium Designer	PP-009	3.3mil	1078	4	1GHz	68%	0.02	356°F	Altium
10	Altium Designer	PP-010	3.4mil	1080	4	1GHz	68%	0.02	356°F	Altium
11	Altium Designer	PP-011	3.4mil	1086	4.1	1GHz	65%	0.02	356°F	Altium
12	Altium Designer	PP-012	3.8mil	1086	4	1GHz	68%	0.02	356°F	Altium
13	Altium Designer	PP-013	3.8mil	2113	4.3	1GHz	56%	0.02	356°F	Altium
14	Altium Designer	PP-014	4.2mil	2113	4.2	1GHz	60%	0.02	356°F	Altium
15	Altium Designer	PP-015	4.4mil	3313	4.3	1GHz	60%	0.02	356°F	Altium
16	Altium Designer	PP-016	4.6mil	2116	4.4	1GHz	53%	0.02	356°F	Altium
17	Altium Designer	PP-017	5.1mil	2116	4.3	1GHz	57%	0.02	356°F	Altium
18	Altium Designer	PP-018	6mil	1652	4.3	1GHz	60%	0.02	356°F	Altium
19	Altium Designer	PP-019	6.5mil	1506	4.5	1GHz	48%	0.02	356°F	Altium
20	Altium Designer	PP-020	6.8mil	1506	4.5	1GHz	50%	0.02	356°F	Altium
21	Altium Designer	PP-021	7.1mil	7628	4.7	1GHz	43%	0.02	356°F	Altium
22	Altium Designer	PP-022	8.2mil	7628	4.5	1GHz	48%	0.02	356°F	Altium
23	Altium Designer	PP-023	8.6mil	7628	4.5	1GHz	50%	0.02	356°F	Altium
24	User	PP-024	6.3mil	1080*2	4.2	1GHz	68%	0.02	356°F	User

图 3-26 用户自定义材料显示

(6) 若想删除某个材料, 选中之后单击 按钮即可。

### 3.2.6 阻抗计算实例

Altium Designer 软件可以从层叠中获取数据, 并将阻抗计算得到的数据应用到 PCB 上需要控制阻抗的信号。下面以一实例演示 Altium Designer 进行阻抗计算的过程。

(1) 层叠要求: 6 层板、1.6mm 板厚, 内层铜厚 1oz、表层铜厚 0.5oz。

(2) 在进行阻抗计算之前, 先给 PCB 添加层叠并填好相关数据。

① 按快捷键 D+K 进入层叠管理器, 通过选取 Altium Designer 提供的材料或者根据实际手动输入数据, 主要是 Thickness (厚度) 和 Dk (介电常数), 可得如图 3-27 所示的层叠结构。其中 Copper Orientation (铜层方向) 为新增的参数, 指铜层自基板向外延伸的方向。可以将其视为铜层蚀刻方向, 无论是在 Above 还是 Below。

② 在界面右下角单击 Panels 按钮, 选择 Properties 面板, 可在 Board 选项组中查看板子总厚度, 如图 3-28 所示。

③ 层堆叠对称性。如果需要层堆叠是严格对称的, 选中图 3-28 中的 Stack Symmetry, 软件将立即检查以中间介电层为中心的层堆叠对称性。若是与中心介电层等距的任意一对层不相同, 将弹出 Stack is not symmetric 对话框, 在上半部分显示检查到的不对称冲突, 如图 3-29 所示, 显示 GND02 和 PWR05 的 Pullback distance 不一致 (此处需遵守 20H 原则, 不予修改)。若想进行更改, 选择 Mirror top half down 即可。下面对该组选项进行说明。

#	Name	Type	Material	Thickness	Weight	Dk	Copper Orientation
	Silkscreen Top	Overlay					
	<b>Solder Mask Top</b>	<b>Solder Mask</b>	<b>SM-001</b>	<b>1mil</b>		<b>4</b>	
1	Top	Signal	CF-003	0.709mil	1/2oz		Above
	Dielectric1	Prepreg	PP-008	3.1mil		4.1	
2	GND02	Plane	CF-004	1.378mil	1oz		Above
	Dielectric 3	Core	Core-010	4mil		4	
3	SIN03	Signal	CF-004	1.378mil	1oz		Below
	Dielectric 4	Core		38.18mil		4.2	
4	SIN04	Signal	CF-004	1.378mil	1oz		Above
	Dielectric 5	Core	Core-010	4mil		4	
5	PWR05	Plane	CF-004	1.378mil	1oz		Below
	Dielectric 2	Prepreg	PP-008	3.1mil		4.1	
6	Bottom	Signal	CF-003	0.709mil	1/2oz		Below
	<b>Solder Mask Bottom</b>	<b>Solder Mask</b>	<b>SM-001</b>	<b>1mil</b>		<b>4</b>	
	Silkscreen Bottom	Overlay					

图 3-27 6 层板层叠结构

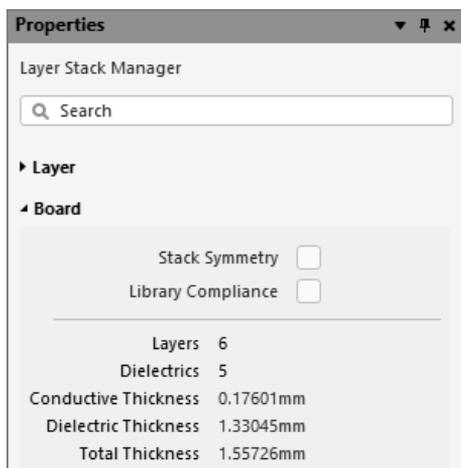


图 3-28 Board 选项

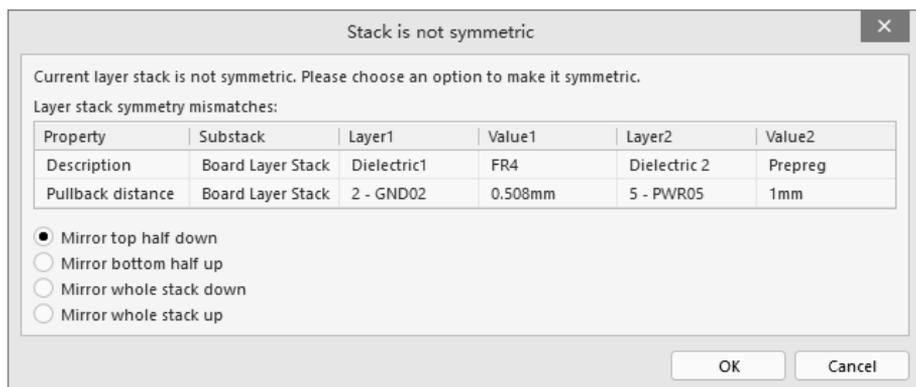


图 3-29 层叠对称性检测

- **Mirror top half down:** 镜像上半部分，中心介电层上方的每个层的设置被向下复制到对称的层。
- **Mirror bottom half up:** 镜像下半部分，中心介电层下方的每个层的设置被向上复制到对称的层。
- **Mirror whole stack down:** 向下镜像整个层叠，在最后一个线路层插入另外的介电层，然后新的介电层下方复制和镜像所有信号的介质层。例如 6 层板，按此镜像之后将变成 12 层，如图 3-30 所示。

#	Name	Material
	Silkscreen Top	
	<b>Solder Mask Top</b>	<b>SM-001</b>
1	Top	CF-003
	Dielectric1	PP-008
2	GND02	CF-004
	Dielectric 3	Core-010
3	SIN03	CF-004
	Dielectric 4	
4	SIN04	CF-004
	Dielectric 5	Core-010
5	PWR05	CF-004
	Dielectric 2	PP-008
6	Bottom	CF-003
	<b>Solder Mask Bottom</b>	<b>SM-001</b>
	Silkscreen Bottom	

#	Name	Material
	Silkscreen Top	
	<b>Solder Mask Top</b>	<b>SM-001</b>
1	Top	CF-003
	Dielectric1	PP-008
2	GND02	CF-004
	Dielectric 3	Core-010
3	SIN03	CF-004
	Dielectric 4	
4	SIN04	CF-004
	Dielectric 5	Core-010
5	PWR05	CF-004
	Dielectric 2	PP-008
6	Layer 1	CF-003
	Dielectric 1	Core-009
7	Layer 2	CF-003
	Dielectric 6	PP-008
8	Layer 3	CF-004
	Dielectric 7	Core-010
9	Layer 4	CF-004
	Dielectric 8	
10	Layer 5	CF-004
	Dielectric 9	Core-010
11	Layer 6	CF-004
	Dielectric 10	PP-008
12	Bottom	CF-003
	<b>Board Layer Stack...</b>	<b>SM-001</b>
	Board Layer Stack...	

图 3-30 向下镜像所有层的变化情况

- **Mirror whole stack up:** 向上镜像整个层叠，在第一个线路层插入另外的介电层，然后新的介电层上方复制和镜像所有信号的介质层。

④ 层叠可视化。在层叠管理器中，执行菜单栏中“工具”→“图层堆栈可视化器”命令，即可打开 Layerstack visualizer 对话框，如图 3-31 所示，可通过选中相关配置选项，进行层叠的查看，单击并按住右键移动可调整视图。按快捷键 Ctrl+C 可复制此页面到剪贴板中。

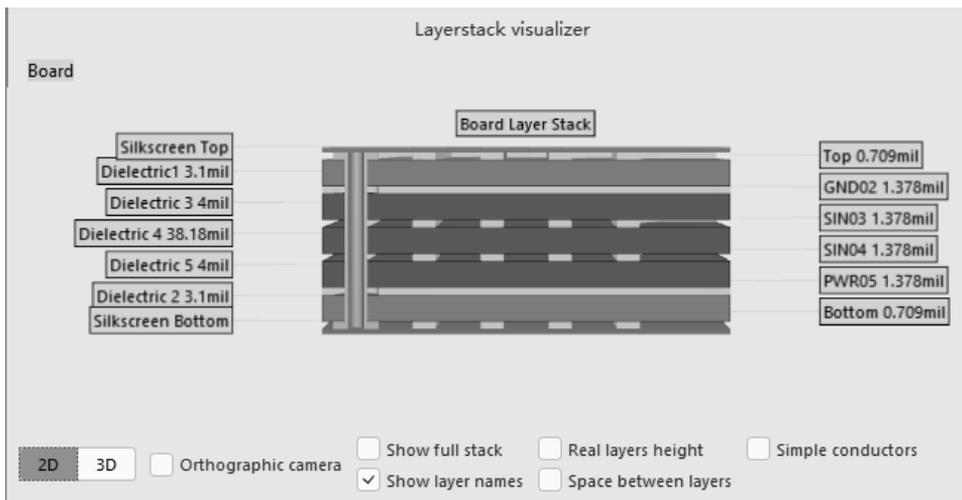


图 3-31 层叠可视化

(3) 添加阻抗配置文件。单击层叠管理器底部的 Impedance 按钮，切换到阻抗配置界面，单击层叠管理器右侧的 Add Impedance Profile 按钮或者右上角的 Add 按钮添加新的阻抗配置文件，如图 3-32 所示。图中 4 行数据显示了 4 个信号层的参考平面、线宽、阻抗等参数。

		S50					
#	Name	Top Ref	Bottom Ref	Width (W1)	Impedance (Z0)	Deviation	Delay (Tp)
	Top Overlay						
	Top Solder						
1	Top Layer	<input checked="" type="checkbox"/>	2 - GND02	5.132mil	50	0.01%	161.945ps/in
	Dielectric2						
2	GND02						
	Dielectric 1						
3	SIN03	<input checked="" type="checkbox"/> 2 - GND02	4 - SIN04	4.681mil	49.98	0.05%	175.454ps/in
	Dielectric 4						
4	SIN04	<input checked="" type="checkbox"/> 3 - SIN03	5 - PWR05	4.668mil	50.02	0.04%	175.435ps/in
	Dielectric 5						
5	PWR05						
	Dielectric 3						
6	Bottom Layer	<input checked="" type="checkbox"/> 5 - PWR05		5.132mil	50	0.01%	161.945ps/in
	Bottom Solder						
	Bottom Overlay						

图 3-32 阻抗配置文件

(4) 更改参考平面。图 3-27 中显示 SIN03 的顶部参考为 GND02，底部参考为 SIN04；SIN04 的顶部参考为 SIN03，底部参考为 PWR05。这样显然不合适，由于信号层 SIN03、SIN04 需要布线，参考平面不完整，所以需要更改参考平面。更改参考平面的方式如图 3-33 所示，选择相应信号层，然后在 Top Ref 或 Bottom Ref 列表中，单击下三角按钮重新选择参考平面。更改之后的参考平面如图 3-34 所示。

(5) 计算信号阻抗。在界面右下角单击 Panels 按钮，打开 Properties 面板，就可以在 Impedance Profile 选项组和 Transmission Line 选项组中进行阻抗计算及查看。

(6) 计算 Top 层单端 50Ω 信号的线宽。

#	Name	Top Ref	Bottom Ref	Width (W1)	Impe...	Deviati...	Delay (Tp)
	Silkscreen Top						
	Solder Mask Top						
1	Top	<input checked="" type="checkbox"/>	2 - GND02	5.306mil	50.02	0.03%	160.773ps/in
	Dielectric1						
2	GND02						
	Dielectric 3						
3	SIN03	<input checked="" type="checkbox"/>	2 - GND02	5.003mil	51.43	2.86%	172.666ps/in
	Dielectric 4						
4	SIN04	<input checked="" type="checkbox"/>	3 - SIN03	5.204mil	50.02	0.05%	172.86ps/in
	Dielectric 5						
5	PWR05						
	Dielectric 2						
6	Bottom	<input checked="" type="checkbox"/>	5 - PWR05	5.305mil	50.02	0.05%	160.772ps/in
	Solder Mask Bottom						
	Silkscreen Bottom						

图 3-33 更改参考平面的方式

Top Ref	Bottom Ref	Width (W1)	Impe...	Deviati...	Delay (Tp)
<input checked="" type="checkbox"/>	2 - GND02	5.306mil	50.02	0.03%	160.773ps/in
<input checked="" type="checkbox"/>	2 - GND02	5.003mil	51.43	2.86%	172.666ps/in
<input checked="" type="checkbox"/>	5 - PWR05	5.343mil	50	0.01%	172.611ps/in
<input checked="" type="checkbox"/>	5 - PWR05	5.305mil	50.02	0.05%	160.772ps/in

图 3-34 参考平面更改后效果

① 选择阻抗配置文件中的 Top 层，如图 3-35 所示。

Top Ref	Bottom Ref	Width (W1)	Impe...	Deviati...	Delay (Tp)
<input checked="" type="checkbox"/>	2 - GND02	5.306mil	50.02	0.03%	160.773ps/in
<input checked="" type="checkbox"/>	2 - GND02	5.003mil	51.43	2.86%	172.666ps/in
<input checked="" type="checkbox"/>	5 - PWR05	5.343mil	50	0.01%	172.611ps/in
<input checked="" type="checkbox"/>	5 - PWR05	5.305mil	50.02	0.05%	160.772ps/in

图 3-35 选择层

② 根据要求在 Impedance Profile 选项组设置相关参数，如图 3-36 所示。

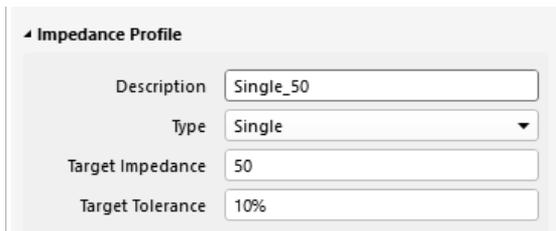


图 3-36 设置相关参数

- Description: 用于说明配置文件，即配置文件的名称。
- Type: 用于切换信号类型，包含单端、差分信号及共面单端、共面差分信号。
- Target Impedance: 用于设置目标阻抗。
- Target Tolerance: 用于设置目标阻抗公差，一般设置为 10%。

③ 在 Transmission Line 选项组即可看到 50Ω 的阻抗，计算出的线宽为 5.194mil，如图 3-37 所示。

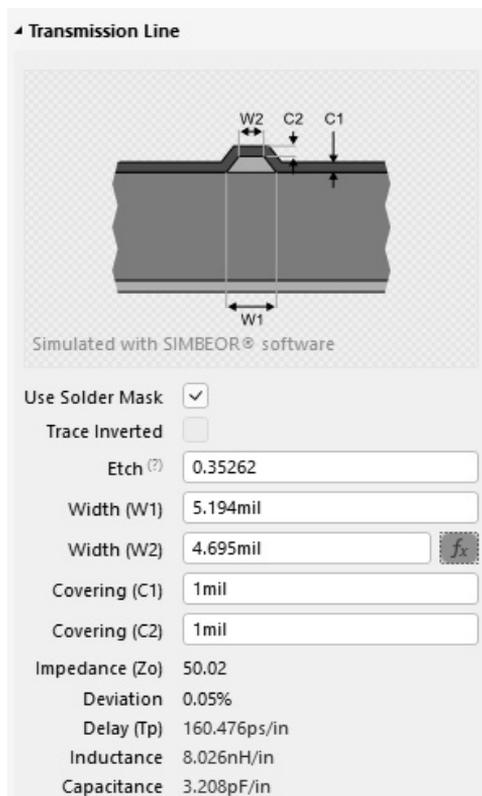


图 3-37 顶层单端信号阻抗计算结果

- Use Solder Mask: 设置是否使用阻焊绿油层。与之对应的是下方的 Covering, C1——基材上的绿油厚度, C2——铜线上的绿油厚度，一般为 0.5~1mil，对表层阻抗有一定影响，可向电路板制造商咨询厚度信息。

- Etch: 蚀刻因子,  $Etch = [0.5(W1-W2)] / T$  ( $T$  表示铜厚), 可向电路板制造商咨询有关其工艺创建蚀刻因子的信息; 若是排除蚀刻因子进行计算, 用户可将其设置为 0。
- Width:  $W1$ ——设计线宽,  $W2$ ——经蚀刻之后的实际线宽, 若  $Etch=0$ , 则  $W1=W2$ 。因蚀刻原因, 一般  $W1>W2$ 。通常当铜厚大于或等于 1mil 时,  $W1-W2=1mil$ ; 当铜厚小于 1mil 时,  $W1-W2=0.5mil$ 。
- Impedance: 计算得出的阻抗。
- Deviation: 阻抗偏差, 一旦超过设置值, 将会警告。
- Delay: 传播时延。
- Inductance: 每单位长度的电感。
- Capacitance: 每单位长度的电容。

④ 实际生产中, 尽量将布线线宽和线距设置为整数或小数点后一位, 以满足制造商的生产精度。阻抗计算器支持正向和反向阻抗计算, 默认模式为正向 (输入阻抗, 软件自动计算线宽)。需要反转模式, 输入线宽并按下 Enter 键即可算出阻抗值。单击  $f_x$  按钮将回归正向计算。

⑤ 将线宽改为 5mil 后, 按下 Enter 键, 可看到如图 3-38 所示的数据变化, 误差在 10% 范围内, 可使用 5mil 线宽进行 PCB 设计。

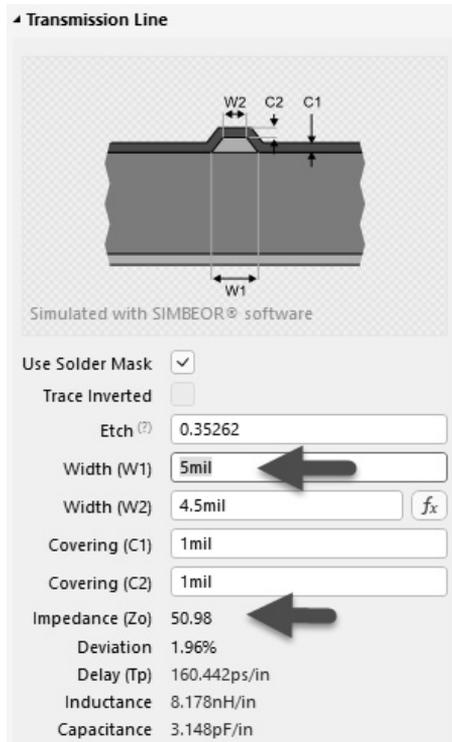


图 3-38 修改线宽后的阻抗

(7) 计算 SIN03 层单端 50Ω 信号的线宽。

① 依照上述方式, 单击选择阻抗配置文件中的 SIN03 层。进行阻抗参数填写, 并得出对应计算结果, 如图 3-39 所示。

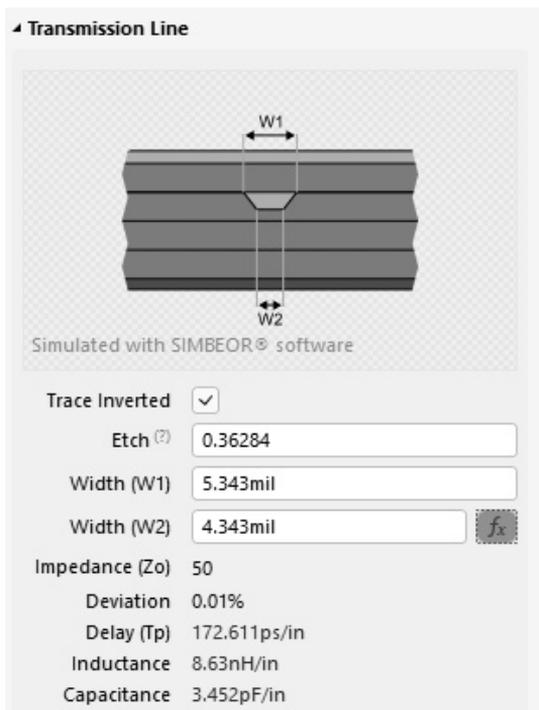


图 3-39 SIN03 层单端信号阻抗计算结果

② 同样，可将线宽改为 5mil，可得到其阻抗也在误差范围内，如图 3-40 所示。

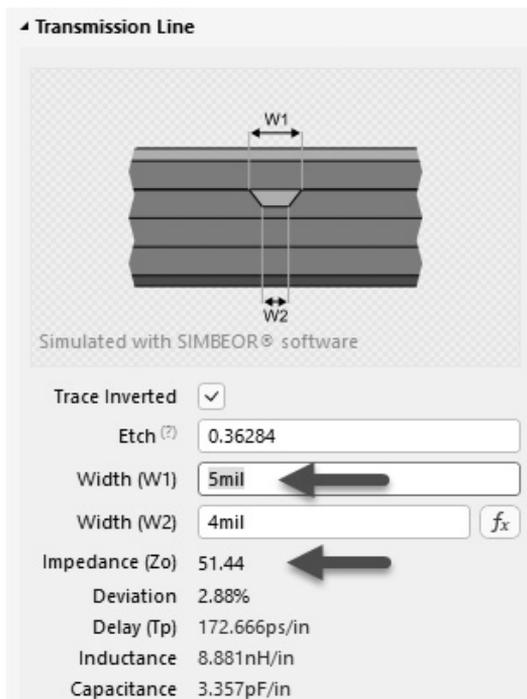


图 3-40 SIN03 层修改线宽后的阻抗值

(8) 依照上述方式，将 SIN04 和 Bottom 层的单端 50Ω 信号都计算出来，即可将 50Ω 阻抗配置文件设置好，如图 3-41 所示。

#	Name	Top Ref	Bottom Ref	Width (W1)	Impe...	Deviati...	Delay (Tp)
	Silkscreen Top						
	<b>Solder Mask Top</b>						
1	Top	<input checked="" type="checkbox"/>	2 - GND02	5mil	50.98	1.96%	160.442ps/in
	Dielectric1						
2	GND02						
	Dielectric 3						
3	SIN03	<input checked="" type="checkbox"/>	2 - GND02	5mil	51.44	2.88%	172.666ps/in
	Dielectric 4						
4	SIN04	<input checked="" type="checkbox"/>	5 - PWR05	5mil	51.44	2.88%	172.666ps/in
	Dielectric 5						
5	PWR05						
	Dielectric 2						
6	Bottom	<input checked="" type="checkbox"/>	5 - PWR05	5mil	50.98	1.96%	160.442ps/in
	<b>Solder Mask Bo...</b>						
	Silkscreen Bott...						

图 3-41 Single\_50 阻抗配置文件

(9) 按快捷键 Ctrl+S 保存阻抗配置文件，然后将阻抗配置文件应用到规则设计中。设置一个包含 50Ω 阻抗信号的 Class，在线宽规则中进行如图 3-42 所示的设置。



图 3-42 应用 50Ω 阻抗文件设置规则

(10) 计算 TOP 层差分 100Ω 信号的线宽、线距。

① 单击 Add 按钮，创建新的配置文件，在弹出的 Properties 面板中将 Impedance Profile 选项组参数设置好，如图 3-43 所示，同时调整各信号层的参考平面。

② 选择 TOP 层，在 Transmission Line 选项组中设置相关参数，可得如图 3-44 所示结果。

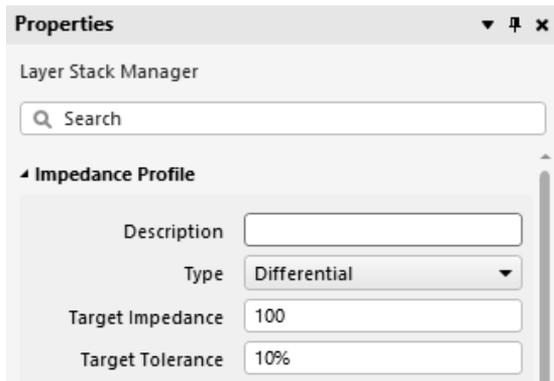


图 3-43 设置 100Ω 阻抗文件

③ 由于线宽与阻抗成反比，与线距成正比，可同时将线宽和线距改大，最终调整结果如图 3-45 所示。

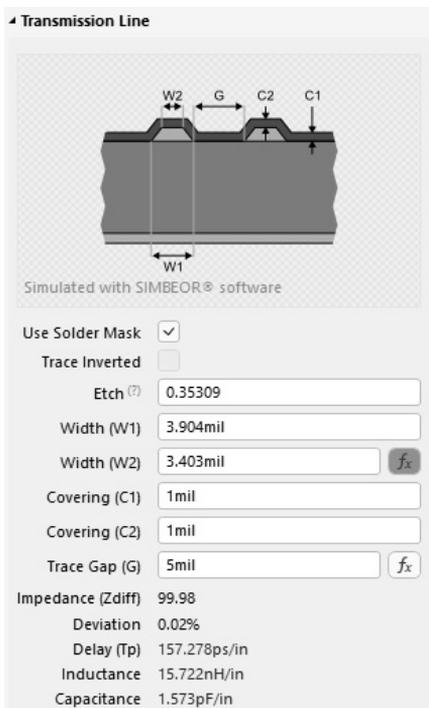


图 3-44 TOP 层 100Ω 走线阻抗

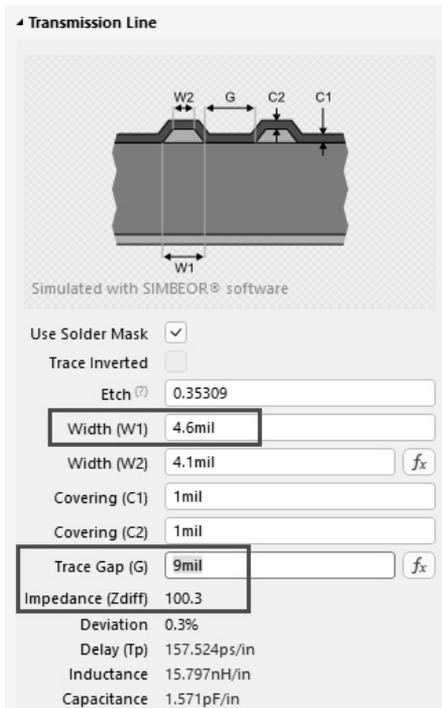


图 3-45 100Ω 的阻抗调整

④ 计算得出的各层 100Ω 差分信号的线宽、线距如图 3-46 所示。

(11) 依上述方式计算得出的各层差分 90Ω 信号的线宽、线距如图 3-47 所示。

(12) 隔层参考。产品设计中，会遇到 Wi-Fi、蓝牙等射频信号，要求控制 50Ω 阻抗，同时射频线对信号质量要求很高，考虑到抗干扰、衰减及趋肤效应等多方面原因，加粗走线是很有必要的。布线加粗，带来的问题就是阻抗减小，因此，需要将阻抗恢复到 50Ω，可以采取加大层厚的方式来调高阻抗，用户可以考虑挖空相邻层，参考下一层，即所谓的“隔层参考”。

#	Name	Top Ref	Bottom Ref	Width (W1)	Trace Ga...	Impe...	Deviati...	Delay (Tp)
	Silkscreen Top							
	<b>Solder Mask Top</b>							
1	Top	<input checked="" type="checkbox"/>	2 - GND02	4.6mil	9mil	100.3	0.3%	157.524ps/in
	Dielectric1							
2	GND02							
	Dielectric 3							
3	SIN03	<input checked="" type="checkbox"/>	2 - GND02	4mil	10mil	101.39	1.39%	173.371ps/in
	Dielectric 4							
4	SIN04	<input checked="" type="checkbox"/>	5 - PWR05	4mil	10mil	101.39	1.39%	173.371ps/in
	Dielectric 5							
5	PWR05							
	Dielectric 2							
6	Bottom	<input checked="" type="checkbox"/>	5 - PWR05	4.6mil	9mil	100.3	0.3%	157.523ps/in
	<b>Solder Mask Bo...</b>							
	Silkscreen Bott...							

图 3-46 Differential\_100 阻抗配置文件

#	Name	Top Ref	Bottom Ref	Width (W1)	Trace Ga...	Impe...	Deviati...	Delay (Tp)
	Silkscreen Top							
	<b>Solder Mask Top</b>							
1	Top	<input checked="" type="checkbox"/>	2 - GND02	5mil	5.5mil	90.98	1.08%	157.156ps/in
	Dielectric1							
2	GND02							
	Dielectric 3							
3	SIN03	<input checked="" type="checkbox"/>	2 - GND02	4mil	5.2mil	90.09	0.1%	173.749ps/in
	Dielectric 4							
4	SIN04	<input checked="" type="checkbox"/>	5 - PWR05	4mil	5.2mil	90.09	0.1%	173.749ps/in
	Dielectric 5							
5	PWR05							
	Dielectric 2							
6	Bottom	<input checked="" type="checkbox"/>	5 - PWR05	5mil	5.5mil	90.98	1.08%	157.156ps/in
	<b>Solder Mask Bo...</b>							
	Silkscreen Bott...							

图 3-47 Differential\_90 阻抗配置文件

- ① 假设射频信号在 Top 层，参考 GND02 层，按前文计算，其线宽为 5mil。
- ② 为了达到设计要求，将参考平面改为 SIN03 层，在层叠管理器中单击 Add 按钮新增一个 RF\_50 的阻抗配置文件，并设置相关参数，如图 3-48 所示。

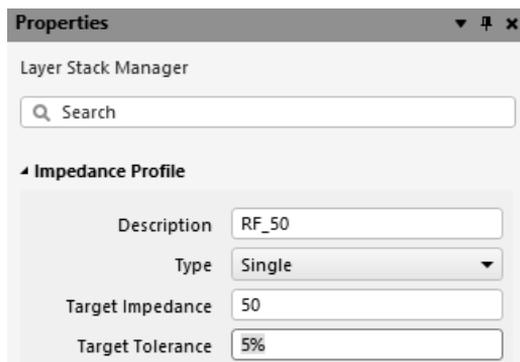


图 3-48 RF\_50 阻抗配置文件

③ 将参考平面设置为 SIN03，计算并调整阻抗值，如图 3-49 所示。

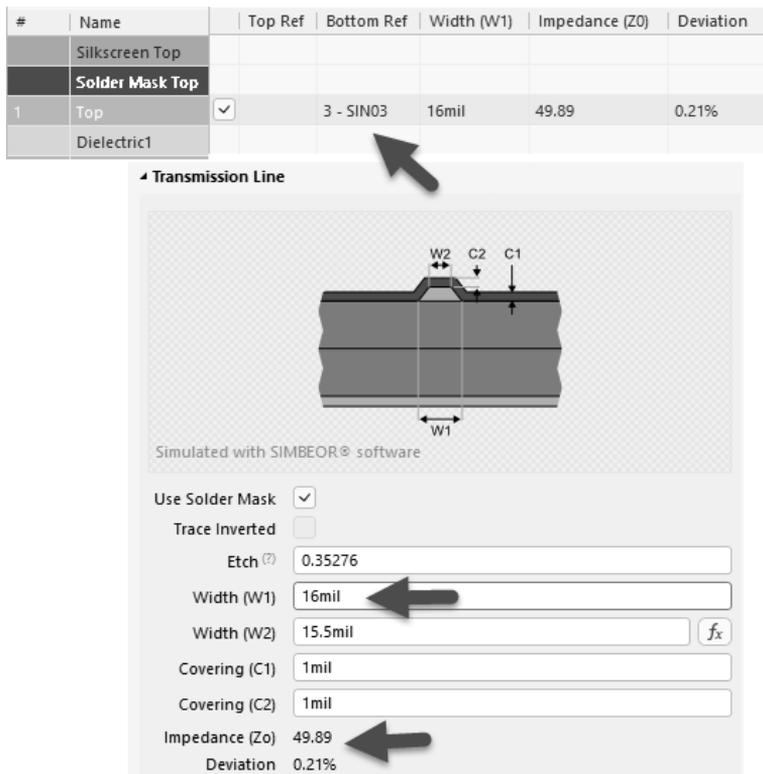


图 3-49 RF\_50 线宽调整

④ 按计算出的线宽布线，同时挖空相邻层，保持下一层在布线区域有完整的铜皮，如图 3-50 所示。

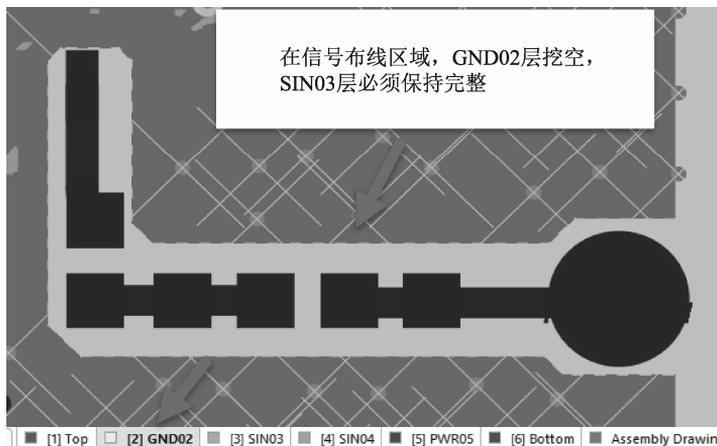


图 3-50 RF 布线处理

⑤ 隔层参考使用与否和层厚度有极大的关系，过大的厚度将导致计算出的线宽过大，所以在 4 层及 4 层以下的 PCB 并不适用。