

第 1 章 绪 论

本章介绍当前的主流半导体集成设计技术——FinFET(Fin Field-Effect Transistor)技术,包括 FinFET 集成技术的结构、工作原理与性能优势;介绍 FinFET 集成技术的发展与商用化进程;介绍一种金属氧化物半导体场效应晶体管的改良技术,即无结场效应晶体管技术,同时也介绍与金属氧化物半导体场效应晶体管工作原理有本质区别的创新型集成技术,如隧道场效应晶体管、基于金属与半导体接触的集成器件技术等;最后结合作者近年来的研究成果,对先进半导体集成技术的发展概况做出总结。

1.1 FinFET-主流半导体集成技术

在 FinFET 集成技术成为主流之前,平面型金属氧化物半导体场效应晶体管在很长一段时间里一直是集成电路的核心器件。传统的金属氧化物半导体场效应晶体管是利用单个的平面栅极的控制来实现器件的开关。以 N 型器件为例,当栅极为负电压时,单栅极将排斥沟道中的电子并吸引空穴形成多子积累,此时器件处于关断状态。当栅极电压逐渐由负变正时,电子不断被吸引至栅极氧化物和沟道的接触面附近,并形成电子沟道,此时器件开启。然而,随着平面金属氧化物半导体场效应晶体管器件尺寸的不断减小,产生了恶化其工作特性的短沟道效应。并且这种短沟道效应会随着平面金属氧化物半导体场效应晶体管的器件尺寸的减小而越来越严重。包括阈值电压降低,栅极控制能力减弱,即使在器件处于关断状态下,依然会出现显著的泄漏电流。

当传统反型金属氧化物半导体场效应晶体管器件的尺寸进入纳米级之后,短沟道效应、漏致电流效应、源漏击穿效应及热载流子效应等对器件特性的影响严重到不容忽视,成为集成电路最小单元器件进一步缩小尺寸的严重限制条件。短沟道效应是指当沟道长度缩小时,金属氧化物半导体场效应晶体管的阈值电压减小。当金属氧化物半导体场效应晶体管沟道较长时,器件源漏区与沟道形成的耗尽层的长度与沟道长度相比很小,其对沟道实际长度的影响可以忽略。然而当沟道长度缩小到一定程度后,耗尽区所占沟道的比重增大,其影响则将无法忽略。耗尽层的存在使器件的实际沟道长度减小,导致器件开启所需要形成反型层的电荷量减小,从而导致阈值电压减小。在器件的沟道较长时,金属氧化物半导体场效应晶体管器件沟道部分的硅表面电势几乎只受栅极电压的控制,源漏区的电场仅能影响沟道两端的边缘部分,可以忽略这部分的影响。然而,在短沟道的情况下,源漏电场将不仅仅影响沟道的边缘部分,而是向沟道中间靠近,从而影响到沟道的中间部分。随着漏极电压的增加,漏端空间电荷区向沟道区延伸,栅极控制的电荷减少。正是为了解决这一问题,FinFET 集成技术才逐渐发展起来。

1.1.1 FinFET 集成技术的结构、工作原理与性能优势

FinFET 集成技术也称为多栅极结构金属氧化物半导体场效应晶体管技术。多栅结构从

增强栅极对器件沟道的控制能力的角度来实现对极小尺寸器件特性的改善。若在金属氧化物半导体场效应晶体管中采用多栅结构，则相当于增加了单个器件中的栅极个数，提高了栅极的控制能力，能够抑制短沟道效应及反向泄漏电流，降低器件功耗，并增强器件开启时的驱动电流。从物理结构上来讲，它是一种构建在硅衬底基板上，且栅极放置在沟道的两侧、三侧或四侧或缠绕在基板上沟道的金属氧化物半导体场效应晶体管。目前，常见多栅结构包括双栅结构(double-gate)、三栅结构或折叠栅结构(folded-gate)以及环形栅结构(cylindrical-gate)。图 1-1 所示为常见多栅结构器件的结构。

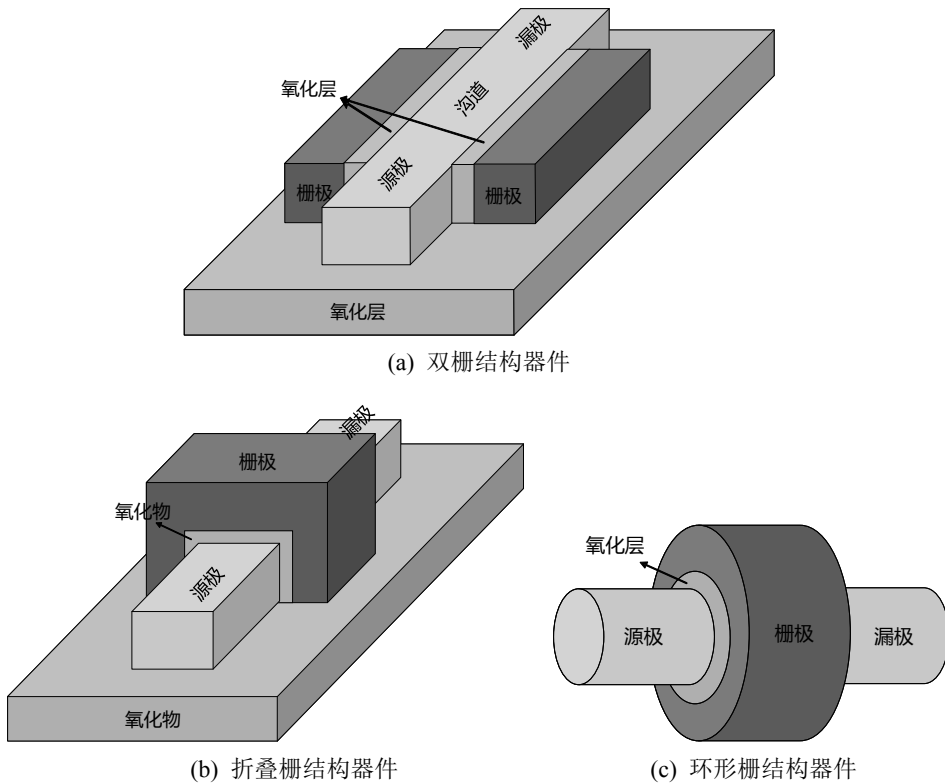


图 1-1 常见多栅结构器件的结构

上述多栅晶体管可以统称为鳍式场效应晶体管(FinFET)。这是因为源极/漏极区域在硅表面形成鳍片^[1]。因此，FinFET 是一种非平面晶体管，或“三维”(3D)晶体管。FinFET 比平面互补金属氧化物半导体(CMOS)技术具有更快的开关时间和更高的电流密度，且由于其对短沟道效应的遏制作用，目前已经成为生产制造先进的纳米级超大规模集成电路所采用的主流半导体芯片集成技术^[2]。

1.1.2 FinFET 集成技术的发展与商用化进程

采用 FinFET 技术的微芯片在 2010 年之后的几年里实现了商业化，并成为 14 nm、10 nm 和 7 nm 工艺节点的主流栅极设计。单个 FinFET 晶体管通常包含多个鳍片，这些鳍片并排排列，并且全部由同一栅极覆盖，如同一个鳍片。可以通过改变鳍片的数量来调整驱动强度和性能^[3]，驱动强度随着鳍片数量的增加而增加^[4]。继贝尔实验室的穆罕默德·阿

塔拉(Mohamed Atalla)和道恩·康(Dawon Kahng)于1959年首次演示金属氧化物半导体场效应晶体管之后^[5],法拉(H. R. Farrah)和斯坦伯格(R. F. Steinberg)于1967年提出了双栅极薄膜晶体管的概念^[6]。后来,电工实验室(ETL)的Toshihiro Sekikawa在1980年描述平面XMOS晶体管的专利中提出了双栅极金属氧化物半导体场效应晶体管^[7]。关川(Sekikawa)于1984年制造了XMOS晶体管。他们证明,通过将完全耗尽的绝缘体上硅(silicon-on-insulator, SOI)器件夹在两个连接在一起的栅电极之间,可以显著减少短沟道效应^[8-9]。第一种FinFET晶体管类型称为“耗尽型贫沟道晶体管”(DELTA),由日立中央研究实验室的久本(Digh Hisamoto)、加贺彻(Toru Kaga)、河本义文(Yoshifumi Kawamoto)和武田英二(Eiji Takeda)于1989年在日本首次制造^{[8][10]}。

晶体管的栅极可以在顶部和侧面或者仅在侧面覆盖,前者称为三栅极晶体管,后者称为双栅极晶体管。双栅极晶体管可选地可以将每一侧连接到两个不同的端子或触点。这种变体称为分离晶体管,这样就能够更精细地控制晶体管的操作。埃芬迪·莱奥班东(Effendi Leobandung)在1996年第54届器件研究会议上与斯蒂芬·Y.周(Stephen Y. Chou)发表了一篇论文,概述了将宽CMOS晶体管切割成许多窄通道的好处,以改善器件尺寸并提高器件性能。通过增加有效器件宽度来提高器件电流^[11]。这种结构就是现代FinFET的雏形。尽管通过将其切成窄通道而牺牲了一些器件宽度,但对于高窄鳍片而言,鳍片侧壁的传导足以弥补将其切成窄通道而牺牲了一些器件宽度所带来的损失^[12]。该器件的沟道宽度为35 nm,沟道长度为70 nm^[11]。久本对DELTA晶体管的研究带来的潜在价值引起了美国国防高级研究计划局(DARPA)的注意,该机构于1997年向加州大学伯克利分校的一个研究小组授予了一份合同,开发一种基于DELTA晶体管的深亚微米晶体管,该小组由久本和台积电(TSMC)的胡晨明(Chenming Hu)领导,久本、胡晨明等人在1998年提出了17 nm N沟道FinFET(17 nm)^[13]。1999年久本等人提出了亚50 nm的P沟道FinFET^[14]。2001年,胡晨明等人设计了15 nm FinFET^[15]。

2002年,希莉·艾哈迈德(Shilly Ahmed)等人设计提出了10 nm FinFET^[16]。2004年,竹内英树(Hideki Takeuchi)等人提出了基于高介电常数的High- κ 金属栅极FinFET。在2000年12月的一篇论文中,FinFET这一术语被创造性地提出^[17],用于描述构建在SOI基板上的非平面的双栅极晶体管^[18]。2002年12月,台积电展示了业界第一个工作电压仅为0.7 V的25 nm晶体管。Omega FinFET设计因希腊字母Omega与栅极环绕源极/漏极结构的形状相似而得名,N型晶体管的栅极延迟仅为0.39皮秒(ps),P型为0.88 ps。2004年,三星展示了体硅FinFET(Bulk FinFET)设计,使得量产FinFET器件成为可能。该Bulk FinFET是采用90 nm体硅工艺制造的动态随机存取存储器(DRAM)^[19]。至2006年,来自韩国科学技术院(KAIST)和国家纳米制造中心的韩国研究人员团队基于环栅(GAA)FinFET技术开发了3 nm晶体管,这是世界上最小的纳米级尺寸电子器件^[20-21]。2011年,莱斯大学研究人员马苏德·罗斯塔米(Masoud Rostami)和卡蒂克·穆罕拉姆(Kartik Mohanram)证明FinFET可以具有两个电气独立的栅极,这使电路设计人员能够更灵活地设计高效、低功耗的栅极^[22]。

2011年,英特尔展示了三栅极晶体管,其中栅极在三个侧面围绕通道,与平面晶体管相比,可以提高能效并降低栅极延迟,从而提高性能^[23-25]。22 nm及以下商业化生产的芯片通常采用FinFET栅极设计(但低至18 nm的平面工艺确实存在)。英特尔于2011年发布了采用22 nm工艺的Ivy Bridge微架构三栅极变体。2013年,SK海力士开始商业量产16 nm

工艺 NAND 闪存^[26], 台积电开始布局 16 nm FinFET 工艺^[27], 三星电子开始生产 10 nm 工艺多层单元(MLC) NAND 闪存^[28]。从 2014 年起, 14 nm(或 16 nm)主要代工厂(台积电、三星、格罗方德公司)均采用 FinFET 设计。2017 年, 台积电开始使用 7 nm 工艺生产 SRAM 存储器^[29]。2018 年, 三星开始布局 5 nm 工艺^[30]。2019 年, 三星宣布计划到 2021 年商业化实现 3 nm GAAFET 工艺^[31]。全耗尽型绝缘体上硅(FD-SOI)已被视为 FinFET 的潜在低成本替代品^[32]。2020 年, 胡晨明因其对 FinFET 的开发而获得 IEEE 荣誉勋章, 电气电子工程师协会(IEEE)认为 FinFET 将晶体管引入三维并扩展了摩尔定律^[33]。

1.1.3 参考文献

- [1] Kamal, Kamal Y. The Silicon Age: Trends in Semiconductor Devices Industry. *Journal of Engineering Science and Technology Review*. 15 (1): 110-115, 2022 doi:10.25103/jestr.151.14. ISSN 1791-2377. S2C ID 249074588.
- [2] What is FinFET?. *Computer Hope*. April 26, 2017.
- [3] Shimpi, Anand Lal. Intel Announces first 22nm 3D Tri-Gate Transistors. Shipping in 2H 2011. *AnandTech*, 4 May 2011.
- [4] Scotten Jones, TSMC and Imec on Advanced Process and Devices Technology Toward 2nm. *Semiwiki*, 2021.
- [5] Kahng, Dawon. Electric Field Controlled Semiconductor Device. U.S. Patent No. 3,102,230 Filed 31 May 31, 1960, issued August 27, 1963.
- [6] Farrah, H.R.; Steinberg, R.F. Analysis of double-gate thin-film transistor. *IEEE Transactions on Electron Devices*. 14 (2): 69-74, 1967 doi:10.1109/T-ED.1967.15901.
- [7] Koike, Hanpei; Nakagawa, Tadashi; Sekigawa, Toshiro; Suzuki, E.; Tsutsumi, Toshiyuki. Primary Consideration on Compact Modeling of DG MOSFETs with Four-terminal Operation Mode. *TechConnect Briefs*. 2: 330-333, 2003 S2C ID 189033174.
- [8] Colinge, J.P. *FinFETs and Other Multi-Gate Transistors*. Springer Science & Business Media. pp. 11 & 39, 2008 ISBN 9780387717517.
- [9] Sekigawa, Toshihiro; Hayashi, Yutaka. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. *Solid-State Electronics*. 27 (8): 827-828, 1984 doi:10.1016/0038-1101(84)90036-4. ISSN 0038-1101.
- [10] Hisamoto, Digh; Kaga, Toru; Kawamoto, Yoshifumi; Takeda, Eiji. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. *International Technical Digest on Electron Devices Meeting*. pp. 833-836, 1989 doi:10.1109/IEDM.1989.74182.
- [11] Leobandung, Effendi; Chou, Stephen Y. (1996). Reduction of short channel effects in SOI MOSFETs with 35 nm channel width and 70 nm channel length. *54th Annual Device Research Conference Digest*. pp. 110-111, 1996 doi:10.1109/DRC.1996.546334.
- [12] Leobandung, Effendi; Gu, Jian; Guo, Lingjie; Chou, Stephen Y. Wire-channel and wrap-around-gate metal-oxide-semiconductor field-effect transistors with a significant reduction of short channel effects. *Journal of Vacuum Science & Technology B*:

- Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena. 15 (6): 2791-2794,1997 doi:10.1116/1.589729.
- [13] Hisamoto, Digh; Hu, Chenming; Liu, Tsu-Jae King; Bokor, Jeffrey; Lee, Wen-Chin; Kedzierski, Jakub; Anderson, Erik; Takeuchi, Hideki; Asano, Kazuya. A folded-channel MOSFET for deep-sub-tenth micron era. International Electron Devices Meeting 1998. Technical Digest (Cat. No.98(c) H36217). pp. 1032-1034, 1998 doi:10.1109/IEDM.1998.746531. S2C ID 37774589.
- [14] Hisamoto, Digh; Kedzierski, Jakub; Anderson, Erik; Takeuchi, Hideki. Sub-50 nm FinFET: PMOS. International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318). pp. 67-70, 1999 doi:10.1109/IEDM.1999.823848. S2C ID 7310589.
- [15] Hu, Chenming; Choi, Yang-Kyu; Lindert, N.; Xuan, P.; Tang, S.; Ha, D.; Anderson, E.; Bokor, J.; Liu, Tsu-Jae King. Sub-20 nm CMOS FinFET technologies. International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224). pp. 19.1.1-19.1.4, 2001 doi:10.1109/IEDM.2001.979526. ISBN 0-7803-7050-3. S2C ID 8908553.
- [16] Ahmed, Shibly; Bell, Scott; Tabery, Cyrus; Bokor, Jeffrey; Kyser, David; Hu, Chenming; Liu, Tsu-Jae King; Yu, Bin; Chang, Leland. FinFET scaling to 10 nm gate length (PDF). Digest. International Electron Devices Meeting. pp. 251-254. CiteSeerX 10.1.1.136.3757, 2002 doi:10.1109/IEDM.2002.1175825. ISBN 0-7803-7462-2. S2C ID 7106946.
- [17] Hisamoto, Digh; Hu, Chenming; Bokor, J.; King, Tsu-Jae; Anderson, E.; et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. IEEE Transactions on Electron Devices. 47 (12): 2320-2325, 2000. Bibcode:2000ITED. 47: 2320H. CiteSeerX 10.1.1.211.204. doi:10.1109/16.887014.
- [18] Hisamoto, Digh; Hu, Chenming; Huang, Xuejue; Lee, Wen-Chin; Kuo, Charles; et al. Sub-50 nm P-channel FinFET(PDF). IEEE Transactions on Electron Devices. 48 (5): 880-886, 2001 doi:10.1109/16.918235.
- [19] Liu, Tsu-Jae King. FinFET: History, Fundamentals and Future. University of California, Berkeley. Symposium on VLSI Technology Short Course, 2012.
- [20] Still Room at the Bottom(Nanometer transistor developed by Yang-kyu Choi from the Korea Advanced Institute of Science and Technology). Nanoparticle News, 1 April 2006.
- [21] Lee, Hyunjin; et al. Sub-5 nm All-Around Gate FinFET for Ultimate Scaling. 2006 Symposium on VLSI Technology. Digest of Technical Papers. pp. 58-59, 2006 doi:10.1109/VLSIT.2006.1705215. hdl:10203/698. S2C ID 26482358.
- [22] Rostami, M.; Mohanram, K. Dual-Vth Independent-Gate FinFETs for Low Power Logic Circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 30(3): 337-349, 2011 doi:10.1109/TCAD.2010.2097310. hdl:1911/72088. S2C ID 2225579.
- [23] Bohr, Mark; Mistry, Kaizad. Intel's Revolutionary 22 nm Transistor Technology, intel.com, 2011.
- [24] Grabham, Dan. Intel's Tri-Gate transistors: everything you need to know. TechRadar Pro, 2011.
- [25] Bohr, Mark T.; Young, Ian A. CMOS Scaling Trends and Beyond. IEEE Micro. 37(6):